

マイクロバンプを用いたSiP技術の開発

菊地 秀和

デジタル機器の高機能、高性能化の要求に応えるために、論理回路とメモリ回路間のデータ転送速度の向上や、メモリ容量の増加が必要とされている。しかし従来のDRAM混載SoC (System on a Chip) では、メモリの大容量化が困難、開発期間・コストが大きいという課題がある。また汎用DRAMやASICをPCB実装する手法では、消費電力や実装面積が大きくなる問題を解決する必要がある。

これら問題に対する実装技術からのソリューションとして、バンプ接合を利用して複数のチップを接続するCoC (Chip on Chip) 技術がある。中でもSiインターポーザ (以下、Si-IPと略す) を使った構造は、従来技術に比べ多くの優位性を持ち特に注目度が高い。

今回、Si-IP上にDRAMやASIC等複数のチップを直径30μmのマイクロバンプで接合する技術を開発した。本稿ではこれらSi-IPを内蔵したSiP (System in Package) 技術について紹介する。

Si-IP内蔵SiP技術

図1、図2にSi-IPの構造と、Si-IPを内蔵したパッケージの構造を示す。Si-IP上にDRAMやASIC等のチップを搭載し、数千個のマイクロバンプによって多点接続することで、バス幅を広げられるため、高い伝送速度を実現することが可能となる。Si-IPは、QFPやBGAに組み込まれ、SiPとして提供される。

図3にバス幅とメモリ容量の関係を示す。Si-IP内蔵SiPは、大容量メモリや複数のメモリが搭載可能であり、既存のSoC技術より優位性が高い。

またSi-IP内蔵SiPは、消費電力でも有利である。バス幅が広いと、同じ伝送速度を求めた場合、汎用DRAMを用いたシステムよりも低動作周波数のメモリで済むためである。図4に例を示す。DDR2仕様の533MHz動作DRAMを使った場合、消費電力が4Wで冷却ファンが必要なのに対し、66MHz動作のSiSRAM (System in Silicon RAM) で同じ伝送速度4.2Gbit/sを実現でき、消費電力を0.5Wとすることが可能となる。

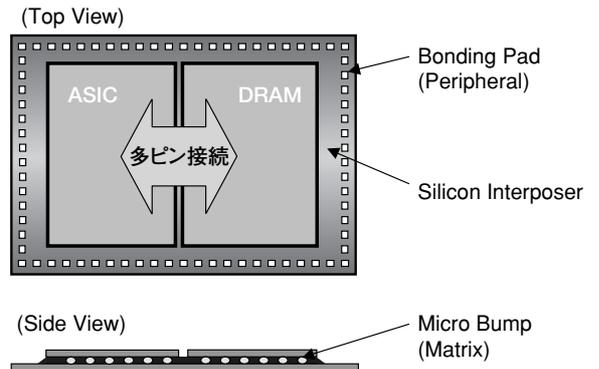


図1 Si-IPの構造

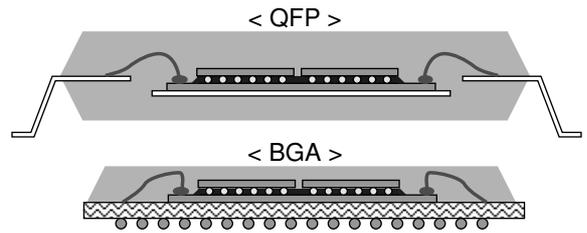


図2 Si-IP内蔵パッケージ構造

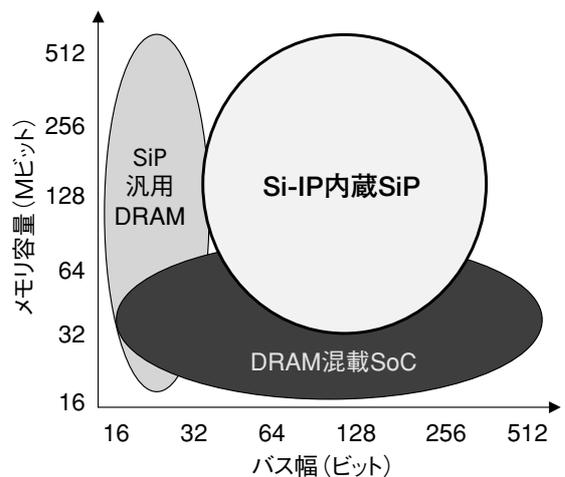


図3 Si-IPの優位性 (メモリ大容量化)

資料出所: SFT

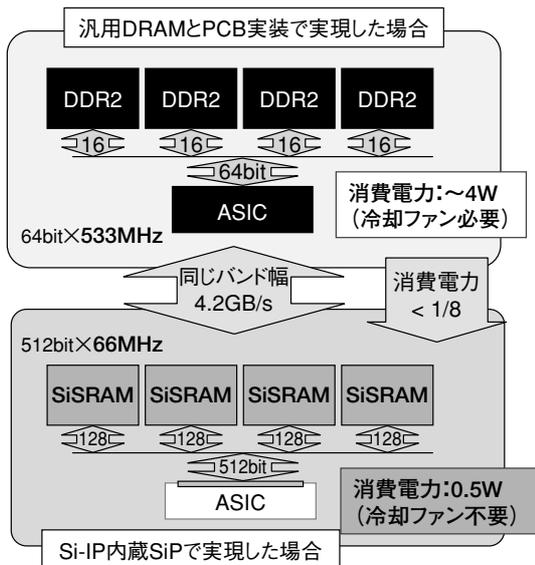


図4 Si-IPの優位性 (低消費電力)

出所：SFT

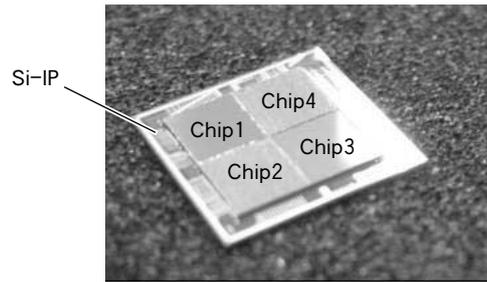


写真1 テストチップ封止前外観

マイクロバンプ形成

マイクロバンプは、DRAM、ASIC、Si-IPそれぞれのチップ表面の電極パッド上に形成する。マイクロバンプの形成方法は以下の通りである。WP完了ウエハにシードメタルとしてTi/Cuスパッタした後、厚膜レジストを用いてバンプ開口パターンを形成する。次にNiめっき、はんだ（Sn-Ag系）めっきと連続形成した後、不要なレジストおよびシードメタルを除去する。最後に熱処理によってはんだを溶融する。

写真2にマイクロバンプのSEM像を示す。多点接合を実現するため、バンプサイズは直径30 μ m、ピッチは50 μ mとした。バンプ高さは『Ni+はんだ』のトータルで17 μ mとし、バンプ高さばらつきが小さくなるよう、めっき条件を調整した。

Si-IP実装プロセス技術

図5にSi-IPの実装プロセスフローを示す。Si-IP内蔵SiPを実用化するためには、①素子上に配置した電極パッドに微小なマイクロバンプを形成する技術、②マイクロバンプ同士を素子にダメージなく接合するフリップチップ実装技術、③狭いチップ間隔にアンダーフィルを充填する技術など、これらKeyプロセス技術の確立と、電気特性や信頼性データの積み上げが必要となる。

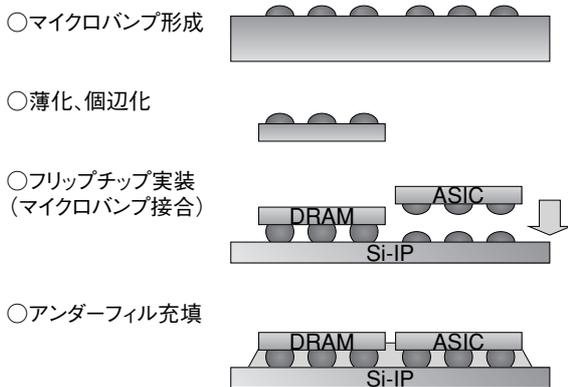


図5 Si-IP実装プロセスフロー

写真1に本開発で使用したテストチップの写真を示す。テストチップは、Si-IP上に4チップ搭載しており、2,000~5,000個のマイクロバンプ接合によって内部接続されている。

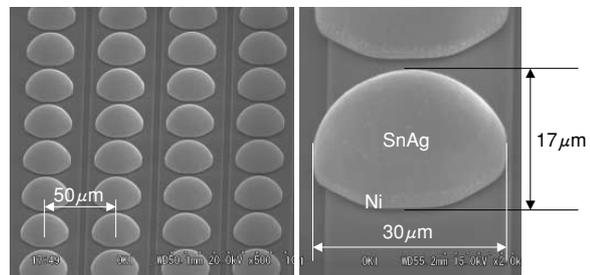


写真2 マイクロバンプSEM像

図6に高温放置試験（150 $^{\circ}$ C、1000h）の結果を示す。バンプシエア強度は平均約22gfと変化ないことから、LSI

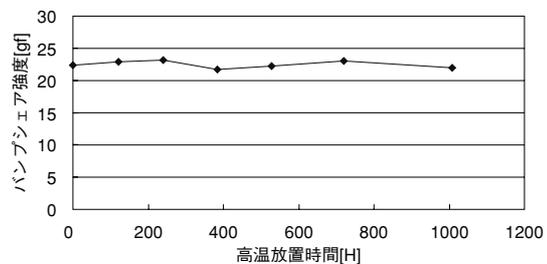


図6 高温放置時間とバンプシエア強度の関係

表面とマイクロバンプの密着性は十分確保されていることがわかる。

フリップチップ実装（マイクロバンプ接合）

フリップチップ実装において、マイクロバンプ同士の接合は加熱制御と荷重制御によって行う。写真3にマイクロバンプ接合部の断面SEM像を示す。数千個のマイクロバンプを電氣的にオープン/ショートなく、良好な接合を得るためのポイントは下記の通りである。

- ① 接合界面の無い安定した接合形状
- ② マイクロバンプ下の素子層へのダメージ回避
- ③ 接合位置制御
- ④ チップ間隔制御

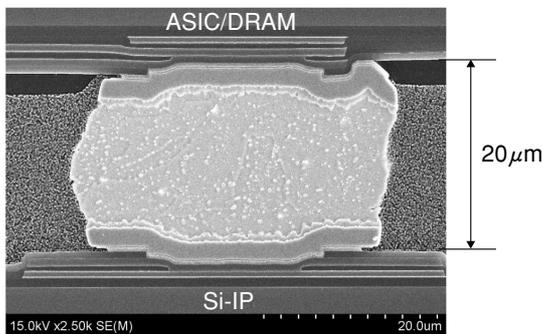


写真3 マイクロバンプ接合部の断面SEM像

(1) 接合前洗浄

はんだバンプ同士を良好に接合するには、はんだ表面が清浄である必要がある。はんだ表面に酸化膜や汚れなどが厚い皮膜を形成している場合、それらが接合部に界面を作り、接合形状が歪となり接合強度が低下する。はんだ表面を効果的に清浄化するため、水素プラズマ洗浄を採用した。過剰なプラズマははんだ表面を変質させ、接合不良を引き起こす。プラズマ洗浄条件（RFパワー、時間、ガス流量）を最適化することで、ダイスシエア強度は4gf/バンプ以上となり、十分な接合強度と安定した接合形状を確保することができた。

(2) 低荷重接合

マイクロバンプ下には、DRAMやASICの素子層が存在する。これら素子層へのダメージを回避するため、接合時の荷重は5mg/バンプ以下とした。断面観察の結果、チップ下素子層へのダメージは見られなかった。

(3) 接合位置制御

接合位置ずれはオープン/ショート不良の原因となる。アライメント精度を向上するために、認識精度が高いマークをチップ上に配置した。またバンプ形成時のバンプ位置ずれを、オフセット機能により補正し、接合位置ずれを最小限にすることができた。これらにより接合位置ずれは、 $\text{平均値} + 3\sigma < 6\mu\text{m}$ を実現した。またオフセット機能を使い、接合位置ずれのマージン評価を行った。その結果、接合位置ずれ量 $10\mu\text{m}$ でも接合部のオープン/ショートは見られず、十分なマージンを持つことが確認できた（図7）。

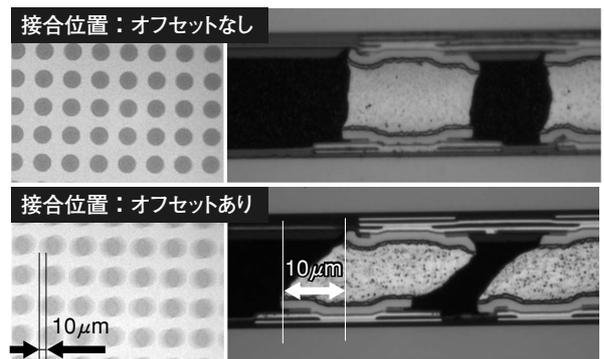


図7 マイクロバンプ接合部のX線顕微鏡像（左）と断面写真（右）

(4) チップ間隔制御

ツール平行度を上げ、かつツール高さ制御を精度よく行うことにより、チップ間隔を狙い値 $20\mu\text{m}$ に対し、 $20\pm 4\mu\text{m}$ で安定させることができた。またチップ間隔を水準

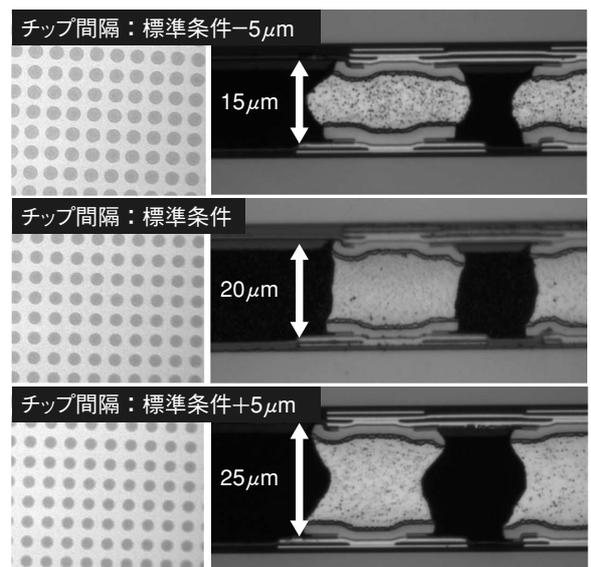


図8 マイクロバンプ接合部のX線顕微鏡像（左）と断面写真（右）

として、マージン評価を行った。その結果、チップ間隔15 μm ~25 μm においてオープン/ショート不良は見られず、十分なマージンを持つことが確認できた(図8)。

アンダーフィル充填

接合部の保護や信頼性確保のため、接合後にチップ間にアンダーフィルを充填する。チップ間隔20 μm で複数搭載したチップにボイドなく充填するために流動性の高いアンダーフィルを採用した。充填評価の結果、SAT観察、断面観察いずれにおいてもアンダーフィル内にボイドは見られなかった(写真4)。

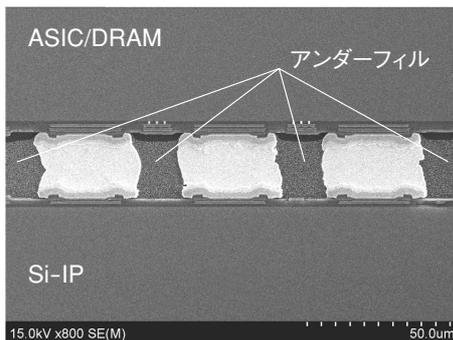


写真4 マイクロバンプ接合部の断面SEM像

Si-IPの周辺にはQFPやBGAに内蔵する際に使用するワイヤーボンディングパッドが存在する。流動性の高いアンダーフィルは、アルミ配線に沿ってチップ表面に広がり、ボンディングパッドを汚染する可能性が高い。アンダーフィル塗布量や塗布位置を工夫することで、アンダーフィルの広がりを抑制できた。

電気特性と信頼性評価

テストチップの電気特性を評価した結果、マイクロバンプ接合1個当たりの抵抗値は、約14m Ω と安定した値を示した。

表1にテストチップを内蔵したBGAの信頼性評価結果を示す。温度サイクル試験、高温高湿バイアス試験、高温

表1 信頼性評価結果

試験項目	条件	試験時間	判定基準	結果
温度サイクル試験	-55/125 $^{\circ}\text{C}$ (2cyc/h)	1500Cycle	抵抗変動値 >初期値+20%	0/35
高温高湿バイアス試験	85 $^{\circ}\text{C}$ /85%RH (V=5.5V)	1000h	絶縁抵抗値 <1M Ω	0/30
高温放置試験	150 $^{\circ}\text{C}$	1000h	抵抗変動値 >初期値+20%	0/77

プリコン125 $^{\circ}\text{C}$ ×24h ; 30 $^{\circ}\text{C}$ /70%×72h ; 250 $^{\circ}\text{C}$ ×10s×3回

放置試験のいずれの試験においても不良は発生せず、良好な信頼性レベルであることを確認できた。またエレクトロマイグレーション試験を行った結果、マイクロバンプ接合1個当たり20mA、110 $^{\circ}\text{C}$ のテスト条件で、寿命10年以上であると確認できた。

あ と が き

我々はLSIチップの素子層上の電極パッドに直径30 μm 、ピッチ50 μm のマイクロバンプを形成し、これらマイクロバンプ同士をチップ間ギャップ20 μm でフリップチップ実装することにより、Si-IP上に複数のチップを集積する実装技術を開発した。また安定した電気特性が得られ、信頼性についても良好であることが確認できた。現在、社内に一貫量産ラインを構築中である。

今後は、今回開発したSiP技術に加えて、貫通電極技術を使った積層DRAMを組み合わせることで、さらなる高機能化が期待できる。◆◆

参考文献

1) 吉田健人：先端SoCの性能を低コストに提供、日経マイクロデバイス、p.37、2006年5月

● 筆者紹介

菊地秀和：Hidekazu Kikuchi. シリコンマイクロデバイスカンパニー ATP生産本部 実装開発部