



ARM946E-Sコア低消費電力化設計手法

鈴木 直哉 浦浜 正和
徳永 安弘 郷古 博紀

電池駆動の携帯機器の高性能化が進むにつれ、それらに組み込まれるプロセッサコアに対する、高性能化、低消費電力化の要求が高まってきている。ARM946E-S™*1) コアは、英国ARM®社*2) が開発した組み込み用途向け高性能、低消費電力の32ビットRISCプロセッサコアであり、高速、高機能な処理を必要とする携帯機器のメインプロセッサコアとして広く用いられている。

本稿では、当社の携帯機器向け組み込み型プロセッサの柱の1つであるARM946E-Sコアの更なる低消費電力化に向けて実施した設計手法について述べる。本手法を適用することにより、当社0.15 μmプロセスを用いて設計された従来のARM946E-Sコアに対し、全体で約40%の消費電力削減効果が得られた。

ARM946E-Sコア概要

ARM946E-Sコアは英国ARM社が開発した組み込み用途向け32ビットRISCプロセッサであり、以下のような特徴を有している¹⁾。

- ハーバードアーキテクチャを採用したキャッシュ搭載プロセッサ（キャッシュサイズは0KB～1MBの範囲で定義可能）
- 32ビットのARM命令と16ビットのThumb命令、DSP命令のサポート（ARMv5TEアーキテクチャ）
- 外部密結合メモリ（TCM）のサポート
- ARM社の統一規格であるAMBA®*3) AHBバスインタフェース
- 浮動小数点ユニットまたは固有のハードウェアアクセラレータの追加を可能とする外部コプロセッサのサポート
- TCMおよびキャッシュ用内蔵自己テスト（BIST: Built In Self Test）のサポート
- 命令およびデータのリアルタイムトレースを行う外部組み込みトレースマクロセル（ETM™:Embedded Trace Macrocell™*4)）のサポート

設計方針

今回ARM946E-Sコアの低消費電力化に向けた設計を行うにあたり、低消費電力化の基準として、既に設計が完了していた当社0.15 μm ASICプロセスを使用したARM946E-Sコアを用いた。0.15 μm ASICプロセスは、当社0.15 μmプロセスの内、標準トランジスタしきい値電圧を持つものである。また、内蔵されるキャッシュのサイズ仕様は、命令キャッシュ8KB、データキャッシュ8KBに設定しており、低消費電力化設計でもこのサイズを前提に設計することとした。

ARM946E-Sコアにキャッシュを搭載する場合、内部に搭載されるRAMモジュールには、以下の5種類がある。

- 命令キャッシュ（ICache）
- データキャッシュ（DCache）
- 命令キャッシュ用タグ（ITag）
- データキャッシュ用タグ（DTag）
- データキャッシュ用ダーティ（DDirty）

ASICプロセスを用いたARM946E-Sコア設計時のRAMモジュール構成は、ARM社によって定められている命令キャッシュ8KB、データキャッシュ8KBと設定する場合の標準構成を使用した。このキャッシュサイズ設定でのARM946E-Sコア標準構成では、合計21個のRAMが使用されており、各RAMモジュールのRAM構成数は以下の通りである。

- | | |
|-------------------------|----------|
| ● 8KB命令キャッシュ（ICache） | RAM4個で構成 |
| ● 8KBデータキャッシュ（DCache） | RAM8個で構成 |
| ● 命令キャッシュ用タグ（ITag） | RAM4個で構成 |
| ● データキャッシュ用タグ（DTag） | RAM4個で構成 |
| ● データキャッシュ用ダーティ（DDirty） | RAM1個で構成 |

図1に、ASICプロセスにて設計を実施した際の面積および消費電力解析結果を示す。

*1) ARM946E-SはARM社の商標です。 *2) ARMは、ARM社のEUおよび米国における登録商標です。Artisan ComponentsとArtisanは、ARMの子会社であるARM Physical IP社の登録商標です。その他のブランドあるいは製品名は全て、それぞれのホルダーの所有物です。「ARM」とは、ARM Holdingsplc（LSE: ARM, NASDAQ: ARMHY）、その事

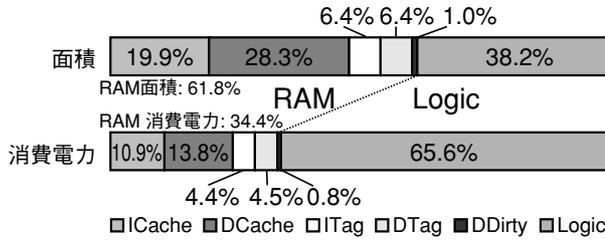


図1 ARM946E-S (ASICプロセス) 面積・消費電力構成

この結果からARM946E-Sコア面積の60%、消費電力の34%がRAMで消費されており、低消費電力化を実施するにあたり、ロジック部の消費電力を抑えることはもちろんであるが、RAMの消費電力を抑えることも重要なポイントとなることが分かる。

低消費電力化検討

ARM946E-Sコアの低消費電力化設計の方針として、以下の点について検討を行った。

(1) ロジック部の低消費電力化

① クロックラインの最適化

ロジック部の低消費電力化で有効な手法の1つは、クロックラインでの消費電力の低減である。クロックラインは常に駆動しており、そこに存在するセルも常に駆動状態となるため、消費電力が大きくなる。具体的な方策としては、クロックゲーティングセル（以下GBセルと呼ぶ）の挿入によるクロック伝播の制御がある。これにより、クロックで駆動されるフリップフロップ等の動作を止めることが可能となり、消費電力を抑えることができる。

ASICプロセスにて設計を実施したARM946E-SコアでもGBセルの挿入は実施されていたが、CTS（Clock Tree Synthesis：クロックツリー合成）にて生成されるクロックツリーの品質までを考慮した挿入は実施されていなかったため、本設計ではCTSを考慮した挿入を実施した。

その結果、クロックツリーの品質向上によりクロックスキューの改善、常時駆動されるクロックツリードライバ数の削減、更に最適化により高駆動ドライバの使用も抑

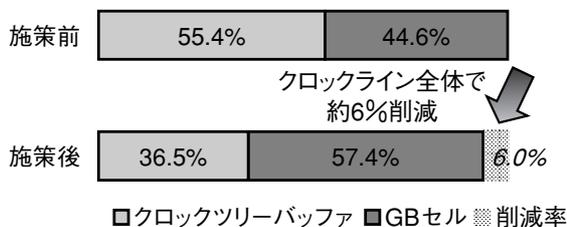


図2 クロックライン最適化による消費電力削減効果

えられた。反面、GBセル数は増加したものの、消費電力はクロックライン全体で約6%の削減効果が見られた。

図2に、本施策の適用効果を示す。

② 低消費電力セルの有効活用

低消費電力セルとは、ライブラリラインナップの中で電力消費量が少ないセルのことである。一般的にこのセルは消費電力が少ない分だけ駆動能力が抑えられているため、動作速度面で不利になる場合がある。しかし、ARM946E-Sコア全体で見ると、動作速度に影響を与える部分は一部の経路であり、それ以外の、動作速度に余裕のある経路に対して、効率良く低消費電力セルを配置することで消費電力の低減を図ることができる。図3に、低消費電力セルの活用効果例を示す。

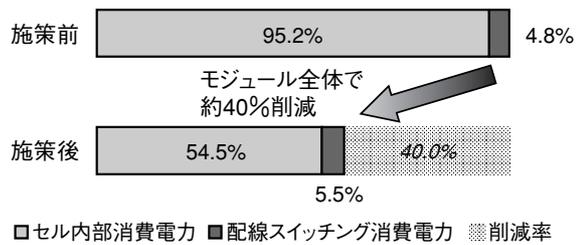


図3 32ビットALUレジスタモジュールにおける低消費電力セル活用による消費電力削減効果

(2) RAMの低消費電力化

① RAMへのクロック制御

RAMの低消費電力化のもう一つの対策として、RAMに供給されるクロックの動的制御を実施した。

通常RAMへのクロックは供給され続けており、RAMは動作していない場合でも、動的な制御はなされていない。そのため、RAMは実際の動作が不要な場合でも電力を消費している。これに対し、RAMが動作する状態、すなわちRAMがイネーブル状態の時のみクロックを供給し、ディスエーブル状態の時は、クロック供給を停止することで、RAM消費電力の低減を図ることが可能である。

図4に、RAM供給クロックの制御による効果を示す。

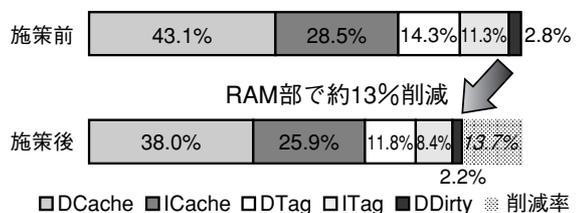


図4 RAM供給クロック制御による消費電力削減効果

業会社であるARM Limited, 各地域の子会社であるARM INC., ARM KK, ARM Korea Ltd., ARM Taiwan, ARM France SAS, ARM Consulting (Shanghai), ARM Belgium N.V., AXYS Design Automation Incv, AXYS GmbHおよびARM Embedded Solutions Pvt. Ltd.の全部または一部を意味します。

*3) AMBAはARM社の登録商標です。

*4) ETMおよびEmbedded Trace MacrocellはARM社の商標です。

② RAM構成の見直し

前述したようにARM946E-Sコアでは、RAM部分で面積全体の60%、消費電力で34%を占めている。ARM946E-Sコアに内蔵されるRAMの中で面積および消費電力が最も大きいものはデータキャッシュである。これは、データキャッシュが他のRAMモジュールと比較し、RAMの構成数が多い点が影響しているものと推測される。そこで、複数のRAMで構成されているRAMモジュール内のRAMの統合化を検討した。ただし、構成RAM数が1個であるデータキャッシュ用ダーティと、ARM946E-Sコアの仕様によりRAMの統合化が困難である命令キャッシュについては、検討対象から外した。

図5に、命令キャッシュ用、データキャッシュ用の各タグ、図6に、データキャッシュの統合化検討結果を示す。

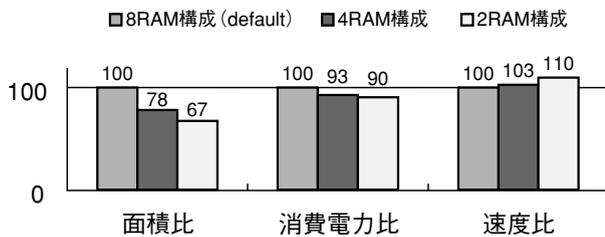


図5 タグRAM統合化検討

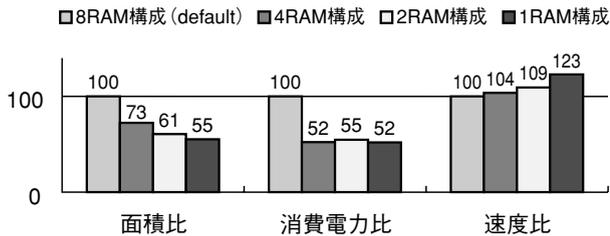


図6 データキャッシュ統合化検討

この結果から、RAMの統合化により、面積、消費電力の低減には効果が見られるが、速度（アクセスタイム）については悪化する傾向が見られる。これは、RAMの統合化によりRAMモジュールを構成する個々のRAMサイズが増大してしまうことが要因である。また、比較的規模の大きいデータキャッシュに比べ、タグのように小規模のRAMに関しては、RAMの統合化による消費電力の低減効果は薄いこともわかった。

低消費電力化設計のためのRAM構成としては、図5、図6での検討結果より、面積、消費電力の低減効果と、速度に対する増加率を考慮し、以下のように決定した。

- 8KB命令キャッシュ (ICache) RAM4個で構成

- 8KBデータキャッシュ (DCache) RAM4個で構成
- 命令キャッシュ用タグ (ITag) RAM2個で構成
- データキャッシュ用タグ (DTag) RAM2個で構成
- データキャッシュ用ダーティ (DDirty) RAM1個で構成

変更前後のRAM面積および消費電力の比較を図7、図8に示す。

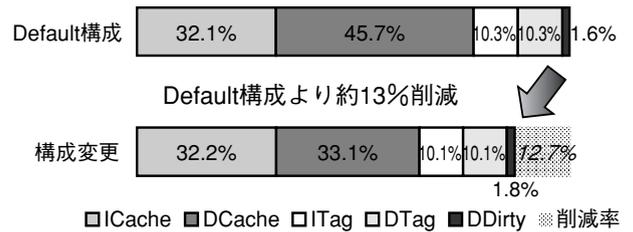


図7 RAM構成変更面積比較

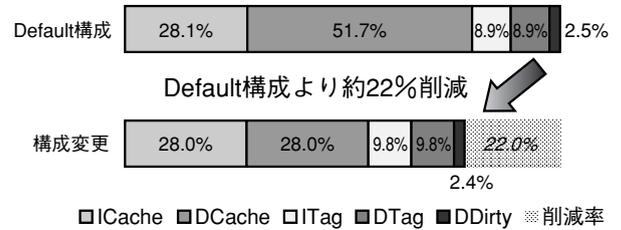


図8 RAM構成変更消費電力比較

(3) Low Leakプロセスの使用による低消費電力化

当社の0.15μmプロセスには、前述したASICプロセスの他にトランジスタしきい値電圧を高く設定し、リーク電流を抑えたLow Leakプロセスがある。

Low Leakプロセスを使用することで消費電力の低減を図ることができる。その消費電力削減効果は、ロジック部にて対ASICプロセス比で約27%程度が見込まれる。

各施策の効果見積り

ロジック、RAM、プロセス、それぞれに対する低消費電力の施策により消費電力見積りは図9の通りとなった。

- ロジック部の最適化およびRAM供給クロックの制御
→全体で約15%削減
 - RAMモジュールのRAM構成変更
→RAM部で約22%削減（全体で約7%）
 - Low Leakプロセスの使用
→ロジック部で約27%削減（全体で約17%）
- これらの諸施策を総合すると、消費電力は全体で約40%の削減を見込めることがわかった。

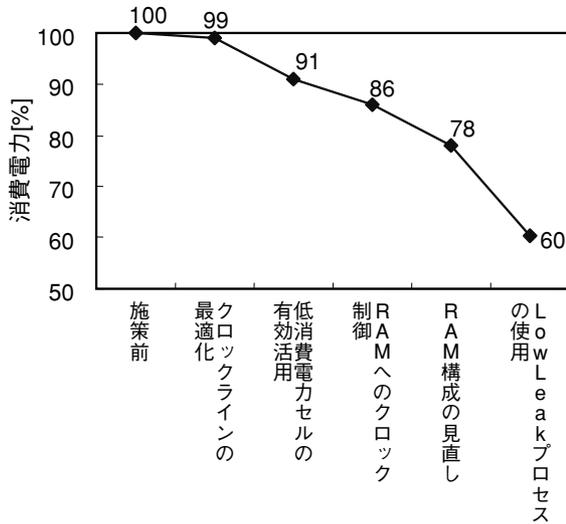


図9 低消費電力化諸施策の効果見積り

設計結果

これらの消費電力削減諸施策を盛り込み0.15 μm Low Leakプロセスにて実際にARM946E-Sコアの設計を行った。

設計後の消費電力測定結果を図10に示す。

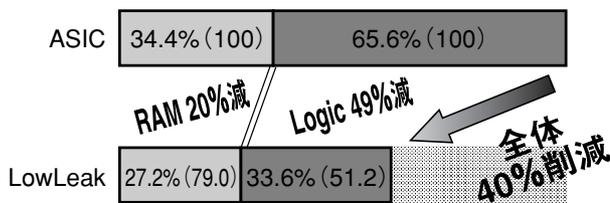


図10 低消費電力化設計最終設計結果

ARM946E-Sコア内部RAMモジュールのRAM構成の変更および、Low Leakプロセスの使用などにより、RAM部で約20%、ロジック部で約49%、全体で見ると約40%の消費電力の削減が実現できた。また、RAM構成変更によるRAM面積の削減効果および、フロアプランの最適化の実施により、全体の面積も約12%削減された。

まとめ

当社の0.15 μmプロセスを使用したARM946E-Sコアの低消費電力化を実現するための設計手法について検討し、約40%の消費電力が削減できることを報告した。

効果としてはLow Leakプロセスの使用によるものが最も大きいですが、ARM946E-Sコアの場合は消費電力の約34%がRAMに集中しており、消費電力を考慮したRAM

構成とすることで、大きな効果が得られる。

これらの低消費電力化設計手法は、今後のCPUコア設計に展開していく予定である。

参考文献

1) ARM946E-S Revision:r1p1 Technical Reference Manual, ARM Limited, DDI0201C, 15 May 2003

筆者紹介

鈴木直哉：Naoya Suzuki. シリコンソリューションカンパニー デザイン本部プラットフォーム設計部

浦浜正和：Masakazu Urahama. シリコンソリューションカンパニー デザイン本部プラットフォーム設計部

徳永安弘：Yasuhiro Tokunaga. シリコンソリューションカンパニー デザイン本部プラットフォーム設計部

郷古博紀：Hiroki Goko. シリコンソリューションカンパニー デザイン本部プラットフォーム設計部