

シグナルインテグリティを考慮した タイミング収束手法

菊地原 秀行
菊池 秀和

栗本 雅弘
堀川 正永

田代 雅久

近年の微細化の進展に伴い、シグナルインテグリティ (Signal Integrity, 以下SIと略す。) と呼ばれるデジタル信号波形の完全性の問題が顕在化している。

この原因は、電源線の電圧降下 (以降IRドロップと呼ぶ。) と、信号線の相互干渉 (以降クロストークと呼ぶ。) によるデジタル信号波形の歪みであり、これらの問題がタイミング収束に悪影響を及ぼしている。

前者の対策は、チップの消費電力見積もりとIRドロップ量の計算および遅延変動への反映である。後者の対策は、隣接配線間容量の見積もりとクロストークの遅延変動への反映である。弊社では、これらSIの諸対策を先端LSIの設計フローに組み込み、タイミング収束の問題を解決した。

本稿では、SIを考慮したタイミング収束手法 (フロー) について、各工程の概要とその特徴を述べる。

微細化による相互配線の問題

微細化による配線幅と配線間隔の縮小化は、配線抵抗および配線容量の大幅増加を招いている。一方で、配線抵抗の急激な増加を抑えるために配線の厚さは縮小率が抑えられ、配線のアスペクト比 (配線の厚さ/配線の幅) が増大しており、単位配線長当たりの表面積は、配線の底面より側面の割合が増え、結果的に基板容量 (グラウンド) に比べて隣接配線間の容量が増大している。

配線抵抗の増加は、電源分配時のIRドロップの増加となり、結果的にパス遅延の増加となって作用する。

また、隣接配線間容量の増加は、隣接信号線のクロストークノイズの増加となり、パス遅延の増加あるいは減少となって作用する。たとえば、図1のように、ノイズ源 (点線) が同相で変化する信号Aの場合は遅延が減少し、ノイズ源が逆相で変化する信号Bの場合は遅延が増加する。

これら問題は、シグナルインテグリティと呼ばれ、結果的に多くが遅延変動となって作用するため、LSIチップのレイアウト設計におけるタイミング収束性に悪影響を及ぼすことになる。

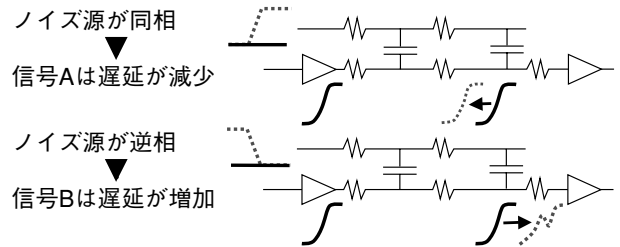


図1 クロストークによる遅延変動

SIを考慮したタイミング収束手法

今回導入したSIを考慮したタイミング収束手法の特長は、設計フローの各所で、SIの影響度を早期かつ正確に見積もり、その影響度に規定値を設け、早期にチェックすることにより、設計手戻りを最小限に食い止める仕組みを施したことにある。ここで、図2に本タイミング収束手法を導入した設計フローを示す。

IRドロップを考慮した設計では、LSIチップのネットリストが確定する前に電源端子数とその位置を決定することが重要である。本フローでは、設計の初期段階において、簡易消費電力見積もりと簡易IRドロップ検証の工程を新たに導入した。

簡易IRドロップ検証の後には、SIを考慮したレイアウト設計を行い、レイアウト設計結果から高精度消費電力見積もりと高精度IRドロップ解析を行う。ここで、見積もられたIRドロップ量が規定値を超えていないかチェックする。規定値を超えている場合は、再度レイアウト設計に戻り、規定値を超えていない場合は、SIを考慮した遅延計算とタイミング検証の工程に進む。

クロストークの影響を精度良く遅延に反映するためには、信号線間のカップリング容量を正確に見積もる必要がある。しかし、精度の高い3D構造による電磁方程式を解く手法 (以降3Dソルバーと呼ぶ。) では現実的な規模と処理時間を満足しないため、高速かつ高精度の寄生パラメータ抽出手法を導入した。本手法の適用により、クロストークを考慮した遅延計算が可能となった。

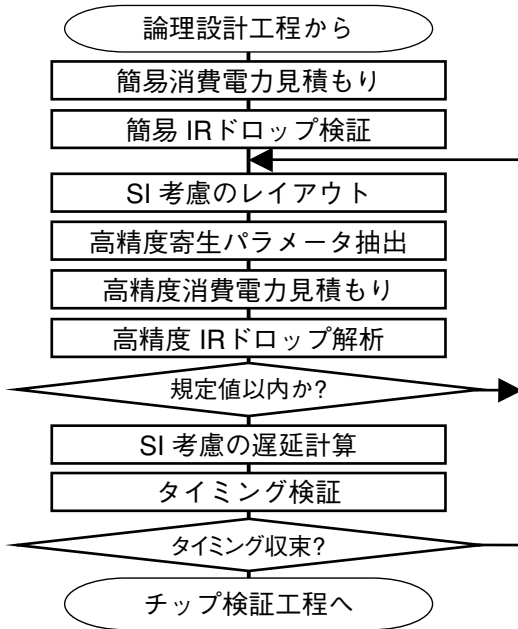


図2 SIを考慮したタイミング収束フロー

本フローの最後のタイミング検証で、全てのタイミング条件が満たされるかチェックを行い、満たされなければレイアウト設計に戻り、満たされればタイミングが収束したと見なし本フローを終了する。

簡易消費電力見積もりと簡易IRドロップ検証

簡易消費電力見積もりは、各論理ゲートの簡易電力モデルとトグル率（秒あたりの遷移数）からチップの消費電力を計算する。ここで、トグル率は、当該論理ゲートを駆動するクロック系列ごとのトグル率を手入力して求める方法と、チップの論理ネットリスト情報から統計的なシミュレーションにより求める方法を用いた。

簡易IRドロップ検証は、チップの電源端子数とチップの消費電力から図3に示すような簡易IRドロップ計算モデルを使って、IRドロップ量を見積もる。ここで、図3の簡易モデルは2個の電源端子と電力消費点（黒丸）を想定したものであり、 R_p は電源端子の実効抵抗、 R_H と R_V は電源メッシュ構造を想定した場合の水平方向（ R_H ）および垂直方向（ R_V ）の実効抵抗である。なお、実際のIRドロップ計算モデルは、本簡易モデルを複数の電源端子に拡張したものである。

簡易IRドロップでの検証手順は、①デフォルトの電源メッシュの配線幅と電源メッシュ構造でIRドロップ量を見積もる、②見積もったIRドロップ量が規定値をオーバーしている場合は、電源端子数を増やすか、電源メッシュの配線幅を太らせる等の対策を施し、再度IRドロップ量

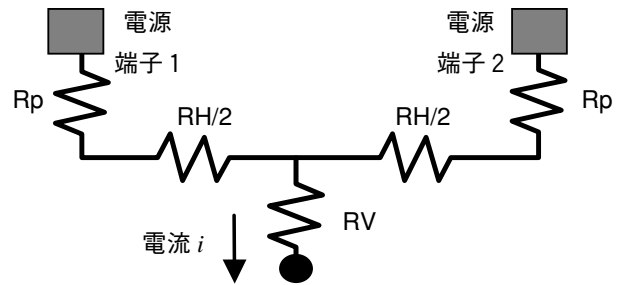


図3 簡易IRドロップ計算モデル

を見積もり検証する。

SIを考慮したレイアウト

電源分配の設計指針が決定されたのを受け、信号配線を含めたSIを予防するためのレイアウトを行う。

電源配線のレイアウトは、限られた配線スペースのもと、配線抵抗成分の増大を抑えることで、IRドロップ量の低減を図ることを主眼とした対策であり、配線メッシュ幅と、特殊幹線構造の最適選択を行う。ここで、特殊幹線構造には、①高さ方向の二重幹線、②任意な箇所への幹線の補強、③二重メッシュ構造等がある。

信号配線のレイアウトは、配線抵抗成分とカップリング容量成分の増大を抑えることで、遅延とクロストークの低減を図ることを主眼とした対策であり、①配線幅と配線間隔の最適指定、②最大配線長と波形の傾きを制御可能な信号リピータの挿入、③クロストークの影響度解析と、規定値を越えた信号配線のリペア等である。③では、各論理ゲートに対するノイズ伝搬モデル導入し、カップリング容量成分を考慮したアナログライクなシミュレーション手法により、クロストークの影響度を解析し、数値化している。

高精度寄生パラメータ抽出

クロストークの影響を正確に遅延に反映させるため、3Dソルバー並の精度をチップレベルの寄生パラメータ抽出に導入した。

本高精度寄生パラメータ抽出手法を小規模ベンチマーク回路に適用し、カップリング容量に着目してサンプル評価した。図4に対3Dソルバーとの比較精度を示す。この結果から、3Dソルバーと比較して、およそ±5%以内の抽出精度が得られていることが分かる。

また、精度と性能（処理時間）はトレードオフの関係にあるので、十分な抽出精度を保ちながら高い抽出性能を達成する必要がある。本高精度寄生パラメータ抽出を

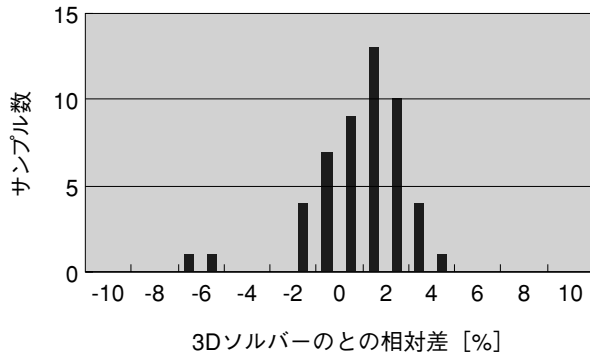


図4 カップリング容量の抽出精度

適用すれば、メガゲート級のLSIチップであっても1時間以内に処理を完了することができる。

高精度消費電力見積もりと高精度IRドロップ解析

高精度IRドロップ解析の計算モデルは、図3に示した簡易計算モデルを実際のレイアウトに適用したものであり、概念的には、黒丸を各論理ゲートに、抵抗素子を電源配線のレイアウトから抽出する抵抗成分に、それぞれ対応させたものである。

電流 i を見積もるためには各論理ゲートの消費電力を正確に見積もる必要がある。各論理ゲートの消費電力 (P_{Total}) は、漏れ電力 (P_{Leak}) と内部電力 (P_{Int}) および当該論理ゲートが駆動する信号線の充放電電力 (P_{Sw}) の和 (式1) で計算する。

$$P_{Total} = P_{Leak} + P_{Int} + P_{Sw} \quad (式1)$$

$$P_{Int} = E_{Int} (S_{Pin}, C_{Load}) * TR \quad (式2)$$

$$P_{Sw} = V_{dd}^2 / 2 * C_{Load} * TR \quad (式3)$$

ここで、 E_{Int} は入力遷移時間 (S_{Pin}) と負荷容量 (C_{Load}) の関数で計算される内部消費エネルギー (単位: ジュール) で、漏れ電力と合わせて、消費電力ライブラリとして用意する。TR は論理ゲートのトグル率 (秒あたりの遷移数) で、 V_{dd} は電源電圧である。また、各セルの負荷容量は高精度寄生パラメータ抽出の結果から入力し、論理ゲートのトグル率は、簡易消費電力見積もりと同様な入力情報に加え、より精度の高い論理シミュレーションの結果からも計算可能である。

一方、電源配線の抵抗成分Rを正確に見積もるためには、レイアウト情報と配線材料の比抵抗から直接計算する必要がある。しかし、電源配線のレイアウトは大規模かつ複雑であり、モデル化すべき抵抗ネットワークが膨大となるため、直接計算することは不可能である。

このため、本高精度IRドロップ解析では、電源分配モデルと呼ばれる階層的なIRドロップ計算モデルを導入し、階層処理することにより見積もり可能とした。

電源分配モデルは、設計階層である論理ゲートあるいは論理ゲートの集まりと対応して作成する。具体的には、図5に示すような抽象度の高い (解析性能は高いが精度が低い) 順から、①電源端子のみをモデル化するポートモデル、②電源配線の幹線のみをモデル化するフロアプランモデル、③電源配線の全てをモデル化する詳細モデルの3種類から成る。

高精度IRドロップ解析は、これら電源分配モデルと、レイアウト情報から抽出した電源配線の抵抗ネットワークと、高精度消費電力見積もりで得られた消費電力情報から、全ての抵抗ネットワーク上のIRドロップ量および電流密度を計算し、結果は各論理ゲートごとのIRドロップ情報と、レイアウト情報と一対一で対応させたグラフィカルなカラー画像のビュー情報を出力する。

図6に高精度IRドロップ解析を実チップに適用した際の結果ビューの例を示す。この図では、画面中央の部分が最もIRドロップが高いことを示している。

なお、本チップの回路規模はロジック部100KGに1.9MビットのSRAMを内蔵し、実行時間は6分であった。

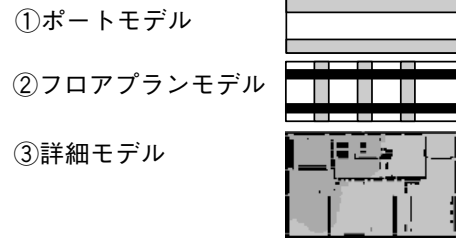


図5 電源分配モデルの例

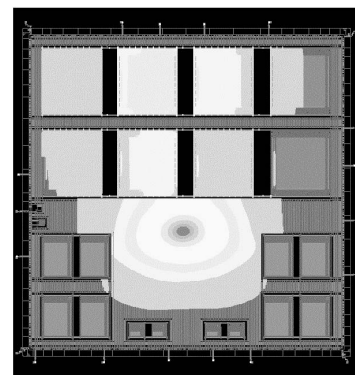


図6 IRドロップ解析の結果ビュー

SIを考慮した遅延計算とタイミング検証

図7にSIを考慮した遅延計算とタイミング検証フローを示す。ただし、図中には説明を簡素化するため、必要最小限のインタフェースファイルしか示していない。本フ

ローは、3つの処理ステップから成る。

第1のステップは、高精度寄生パラメータ抽出から得た寄生パラメータと、高精度IRドロップ解析から得たIRドロップ情報を基にして、IRドロップを考慮した遅延計算を行い、遅延情報1を出力する。これら情報から静的タイミング解析を行い、全ての信号線とノイズ源となりうる信号線のタイミング関係を抽出し、タイミング情報として出力する。

第2のステップは、寄生パラメータと本タイミング情報を基にして、クロストークを考慮した遅延計算を行い、クロストークに影響のあるネットの遅延計算結果を遅延情報1の差分情報として遅延情報2に出力する。

第3のステップは、遅延情報1とその差分情報である遅延情報2を基にして、静的タイミング検証を行い、タイミングが収束したかどうか判定する。これら一連の手順により、IRドロップとクロストークを同時に考慮したタイミング検証が行われタイミング収束が完了する。

本遅延計算フローを小規模ベンチマーク回路に適用し、遅延精度の向上度合いを確認した結果例を示す。

図8の例では、IRドロップを考慮した場合の精度向上効果をHSPICE*1) シミュレーションとの相対遅延差で示す。これによれば、IRドロップを考慮した場合の遅延が、

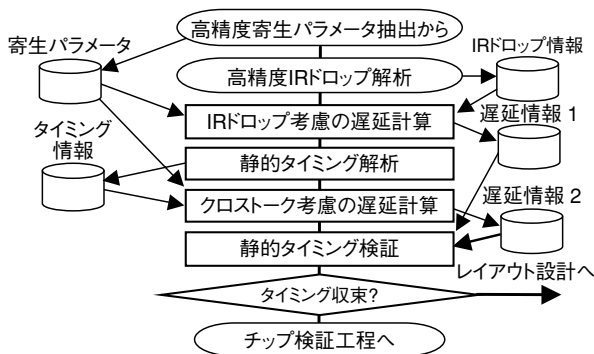


図7 SIを考慮した遅延計算とタイミング検証フロー

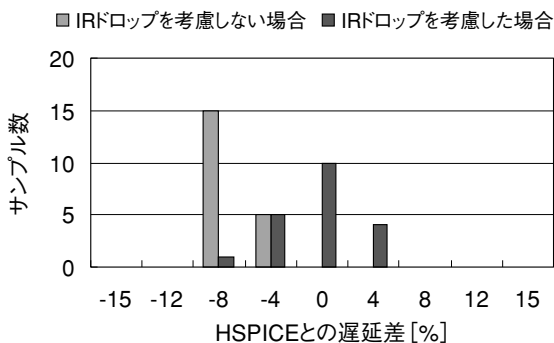


図8 IRドロップを考慮した場合の精度向上効果

*1) HSPICEは米国Synopsys社製の回路シミュレータで、同社の登録商標です。

HSPICE比±5%以内の精度に収まっていることが分かる。

図9の例では、クロストークノイズによる遅延変動差(1280サンプル)を、HSPICEシミュレーションとの比較で示した。これによれば、遅延変動分は約±200ps以内に集中しており、この変動分の減少が従来に比した場合の遅延精度向上分として直接寄与する。また、HSPICEシミュレーションとの誤差は、およそ数パーセント以内と良好な結果であった。

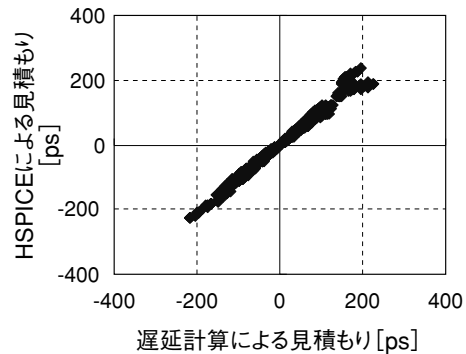


図9 クロストークノイズによる遅延変動分

あ と が き

SIを考慮したタイミング収束手法を、ディープサブミクロンプロセスである0.15 μm 、0.16 μm ASIC¹⁾の設計フローに適用し、その有効性を確かめた。

本手法を先端LSIの設計フローに組み込むことで、タイミング収束の問題を解決できる。◆◆

参考文献

- 1) 菊池他：0.16 μm 低消費電力システムASIC，沖テクニカルレビュー190号，Vol.69 No.2，p.32-35，2002年4月

筆者紹介

- 菊地原秀行：Kikuchihara Hideyuki.シリコンソリューションカンパニー デザイン本部 設計システム部
- 栗本雅弘：Masahiro Kurimoto.シリコンソリューションカンパニー デザイン本部 設計システム部
- 田代雅久：Masahisa Tashiro.シリコンソリューションカンパニー デザイン本部 設計システム部
- 菊池秀和：Hidekazu Kikuchi.シリコンソリューションカンパニー デザイン本部 設計システム部
- 堀川正永：Masanaga Horikawa.シリコンソリューションカンパニー デザイン本部 設計システム部