

極低消費電力ソーラー電波腕時計を実現した 完全空乏型SOIデバイス

長屋 雅文

カシオ計算機殿は、方位や高度などが計測できるアウトドアウォッチ「プロトレック」シリーズの新商品として、電池切れの心配がなく、いつでも安心して使えるソーラー駆動システムを採用した『ツールコンセプトPRG-50』を、2002年5月19日より発売した（図1）。

本商品『ツールコンセプトPRG-50』は、当社の完全空乏型SOI（Silicon-On-Insulator）CMOSデバイス（FDSOI-CMOS）^{1) 2) 3)}により消費電流を大幅に削減した低電圧駆動時計用LSIを採用している。本LSIに内蔵された高性能ソーラー駆動システムと発電効率に優れたソーラーパネル、大容量蓄電池の組み合わせにより、従来のソーラーウォッチでは難しかった方位や高度などのセンサー計測機能のソーラー駆動を実現した。これにより電池切れの心配がなく、登山やトレッキングの際に、安心して使える高性能アウトドアウォッチを商品化することができた。

ここでは、完全空乏型SOI CMOSデバイス（FDSOI-CMOS）を採用することにより、マイコン型の時計用LSIとしては、世界最小の消費電流を実現したカシオ殿向け時計用LSI（製品名ML6126）について述べる⁴⁾。



図1 ツールコンセプトPRG-50

時計用LSIの低消費電流化

1997年頃より、カシオ計算機殿の時計用LSIに対する消費電流低減要求が強まってきた。時計そのものの電池寿命を延ばし環境負荷を低減させるという要求に加えて、より薄型のボタン電池で動作させることが目的であった。薄型のボタン電池を用いると、時計自体を薄く作ることが可能になり、よりファッショナブルな時計が実現できるからである。

従来マイコン型の時計用LSIの消費電流は、LSI単体の電気的特性の規格として、 $1.55\mu\text{A}$ （製品名MSM6118）であった。1997年以降 $1.3\mu\text{A}$ （製品名MSM6121） $0.7\mu\text{A}$ （製品名MSM6122）と、消費電流の実力は、回路対策、マルチしきい値プロセスの採用、レイアウト対策等の取り組みにより順次向上して行った。（マルチしきい値プロセスとはしきい値を2種類以上持つプロセスである。低いしきい値が必要なトランジスタのみを低いしきい値で設計し、その他のトランジスタは高いしきい値にすることにより低いリーク電流と低電圧動作の両立が可能になる。）

MSM6122においては、しきい値が、目標値の中心で仕上がった場合は、消費電流の実力は、 $0.33\mu\text{A}$ まで、向上していたが、しきい値がワーストに振れた場合のリーク電流の増加により、規格は $0.7\mu\text{A}$ としていた。その一方、しきい値が目標値の中心になった場合でも、水晶発振回路、基本クロック回路、表示回路の充放電電流により消費電流の低減が困難になってきた。更なる消費電流削減のためのソリューションが、完全空乏型SOIを用いたFDSOI-CMOSプロセスの採用であった。

FDSOI-CMOSプロセスのメリット

FDSOI-CMOS プロセスを低消費電流対策として、時計用LSIに採用する場合のメリットは、以下が上げられる。

- ①寄生容量が小さい。
- ②しきい値をバルクに比べ低く設定できる。

以下そのメリットについて述べる。

MOSトランジスタの寄生容量となる接合容量は、接合面積に比例し、接合面積はソース／ドレイン拡散層の平面部と側面部の和となる。FDSOI-CMOS の場合、底面部が厚い酸化膜（埋め込み酸化膜）と接しているため、その容量は非常に小さくなる⁵⁾。側面部に関しても影響のあるのはチャンネルに面した部分だけであり、従来型のバルク基板のソース／ドレイン接合面積と比較して、全体でおよそ10分の1程度に減少する。したがって、電荷の充放電の対象になる容量値が減少し、低消費電流化が図れる。例えば、時計の液晶表示用ドライバ部、昇圧、降圧回路部の充放電電流が30nA削減でき、低消費電流効果を確認できた。

FDSOI-MOSの大きな特長の一つに、急峻なサブスレッショルド特性が挙げられる。サブスレッショルド電流を1桁変化させるのに必要なゲート電圧であるSファクター値は、以下のように記述される。

$$S = \left(1 + \frac{C_d}{C_{ox}}\right) \frac{kT}{q} \ln(10) \quad (\text{式1})$$

ここで、 C_d はチャンネルの空乏層容量、 C_{ox} はゲート容量、 k はボルツマン定数、 T は絶対温度、 q は電荷である。FDSOIでは、素子が埋め込み酸化膜上に作成される

ため、

$$C_d = \frac{\epsilon_{Si}}{t_{Si}} / \left(\frac{\epsilon_{Si}}{t_{Si}} + C_{BOX} \right) \quad (\text{式2})$$

で表される。ここで、 ϵ_{Si} はSiの誘電率、 t_{Si} はSOI膜厚、 C_{BOX} は埋め込み酸化膜容量であり、バルクの ϵ_{Si} / l_d (l_d は空乏層幅) に比べて小さくすることが可能である。したがって、Sファクタ値は、バルクMOSの80-95 mV/decに比べて、60-65mV/decと小さくできる⁵⁾。

このためFDSOIでは、同じオフリーク電流であれば、しきい値電圧をバルクにくらべ低く設定することができ、従来ロジック用、発振用に2つの電源が必要であったが、FDSOI-MOSの採用によりロジック部を低電圧で動作させることが可能となり、1つの電源での動作を実現できた。この特性を応用した回路を、図2-1、図2-2に示す。

図2-1は、ML6122 (0.5μmバルクプロセス) の電源構成の一部である。電池電源を、降圧回路により1/2にしたあと、2つのレギュレータ回路から、各々マイコン部 (ROM, RAM, CPU等) と、水晶発振回路に、電源を供給している。

マイコン部の各PMOS, NMOSTランジスタのしきい値は、各々、-1.0V, 0.7Vに設定している。このしきい

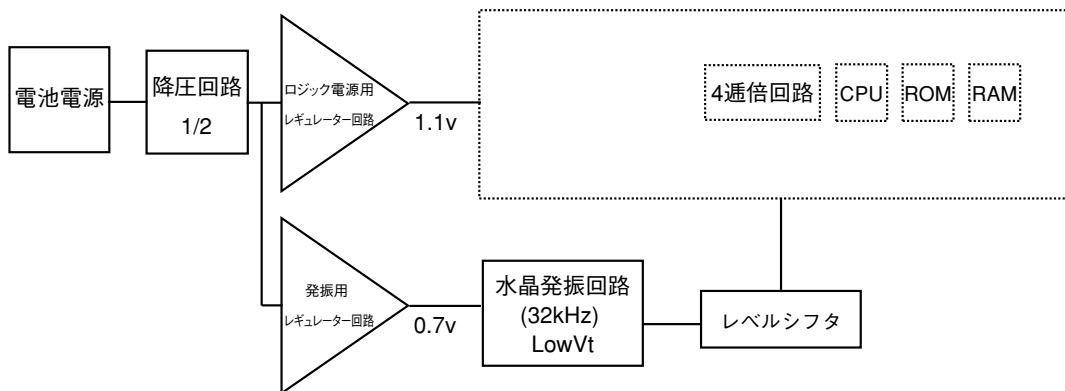


図2-1 「ML6122ロジック電源構成」 (0.5μmプロセスバルクCMOS)

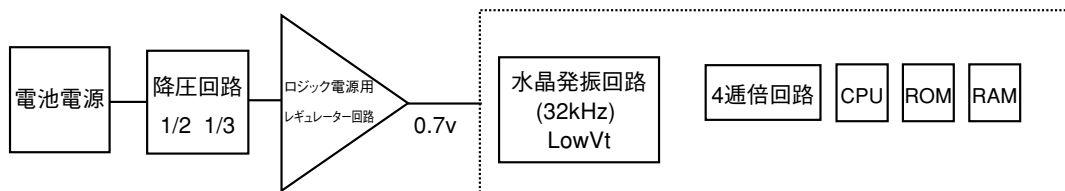


図2-2 「ML6126ロジック電源構成」 (0.35μmプロセスSOI)

図2 バルクプロセスとSOIプロセスの電源構成の比較

値の設定は、プロセスバラッキの範囲でもオフリーク電流の増加しない値を設定している。この場合、マイコン部の最低動作電圧は、PMOSのしきい値と、NMOSのしきい値の絶対値が高い方に依存することになる。したがって、マイコン部に供給するレギュレータからの電圧は、1.1V程度が最適になる。

また水晶発振回路のPMOS、NMOSTランジスタのしきい値は、各々、 -0.35V 、 0.35V に設定している。これは、水晶発振回路の供給電圧を低くしても、発振維持を可能にすることを目的にしている。さらに水晶発振回路自体の消費電流の低減を目的にしている。この場合、水晶発振回路の最低動作電圧は、PMOSのしきい値と、NMOSのしきい値の絶対値を足した電圧に依存することになる。したがって、水晶発振回路部に供給するレギュレータからの電圧は、0.7V程度が最適になる。

一方、FDSOI-CMOS プロセスで採用した、電源構成を、図2-2に示す。SOIのメリットである、S値の低下と、0.5mmプロセスから0.35mmプロセスへの移行による、マイコン内部のトータルゲート幅の縮小により、バルクに比べしきい値電圧を低く設定することができた。この時、しきい値は10mV単位の細かい調整を行なって最適化し、マイコン回路の最低動作電圧は、0.7V程度の電源電圧で動作可能になった。さらに、水晶発振回路のしきい値もマイコン部と同じ電圧で動作可能にするために、細かい調整・最適化を行なった。

この電源構成により、レベルシフター回路の電流削除、ロジック電源用レギュレータ回路の電流削除、マイコン内部の充放電電流の削減が実現した。電流削減効果は、100nAであった。

以上のように、FDSOI-MOSを採用することにより、消費電流を40%程度削減することができた。

SOIプロセスのデメリットとその対策

SOIプロセスを時計用LSIに採用する場合のデメリットは、以下が上げられる。

- ①素子耐圧が低い。
- ②ESD耐圧が弱い。(ESD耐圧とは、人体、パッケージ等に帯電した電荷がLSI内部へ静電防電された時の破壊耐圧を意味する。)

時計用LSIに採用している0.35mm FDSOI-MOSプロセスの実用的な素子耐圧は、1.5Vである。素子のソース-ドレイン間に1.5V以上の電圧を印加すると、寄生バイポーラ動作により、ソース-ドレイン間電流が増加する。

時計用LSIの場合は、最大電源電圧が3.4Vであるため、ソース-ドレイン耐圧が、6V以上ある、バルクCMOSと

同じ回路では、電流増加、アナログ回路誤動作などの不具合が発生するために、対策が必要になった。以下、その対策内容について述べる。

マイコン部の低電圧駆動

外部とインタフェースの必要な回路以外はボルテージレギュレータ回路の出力電圧にて動作するようにし、1.5V以上の電源が印加されないようにした。

外部インタフェース回路の高耐圧化

外部とインタフェースの必要なデジタル回路では、3.4Vが印加されるため、図3に示すように、PMOSを2段積み、NMOSを3段積み構成にした。このことより、各1段トランジスタあたりに印加される、ソース-ドレイン間電圧を低下させ、寄生バイポーラ動作による電流増加をなくした。

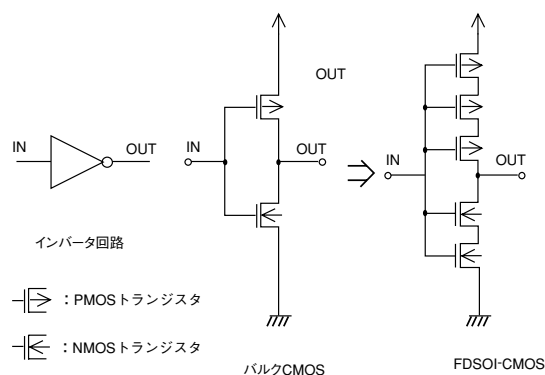
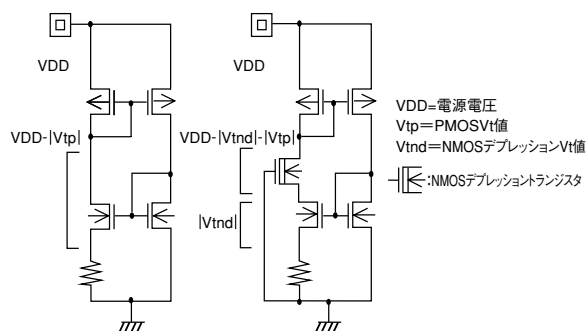


図3 外部インタフェース回路の例

アナログ回路の高耐圧化

アナログ回路では、電源電圧1.3V~3.4Vまで広範囲で動作させなければならないことより、デプレッショントランジスタなどを用い、各回路で、ソース-ドレイン間に、1.5V以上の電圧が印加されないような、動作点の回路構成にした。回路例を図4に示す。



回路対策 効果：回路の最低動作電圧を維持し、なおかつ $|V_{tnd}|$ 分の回路耐圧を向上することが出来る。

図4 アナログ回路の例

レイアウトによる高耐圧化

アナログ回路の高耐圧化対策でも、1.5V以上の電圧が印加される素子については、ボディ電位を固定するソースタイ（Source Tie）タイプのトランジスタを用いた。ソースタイ・タイプのトランジスタは、ボディ部をソース電位に固定することにより寄生バイポーラ動作を抑制し、耐圧が向上する。図5にソースタイ・タイプのトランジスタのレイアウト図例を示す。

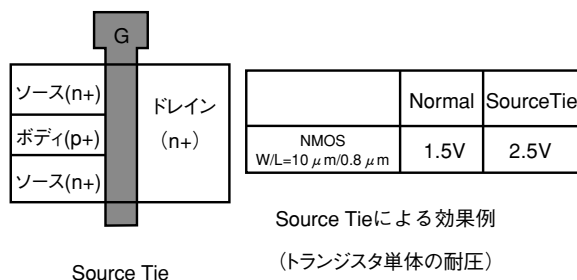


図5 Body電位固定による高耐圧化

アナログ回路の高耐圧化対策、レイアウトによる高耐圧化対策を用いたボルテージレギュレータ回路の特性を図6に示す。対策前では、電源電圧が高くなると、レギュレータ出力電圧が増加し、ユーザ規格を満足することができなかったが、対策後は、ほぼ電源電圧のよらないフラットな出力特性が得られ、ユーザ規格を満足することができた。

ESDに関しては、バルクCMOSプロセスと異なり、基板や、ウエル方向に接合がないために、ESDサージの逃げる場所が、保護用トランジスタのみになっている。

このため、ML6126は、他のバルクCMOS製品に比べるとESD耐圧が低い結果になった。FDSOI-CMOSデバ

ボルテージレギュレーター電源特性

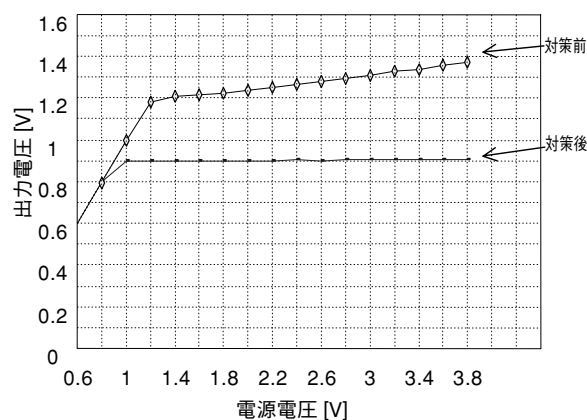


図6 高耐圧化による効果

イスのESD保護に関しては、引き続き改善すべき今後の課題となっている。

あ と が き

ML6126は、FDSOI-CMOSを用いることにより、消費電流 約150nA（TYP）にすることができた。数年前の実力と比較すると1/8まで消費電流を削減したことになる。

FDSOI-CMOSは、今後のカシオ殿向け時計LSIを含め、低消費電力LSIの主流プロセスになることは、間違いない。

現在、ML6126の後継機種として、同プロセスのML6130の量産投入を完了している、また電波受信機能内蔵の、ML6190も、試作中であり、商品群が広がっている。

FDSOI-CMOSは消費電力の大幅削減が可能であり、ここで示した低電圧駆動時計用LSIの例にに限らず幅広い分野応用が可能である。寄生容量の大幅削減としきい値の低電圧化により、高速化にも効果的であり、今後の進展が期待できる。今後も、FDSOI-CMOSの特長を生かした商品を数多く立ち上げていきたい。

参考文献

- 市川：“SOI技術によりLSIの消費電力を1/3に低減”，NIKKEI ELECTRONICS 1999.3.8, no.738, p.165
- 横溝，鈴木，浦浜：沖電気研究開発180号“SOIデバイス技術”（プロセスとARM7の評価），Vol.66 No.1, pp.69-72, 1999年5月
- 福田，伊藤秀二，伊藤真宏：沖テクニカルレビュー185号“SOI-CMOSデバイス技術”，Vol.68 No.1, pp.100-103, 2001年1月
- “急速に広がるSOI” Part3, “時計用マイコンから低電力システムLSIへ浸透”，日経マイクロデバイス 2002年6月号
- “SIMOX LSIー最新レポート”，（高速・低電力LSIデバイスの本命）

筆者紹介

長屋雅文：Masafumi Nagaya.株式会社沖マイクロデザイン LSI設計センタ 回路設計部 回路設計第三チームリーダー