次世代低消費電力SOIデバイス

馬場 俊祐

低電力・高性能LSIは、次世代のパーソナル&モバイル コミュニケーション製品のキーテクノロジとして期待さ れている。従来、バルクシリコン-CMOSデバイス(バル ク-CMOS)は低消費電力デバイスの代表であったが、微 細化に伴う高集積化・高速化によりLSIの消費電力は増大 し、現在では設計手法・素子構造を含めた新しい低電力 化手法が待望されている。そのような状況下で、完全空 乏型SOI-CMOSデバイス(FDSOI-CMOS)は次世代の 低消費電力デバイスとして期待されている^() 2)。

当社では民生品としては世界初のFDSOI-LSIを実用化した³³。LSI部分の面積では従来比で50%を削減し,電流で75%の削減が可能となった。FDSOI-CMOSデバイスの特色を活かすことで,従来の設計資産を活かしながらバルク-CMOSに対して特徴を持たせたLSI製品を実現することができた。

本稿では、FDSOI-CMOSの低電力化・性能を従来のバ ルク-CMOSのスケーリングモデルを基に検討し、今後の FDSOIの可能性について論じる。

バルク-CMOSのスケーリングモデル

バルク-CMOSは低消費電力デバイスとして登場・発展 してきた。しかし、スケーリングによる素子性能の向上 にともなうLSIの動作周波数の向上と、酸化膜の薄膜化と 拡散層の接合容量の増大による単位面積当りの充放電の 対象となる容量値の増加により、スケーリングとともに LSIの消費電力が増大している。詳細は付録に示すが、パ ルク-CMOSのスケーリング則に従い各世代の性能・集積 度・消費電力の算出結果を表1に示す。10mm角の大きさ のLSIチップを想定した場合、電源電圧が下げているにも かかわらず、消費電力は1世代進むごとに10%程度増大 し、100mm²のチップでは0.18 μ m以降の世代では100 Wを越える消費電力が必要な状況となる。

低消費電力デバイスの要件

バルク-CMOSに代わる低消費電力デバイスの満たすべき条件として,バルク-CMOS-LSIデザインとの高い親和

	1					
ゲート長 (um)	0.35	0.25	0.18	0.15	0.13	0.1
ゲート幅(um)	2.751	1.965	1.4148	1.179	1.0218	0.786
1 M配線ピッチ (um)	0.917	0.655	0.4716	0.393	0.3406	0.262
配線幅(um)	0.4585	0.3275	0.2358	0.1965	0.1703	0.131
100mm ² 当りのゲート数	2.83E+06	5.55E + 06	1.07E+07	1.54E+07	2.05E+07	3.47E+07
電源電圧(V)	3.5	2.5	1.8	1.5	1.3	1
しきい値電圧 (V)	0.875	0.625	0.45	0.375	0.325	0.25
酸化膜厚(A)	77.8	55.6	40	33.3	28.9	22.2
酸化膜容量(F/m ²)	4.44E-03	6.22E-03	8.63E-03	1.04E-02	1.20E-02	1.55E-02
実効移動度(cm ² /Vsec)	2.65E+02	2.42E+02	2.26E+02	2.19E+02	2.14E+02	2.08E+02
Tr. オン電流値 (A/m)	447	483	531	564	593	655
Tr 入力容量(F)	4.27E-15	3.05E-15	2.20E-15	1.83E-15	1.59E-15	1.22E-15
オン抵抗 (ohm)	2.13E+03	1.97E+03	1.80E+03	1.69E+03	1.61E+03	1.46E+03
ゲートピッチ (um)	1.21E+01	6.71E+00	3.99E+00	2.82E+00	2.47E+00	1.94E+00
平均配線長(um)	63.95	36.66	22.48	16.14	14.34	11.54
配線容量(F/m)	1.82E-10	2.19E-10	2.74E-10	3.13E-10	3.48E-10	4.27E-10
配線抵抗率(ohm/cm)	1.61E+03	2.26E+03	3.14E+03	3.77E+03	4.35E+03	5.65E+03
ゲート入力容量(F)	1.15E-13	8.24E-14	5.93E-14	4.95E-14	4.29E-14	3.30E-14
出力抵抗 (ohm)	710.9	658.2	598.6	563.7	536.1	486
ドレイン接合容量(F)	1.07E-14	7.46E-15	5.29E-15	4.38E-15	3.78E-15	2.89E-15
平均ゲート遅延 (psec)	272.1	179.3	118.1	92.5	77.3	55.5
OFF LEAK 電流 (A/m)	6.72E-17	3.00E-14	2.15E-12	1.34E-11	4.56E-11	2.84E-10
スタンバイ電力 (W)	9.32E-10	4.17E-07	2.99E-05	1.87E-04	6.32E-04	3.95E-03
最大動作周波数 (MHz)	147	223.1	338.8	432.5	517.8	721
消費電力(W)	88.24	95.66	104.6	111.28	115.46	123.68

表1 各世代のバルク-CMOS-LSIの性能比較

性と、回路・アーキテクチャでの低電力対策容易性の2点 が挙げられる。

大規模LSIの開発では、短期間に高機能のLSIを開発す ることが要求される。パルク-CMOSでは、スケーリング と同時に設計自動化による設計生産性の向上も図られて いる。従来のスケーリングの流れからわかるように、LSI 開発における優先順位は、高機能・高速・低消費電力で あり、高機能または高速性を犠牲にした低消費電力化は ありえない。そのため、新デバイスはバルク-CMOS-LSI の設計環境・資産と高い親和性を保つ必要がある。

また,LSIの低消費電力化には,デバイス・回路・アー キテクチャの各階層における取り組みが必要である。そ のなかで,デバイスは回路設計およびアーキテクチャ設 計に影響を及ぼすため,新デバイスの選択が,回路およ び方式設計における低電力化選択肢を狭めるものであっ てはならない。詳細は付録に示すが,低電力デバイスの 条件は,充放電の対象となる容量値が小さく,低電圧で 高速に動作する素子が必要である。

完全空乏型CMOS (FDSOI-CMOS) デバイス

FDSOI-CMOSデバイスは次世代の低消費電力デバイス として期待されている。その理由としては、以下が挙げ られる。

①寄生容量が小さい。

②しきい値をバルクに比べ低く設定できる。

③オフリークの温度依存性が小さい。

④バルク-CMOSとのデザイン親和性が高い。

⑤基板バイアス効果が小さい。

以下に各利点について述べる。

バルクMOSの寄生容量には、ゲート容量の他に接合容 量(付録式16)がある。微細化に伴う短チャネル効果の 抑制のために、接合下の不純物濃度は高くなり、その結 果、接合容量が増大する。一方FDSOI-MOSは、埋め込 み酸化膜上に作成されるため、接合容量の面成分を無視 でき、FDSOI接合容量値はバルクMOSに比較して1/10 程度であり、電荷の充放電の対象となる容量値が減少す ることにより、高性能化と低電力化が図れる。

FDSOI-MOSの大きな特徴のひとつに急峻なサブスレ ショルド特性が挙げられる。これは、素子が埋め込み酸 化膜上に素子が形成されるためで、FDSOI-MOSの基板 係数は、埋め込み酸化膜容量(付録 式17)を考慮する と、1.05~1.1で、Sファクタ値で60~65となり、バル ク-MOSの80~95に比べ小さい。したがって、同じオフ リーク電流であれば、しきい値電圧をバルクに比べ低く 設定することができる。この結果、電源電圧を下げるこ



図2 SRAMコアの性能比較

とが可能となり、バルク-CMOSと同一性能を確保しなが ら低電力化が図れる。オフリーク電流の温度依存性はバ ルク-MOSとFDSOI-MOSではその構造に依存して大き く異なる。バルク-MOSでは、リーク電流はドレインと基 板間のダイオードの逆方向電流に起因するため、その電 流値は真性キャリア濃度の2乗(n²)に比例する。しかし SOIの場合はドレインは埋め込み酸化膜上にあるため、 リーク電流は主に熱励起電流に依存し、その温度依存は 真性キャリア濃度niに比例する⁴⁾。そのため、動作保証条 件の高温(85°C)側で待機電流を比較した場合、FDSOI-MOS はバルク-MOSに比べ3桁低<待機電流を抑制できる。

FDSOIはバルク-CMOSデバイスと親和性が高く、従来 のバルク-CMOSで作成した回路レイアウトパターンをそ のまま用いることができる。図1、2に従来のバルク-CMOSで作成したものを用いて試作・評価した結果を示 す。図1はプロセッサコアの、図2はSRAMコアの性能と 電源電圧を評価した結果である。バルク-CMOSデバイス の回路レイアウトパターンを用い試作した結果、何の変 更もなく同一電圧で1.5から2倍の性能、同一性能で消費 電力を電源電圧の2乗に比例することから1/3に削減でき ることを確認した。従来の設計資産を用い、素子をFDSOI 化することで、性能・消費電力の向上を図ることができ る。また、レイアウト、回路形式をFDSOIに適したもの とすることでさらにその利点を享受することができる。 FDSOIではバルク-CMOSで必要となる基板端子が必要な いため、占有面積を30%削減することが可能である。従 来,低電力化アーキテクチャとしてパイプライン化が提 案され、回路面積30%程度の増加で、同一性能で消費電 力を60%削減できると報告されている⁵⁾。FDSOIを採用 し、30%の面積削減分をパイプライン化による増分と相 殺することで、従来のバルク-CMOSの面積を増加させる ことなく低消費電力化を図ることができる。

FDSOIはさらに、埋め込み酸化膜上に作成されるため、 基板バイアス効果が小さいという特性を持つ。そのため、 MOSデパイスを直列に接続した(縦積み)回路で、基板 パイアスによるしきい値増大による性能劣化が起こらず、 パルク-CMOSに比べて性能面で大きく勝る。図3に 4NANDの遅延回路における遅延時間の電源電圧依存性を 評価した結果を示す。FDSOIは、基板パイアス効果がな く、接合容量も小さいために、パルクと同一性能を1/2の 電圧で実現できる。そのため、FDSOIをパストランジス タロジックのような回路形式に適用すれば、性能または 消費電力に関して大きなメリットを享受することができ



図3 4NAND縦積みTrの性能比較

る⁶⁾。また、メモリLSIで用いられているNOR論理を、従 来バルク-CMOSでは性能の劣化のために採用できなかっ たMOSデバイスの縦積みで構成するNAND論理を用いた アーキテクチャに変更することで、性能をNOR論理のバ ルク-CMOSと同等に保ったまま、大幅な低消費電力化を 図ることが可能となる。

FDSOIによるさらなる低電力化

バルク-CMOSの消費電力・性能の算出モデルにFDSOI の寄生容量の効果を考慮して算出した結果を図4に示す。

10mm角のバルク-CMOS-LSIをFDSOI化することを想 定した場合,バルク-CMOS(図4:□)と同一電源電圧



図4 性能と消費電力の比較

の場合ではFDSOI-CMOS(○)の性能は、パルク-CMOSの一世代先のものと同等となる。また、パルク-CMOS(図4:□)と同一性能となるようにFDSOIの電 源電圧を下げた場合(図4:●)、消費電力をパルク-CMOSの1/3程度に削減できる。

FDSOI-CMOSにおいて,電源電圧を0.5Vにすること でさらなる低消費電力化を達成することができる⁷⁾。 FDSOI-CMOSは,パルク-CMOSに比べしきい値電圧を 低くでき,寄生容量も小さいことから電源電圧を0.5Vと 極端に低くすることが可能である。電源電圧を0.5Vにし た場合(図4:△),世代が進むにつれてバルク-CMOSで も電源電圧が下がるため,FDSOIとバルクCMOSの消費 電力の差が小さくなるが,0.35µm世代で2桁,0.1µm 世代で1桁程度の消費電力の削減を図ることができる。こ こで,集積度一定(百万ゲート)と想定した場合(図4: ▲),0.1µm世代でもバルク-CMOSに比べ2桁低い電力 で同等性能を達成でき,動作に寄与するブロックを活性 化させるなどのアーキテクチャレベルの方策を講じる事 で,数ワット級のLSIが実現できる。

LSIの性能については、携帯端末の動画処理には動作周 波数100MHz程度で十分であるため、さらなる低消費電 力を実現するために動作周波数を100MHzに下げるとい う方策をとる。消費電力は動作周波数に比例し減少する ため、0.1 µ m世代では275mWになり、さらにパストラ ンジスタ化すれば電力を1/3程度にすることができ、消費 電力として、90mW(数10mW級)のLSI を達成できる。 ここで、電源電圧を0.5Vにした場合、FDSOIにおいても、 スケーリングに伴い低しきい値電圧化によるMOSのスタ ンバイ電流は問題となる。この場合、バルク-CMOSと同 様にマルチしきい値方式の回路構成をとることでスタン バイ電流を抑制することができる。また、FDSOIは、素 子が個別に素子分離されているため、電源電圧が0.6V以 下であれば、ゲートとボディを接続しダイナミックにし きい値電圧を抑制する(DT-MOS) 回路方式を選択する ことでスタンバイ電流を抑制でき、バルク-CMOSに比べ て回路的な対策をとりやすい。

あとがき

次世代の低消費電力デバイスとして期待されている完 全空乏型SOI-CMOSデバイスの可能性を、従来のバルク CMOSのスケーリング計算モデルを基に検討した。FDSOI は、従来のバルクCMOSの設計資産を変更せずに活用す ることができ、同一電源電圧であればバルクCMOSの一 世代先の性能、同一性能であればバルクCMOSの1/3の 消費電力を達成することができる。 電源電圧が0.5Vで100MHz動作が可能であり,回路方 式,アーキテクチャの各層において低消費電力化の対策 を施すことで,数10mW級の極低電力LSIを実現すること が可能である。 ◆◆

付録 LSIの消費電力・性能の算出モデル

FDSOI-CMOS-LSIの消費電力や性能の算出に当って は、そのLSI集積度と素子性能を見積もることが必要とな る。そこで、最初にパルク-CMOSのスケーリングを考慮 したモデル化を図り、それをFDSOIへ適用した。ここで は、本報告で用いたスケーリングモデルについて述べる。 ロジックLSIではセルライブラリは配線格子を単位とし て描かれるとして、LSIの集積度を1層メタルの配線層の 最小間隔を用いて算出した。ロジックライブラリでは1 ゲート当り4トランジスタ用いるとし、ロジックゲートの 1チップ当りの搭載ゲート数*Neade*は、

$$N_{gate} = A_{chip} \frac{R_{core}}{35 \cdot P_{metal}^2} \qquad (\pm 1)$$

により見積もられる。ここで、 A_{chip} はチップ面積、 R_{core} は内部回路の占有率、 P_{metal} は1層メタルの配線ピッチをあらわす。 P_{metal} は、ゲート長 L_g を用いてデザインルール動向⁸⁾より算出した。

$$P_{metal} = 2.62 \cdot L_{o} \qquad (\exists 2)$$

トランジスタの性能を決めるうえで重要な指標は、ゲート長、ゲート酸化膜厚、しきい値電圧である。ゲート長は微細プロセスにより決まる。一方、ゲート酸化膜厚 T_{ox} は、電気的なゲートチャネル長 L_E と

$$L_E = k \cdot T_{ox} \tag{(式3)}$$

の関係が報告⁹⁾ されている。ここで,kは比例定数でその 値としては45を用い⁹⁾,ここでは, $L_E = L_g$ とした。次に 最大印加電圧 V_{DDmax} は,酸化膜の製品保証耐圧 BV_{OX} をも とに

$$\boldsymbol{V}_{DDMAX} = \boldsymbol{B}\boldsymbol{V}_{OX} \cdot \boldsymbol{T}_{OX} \qquad (\vec{\mathtt{x}}4)$$

より算出できる。ここでは耐圧値 BV_{ox} を5 MV/mとして 最大印加電圧を算出した。電源電圧 V_{DD} は、通常、LSIで は電源電圧の変動を±10%見込むため、最大印加電圧よ り次のように見積もることができる。

$$V_{DD} = 0.9 \cdot V_{DD max} \qquad (\pm 5)$$

CMOS回路の遅延時間は、電源電圧に対するしきい値 電圧の比が 1/4 以上になると急激に劣化することが報告さ れている¹⁰⁰。一方、しきい値電圧を低く設定するとトラ ンジスタがオフ時のリーク電流が増大するため、回路が 停止した状態での消費電力が増大する。そのため、しき い値電圧の設定は、性能、消費電力のバランスにより設 定される。ここでは

$$V_{th} = \frac{I}{4} V_{DD} \qquad (\pm 6)$$

とし、MOSのオン電流 I_{on} はドリフト電流モデルを用い t^{11} 。

$$I_{on} = \frac{W_g}{L_g} \frac{\mu}{2n} C_{ox} (V_{DD} - V_{th})^{\alpha} \qquad (\pm 7)$$

ここで W_g はゲート幅, μ は移動度, C_{ox} は酸化膜容量, aはフィッティング係数で通常1~2の値をとる^{9) 12) 13)}, nは基板係数で,次式のように与えられる¹¹⁾。

$$n = 1 + \frac{\varepsilon_{si}}{C_{ox} x_{d max}} \qquad (\pm 8)$$

その値としてはバルクでは1.4~1.6の値をとる。ここで、*X_{dmax}は空*乏層幅を表す。

チャネルの実効移動度 μ_{eff} は統一表現モデル¹⁴⁾を用い 算出した。

$$\mu_{eff} = \frac{\mu_0}{I + (\frac{E_{eff}}{0.75})^{\gamma}}, \quad E_{eff} \cong \frac{V_{DD} + V_{TH}}{6T_{ox}} \quad (\vec{x})$$

ここで μ_o はキャリア移動度, E_{eff} は実効電界である。

次に、LSIのチップの消費電力、および動作周波数 は SUSPENSモデル¹⁵⁾を用いて見積もった。消費電力 P_c は、 チップ配線を含めた総容量 C_{tot} を用いて算出できる。

$$P_C = \frac{1}{2} \cdot F_C \cdot F_d \cdot C_{tot} \cdot V_{DD}^2 \qquad (\pm 10)$$

$$C_{tot} = \frac{D_C^2 \cdot N_w \cdot E_w \cdot C_{int \ er}}{P_{metal}} + C_{tr} \cdot k \cdot N_{gate} \cdot F_{gate}$$

ここで、 F_c は動作周波数、 F_d はチップ中のゲートの動作率をあらわす。また、 D_c はチップの一辺の長さ、 N_w は配線層数、 E_w はゲート使用率、 F_{gate} は平均ファンアウトをあらわす。動作周波数 F_c と平均ゲート遅延 T_{gate} は、論理段数 F_{ld} により記述できる。

$$F_C = \frac{1}{F_{ld} \cdot T_{gate}} \tag{(\mathbf{z}\mbox{1}\mbox{1})}$$

$$T_{gate} = F_{gate} \cdot R_{gout} \cdot C_{inter} + F_{gate} \cdot R_{gout} \cdot C_{gin} + 0.5 \cdot R_{inter} \cdot C_{inter} + R_{inter} \cdot C_{gin}$$

ここで、 R_{gout} は出力抵抗、 R_{tr} はトランジスタのオン抵抗、 C_{gin} はゲート入力容量、 C_{tr} はトランジスタのゲート容量、 C_{inter} は配線容量、 C_{int} は単位長さ当りの配線容量、 R_{inter} は配線抵抗をあらわす¹⁵⁾。これらの抵抗と容量は、配線高さを H_{int} 、配線幅を W_{int} 、配線間隔を W_{sp} 、層間膜厚を T_{int} 、配線抵抗率を R_o 、リピータの個数をkとして以下のように与えられる。

$$\begin{split} R_{gout} &= R_{tr} \cdot \frac{F_{gate}}{k} \quad , \quad R_{tr} = \frac{(V_{DD} - V_{th})}{I_{on} \cdot W_{g}} \\ C_{gin} &= 3 \cdot k \cdot C_{tr} \quad , \quad C_{tr} = \varepsilon_{ox} \frac{L_{g} \cdot W_{g}}{T_{ox}} \\ C_{int} &= \varepsilon_{ox} \varepsilon_{o} \left[1.15 \frac{W_{int}}{T_{int}} + 2.8 (\frac{H_{int}}{T_{int}})^{0.222} + \left\{ 0.06 \frac{W_{int}}{T_{int}} + 1.66 \frac{H_{int}}{T_{int}} + 0.14 (\frac{H_{int}}{T_{int}})^{0.222} \right\} \left(\frac{T_{int}}{W_{sp}} \right)^{1.33}] \end{split}$$

$$R_{inter} = L_{av} \cdot \frac{R_o}{H_{int} \cdot W_{int}} , C_{inter} = C_{int} \cdot L_{av} \quad (\pm 12)$$

また、平均配線長 L_{av} は、ゲートピッチ d_g を単位として以下のように与えられる¹⁶⁾。

$$L_{av} = R_{bar} \cdot d_g \quad , \quad d_g = F_{gate} \cdot R_{bar} \cdot \frac{P_W}{E_W \cdot N_W}$$

$$(\overline{t} \cdot 13)$$

ここで**R**_{bar}はゲートピッチを単位とした場合の平均配線 長で、レント指数**p**を用い以下のように与えられる。

$$\begin{split} R_{bar} &= \{ \frac{(p - 0.5)}{p} \cdot N_{gate}^{0.5} \cdot \frac{(p - 0.5)}{(6N_{gate}^{0.5} \cdot (p + 0.5))} \\ &+ N_{gate}^{p} \left(\frac{-p - 1 + 4^{(p - 0.5)}}{2(p + 0.5) \cdot p \cdot (p - 1)} \right) \} \\ / \left\{ N_{gate}^{(p - 0.5)} \frac{-2p - 1 + 2^{(2p - 1)}}{(2p(p - 1)(2p - 3))} - \frac{(p - 0.5)}{6p \cdot N_{gate}^{0.5}} \right. \end{split}$$
$$(\pm 1.4) \\ &+ 1 - \frac{(p - 0.5)N_{gate}^{0.5}}{(p - 1)} \} \end{split}$$

次に,待機時のオフリーク電流 I_{off} は,ドレイン電流が $L/W*0.1(\mu A)$ となるゲート電圧をしきい値電圧と定義すると,

$$I_{off} = \frac{L_g}{W_g} \frac{0.1}{10^{Vth/S}}$$
, $S = n \frac{kT}{q} ln(10)$ (式15)

により求められる。ここで、Sはサブスレショルド電流を 1桁変化させるのに必要なゲート電圧を指す。

以上のモデルに従い,各世代のCMOSデバイスの性能・ 消費電力を算出すると本文中に示した表1の結果が得られ る。算出に当たっては、チップ面積を10mm角の場合を想 定しI/O回路がチップ面積の10%を占有するとしてゲート 集積度を求めた。また、計算では平均ファンアウトは3、 ゲート実使用率40%、LSI動作率30%、論理段数25、リ ピータの数を9、オン電流を計算する際の指数項αを1.5 とした。

次に, FDSOI-LSIの性能算出に当っては, 接合容量としきい値の算出に補正を加えた。

まず,バルクMOSの接合容量は次式で計算できる¹⁷⁾。

$$C_{jo} = \left[\frac{q \cdot \varepsilon_o \cdot \varepsilon_{si} \cdot N_A \cdot N_D}{2\phi_B} (N_A + N_D)\right]^{0.5} (1 - \frac{V_{pn}}{\phi_B})^{0.5}$$
$$C_J = \left[C_{ja} \cdot (bc) + Cj_p \cdot (2b + 2c)\right] (1 - \frac{V_{pn}}{\phi_B})^{-m} \quad (\vec{x}.16)$$

C_{ja}, *C_{jp}*は, 各々, *V_{pm}*が0Vのときの単位面積当りの底 面接合容量,単位長さ当りの周辺接合容量であり, *b*は拡 散領域の幅, *c*は拡散領域の幅をあらわす。FDSOIは,埋 め込み酸化膜上に作成されるため,接合容量の面成分を 無視できる。その結果FDSOI接合容量値はバルクMOSに 比較して1/10程度となる。ここで,SUSPENSモデルに は接合容量があらわに考慮されていないため,平均ファ ンアウトを補正することで対応した。

つぎに,性能の補正は,FDSOIの基板係数を算出し取 り込むことで対応した。ここで,基板係数は,埋め込み 酸化膜容量 *C*_{box}を考慮して¹¹⁾

$$n = 1 + \frac{\varepsilon_{si}}{T_{si} (C_{ox} \frac{\varepsilon_{si}}{T_{si}} + C_{box})} \qquad (\text{it 17})$$

ここでFDSOIでは、nは1.05~1.1で、Sファクタ値で 60~65となり、これをオン電流計算に反映させた。

謝辞

本研究は、新エネルギー・産業技術総合開発機構 (NEDO)からの委託研究「極低電力情報端末LSIの研究 開発」の一環として行われたものである。

■参考文献

- 1) "SOI技術によりLSIの消費電力を1/3に低減",市川,日経エ レクトロニクス, No.738, pp.165, 1999年3月
- 2) "極低電力を実現するCMOS/SOI・LSI技術",山田,NTT R&D, Vol.50, No.11, pp.862, 2001年
- 3) http://www.oki.com/jp/DBG/english/p_soi.htm

4) "Demonstration of the Potential of Acumulation-Mode MOS Transistors on SOI Substratefor High Tempareture Operation", D.Flandre, *et al.*, IEEE Elec. Dev. Let., Vol.14, No.1, pp.10, 1993.

5) "低消費電力,高速LSI技術",桜井 編,リアライズ社,pp.10. 6) "SOIデバイス技術",横溝 他,沖電気研究開発,180号, Vol.66, No.1, 1999年5月

7) "平成12年度 新エネルギ・産業技術総合開発機構委託事業 即効的・革新的エネルギー環境技術開発:極低電力情報端末用 LSIの研究開発成果報告書",社団法人 電子技術情報産業協会, 2001年3月

8) http://www.tsmc.com.tw/tw/technology, Technology & Manufacutureing, 2001.12.

9) "MOS Scaling: Transistor Challenges for the 21st Century", S.Thompson, P.Packan, M.Bohr, Intel Technology Journal, 1998 Q3.

10) "An Ultra Low Power 0.1um CMOS", Y.Mii, *et al.*, 1994 IEEE Sympo. on VLSI Tech. Digest of Tech. Papers, pp.9, 1994.

11) http://www.dice.ucl.ac.be/soi/activities, Low-Voltage, Low- Power CMOS, 2001.12.

12) "CMOS Scaling into the 21st century 0.1um and beyond", Y.Taur, *et al.*, IBM J. Res. Develop. Vol.39, No.12, pp.245, 1995.

13) "Ultra-Low-Power CMOS Technology", G.Schrom, eingereicht an der Technischen Universitat Wien Fakultat fur Elektrotechnik, DISSERTATION, 1998.

14) "BSIM4.2.0 MOS Model- User's Manual", W.Liu, *et.al*, University of Carifornia Berkelry

15) "Circuits, Inteconnections, and Packaging for VLSI", H.B.Bakoglu, Addison-Wesley, 1990.

16) "A Stochastic Wire Length Distribution for Gigascale Integtration", J.A.Davis, CICC, pp.145, 1997.

17) "CMOS集積回路", 榎本, 培風館, pp.94

●筆者紹介

馬場俊祐: Shunsuke Baba.シリコンソリューションカンパニ ー 超LSI研究センタ低エネルギーデバイス研究部 回路研究チー ムリーダ