高速データ通信を実現する PHS用ベースバンドLSI

山崎　清彦　　中村　雅彦
弥永　修

1995年7月より開始されたPHS（Personal Handy-phone System）は，当初「安価な携帯電話」として急速に加入者数を伸ばしたものの，「繋がらない，切れやすい」という風評から，その加入者数は一時頭打ちの傾向をたどった。しかし，昨今では音声通話を中心とした携帯電話としての役割よりも，「安価なデータ通信端末」としての役割に価値を見出されつつある。このPHSの動向に注目し，業界で初めてこれまでのPHSの最高データ通信速度であった64kb/sを128kb/sに高速化することを可能とするPHS用ベースバンドLSIを開発した。本稿では本LSIの概要について報告する。

PHSシステムの概要

PHS方式の概要を表1に示す[1)]。PHSの無線周波数帯は1.9GHz帯であり，その出力パワーは子機においては10mWと小さいのが特徴である。1チャネルあたりのデータ伝送能力は32kb/sであり，音声は32kb/s ADPCM（Adaptive Differential Pulse Code Modulation）方式を用い1チャネルを占有して通信される。現在運用されている64kb/s PIAFS（PHS Internet Access Forum Standard）を用いたデータ通信は2チャネルを用いる事により実現されている。今回開発したベースバンドLSIは通常の音声通信と64kb/s PIAFSデータ通信に加えて新たに128kb/sデータ通信をこのPHSの持つ4チャネルをすべて用い実現することができる。

表1　PHS方式の概要

音声符号化則	ITU-T G.726 32kb/s ADPCM
無線アクセス方式	4 チャネル TDMA-TDD
伝送速度	384kb/s
変調方式	π/4 shift QPSK
無線周波数	1.9GHz 帯
出力パワー	10mW 以下（子機）
	500mW 以下（基地局）

システム構成とML7078のブロック図

図1にPHS子機のブロック図を示す。ベースバンド部は大きく分けて音声をADPCM変換するADPCM コーデック部，TDMA-TDD （Time Division Multiple Access - Time Division Duplex）通信を行うためにこの音声データと各制御信号をフレーミング・デフレーミングするチャネルコーデック部，ディジタルデータを無線周波数に変換するための変復調処理を行うπ/4 shift QPSK（Quadrature Phase Shift Keying）モデム部，およびこれらを制御し，通信を行うためのプロトコルを司るCPU部とプログラム，データを格納するメモリー部からなる。RF（Radio Frequency）部は，ベースバンドからの変調データを1.9GHz帯の無線周波数帯にアップコンバージョンし，また逆に無線周波数帯からベースバンド帯へダウンコンバージョンを行う。

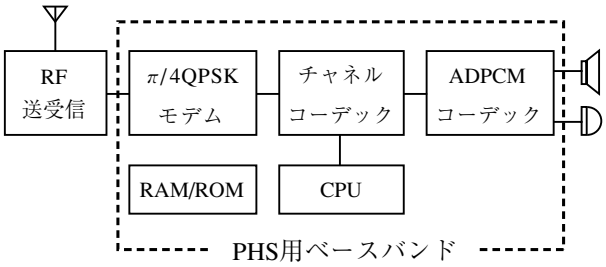
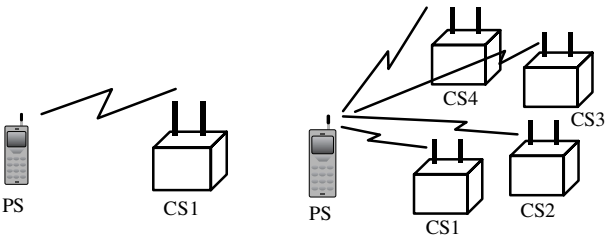


図1　PHS子機のブロック図

次に，このPHSシステムの通信においては，通常の音声通信では図2-（a）に示すように一つの基地局（CS）に対しひとつの移動局（PS）が通信を行うが，今回　本LSIで実現しようとしている128kb/sデータ通信では図2-（b）に示すように4つの基地局と通信可能としている。この場合各々の基地局からの距離および局部発振器の周波数偏差から，それぞれの基地局に対し独立のタイミングで子機は受信可能とならなければならない。

図3に今回開発したPHS用ベースバンドLSI ML7078の



2-(a)対 1 基地局　　2-(b)対 4 基地局

図2　PHS CSとPSの通信

機能ブロック図を示す。4つの基地局と通信可能な4チャネル対応のチャネルコーデック，4チャネル対応のπ/4 QPSK モデム，音声信号処理のためのPCM コーデック，ADPCMトランスコーダ，データ通信に必要なPIAFS処理部，RF部の制御に必要なA/Dコンバータ， D/Aコンバータ，およびCPUインタフェース回路により構成される。

親機（CS側）にも使用可能なように，ADPCMトランスコーダは4チャネル，PIAFSは2チャネルを内蔵する。

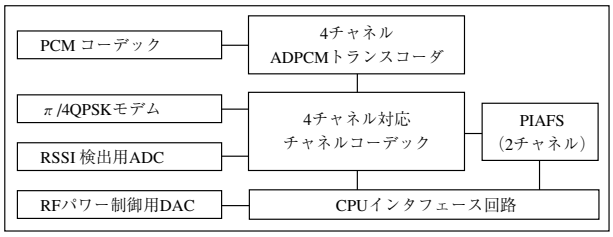


図3　ML7078の機能ブロック図

なお，本LSIでは図1におけるベースバンド処理のうちCPUとRAM/ROMに関しては外付けとしている。

各ブロック詳細技術説明

(1) コーデックおよびADPCMトランスコーダ部

音声通話のため，音声を64kb/sPCM信号に変換またはPCM信号を音声に戻すためのPCM コーデックと，64kb/s PCM信号を32kb/s ADPCM信号に変換または逆変換するためのADPCMトランスコーダを内蔵する。

図4にコーデックおよびADPCMトランスコーダ部の詳細ブロック図を示す。A/D,D/A変換部にはΣΔ型A/D,D/Aコンバータを採用し，DSP部は音声フィルタ処理，ゲイン制御，各種トーン生成等の処理を行っている。また，ADPCMトランスコーダ部は低消費電力化のため，ランダムロジックで実現している[2)]。

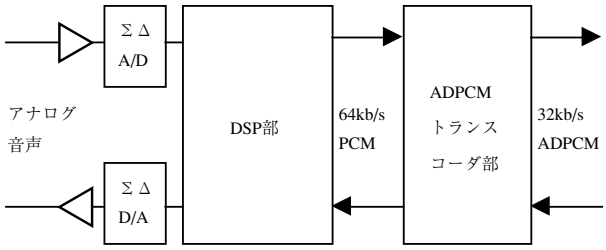


図4　PCM/ADPCM部ブロック図

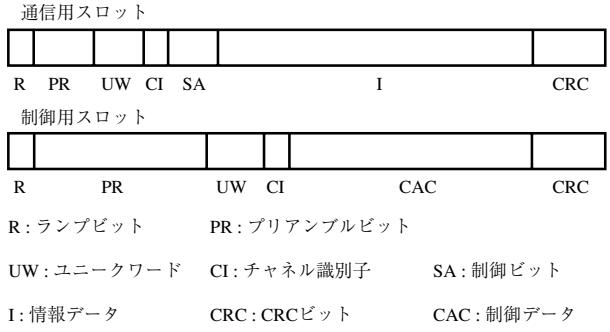


図5　通信用，制御用物理スロット構成

(2) チャネルコーデック部

PHSの通信では図5に示されるスロットを用いて通信が行われる。チャネルコーデック部はこの通信用物理スロット，および制御用物理スロットの組み立て，分解を行う。制御用物理スロットは主に発呼，着呼時および待ち受け時等に必要な制御データをやりとりするためのもので，通信用物理スロットは通信中に音声，データ等をやりとりするためのものである。音声，データは本通信用物理スロットのIの情報データに相当し，1スロットで32kb/s，4スロットで128kb/sのデータ容量がある。

図6にML7078のチャネルコーデック部の構成を示す。

4チャネル送受信回路において上記スロットの組み立て，分解を行う。ここで128kb/sのデータ通信を行う場合，最大4つの基地局との接続が必要になり，これを実現するため，4つのタイミング生成回路と，これらタイミング生成回路間のタイミング調整を行う制御回路により構成している。

4つのチャネルは，それぞれ専用のタイミング生成回路により送受信を行う。基地局間の同期ずれや，接続した基地局からの電波状況に応じて，受信するタイミングは変化するが，限度を超えてあるチャネルが遅れて，次のチャネルが早くなるとタイミングに重なりが生じ，これにより，最悪どちらのチャネルも送受信が行えなくなる。

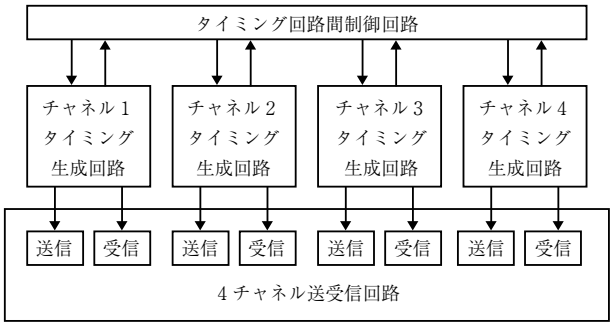


図6　チャネルコーデック部の構成

これを防止するため，隣接したチャネルが正常に送受信できるように，制御回路がタイミングの調整を行う。

(3) PIAFS部

32kb/sPIAFSの場合は1チャネル，64kb/sPIAFSの場合は2チャネルの送受信を行いながら，チャネルコーデックの受信データをPIAFS部の受信データバッファに受け渡し，PIAFSのデータフォーマットに従って，フレーム検出およびCRCエラー検出を行う。また，PIAFS部の送信データバッファに格納したデータを，送信データとしてチャネルコーデックに受け渡す。

(4) π/4shift QPSK モデム部

チャネルコーデック部で構成された送信データは，モデム部に受け渡され，直流から100kHz程度の帯域を持ったアナログベースバンド信号に変調される。この信号が，外部に接続されるRF部で1.9GHz帯の電波に変換されて送信される。また，RF部で受信した電波が10.8MHzのIF信号に変換され，この信号がモデム部に入力されて復調を行い，データを再生してチャネルコーデックに受信データとして受け渡す。図7に本モデム部の回路構成を示す。変調側はデジタルルートナイキストフィルタとD/Aコンバータで構成されベースバンドI，Q出力を生成し，復調側は遅延検波による復調方式回路を採用している[3)]。

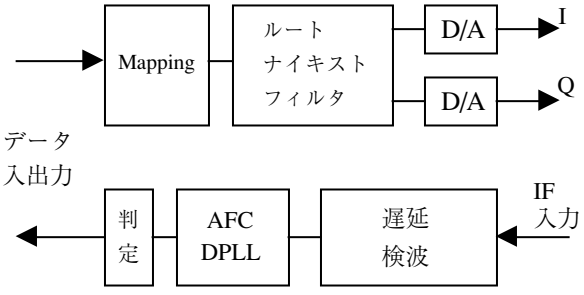


図7　π/4shift QPSK モデム部の構成

また，本LSIはRFインタフェース回路として無線電波強度測定用の8ビットA/Dコンバータ，およびRF送信パワー制御用8ビットD/Aコンバータを内蔵している。

開発環境

本LSIを用いたPHSシステム開発のためのソフトウェア開発用ツールを図8に示す。

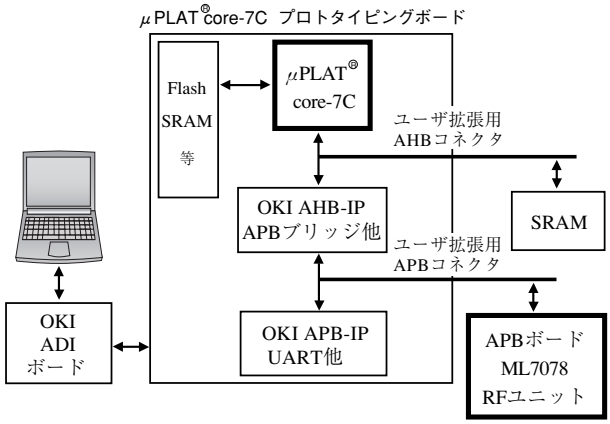


図8　PHSソフトウェア開発ツール

基本的な開発環境としてμPLAT®core7Cプロトタイピングボードを用いる。ML7078に関しては本プロトタイピングボードのユーザ拡張用APB（Advanced Peripheral Bus）コネクタに接続するAPBボード上に搭載させている。本APBボード上にはRFユニットも搭載され，PHS無線システムでの開発環境を提供できる。本開発環境を用いることにより，ユーザでのPHSプロトコルソフトウェアの開発を容易にすることができる。

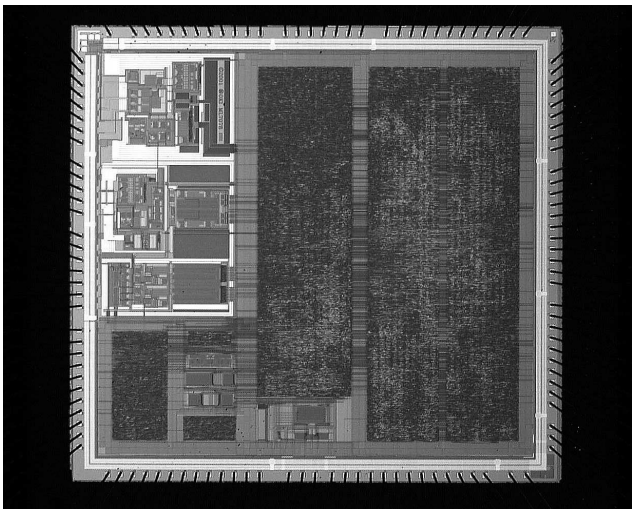


図9　ML7078チップ写真

表2　LSI諸元

チップサイズ	7.5×8.06mm
プロセス	0.35μm 3poly3metalCMOS
電源電圧	2.7-3.3V
パッケージ	120pinTQFP/144pinLFBGA
ゲート規模	430k ゲート
消費電流	30μA（待ち受け状態）
	20mA（4ch通信時）
変調精度	1%以下
無通話時雑音	-78dBm0p（送話側）
	-82dBm0p（受話側）

チップ写真およびLSI諸元

ML7078のチップ写真を図9に，LSI諸元を表2に示す。

あ と が き

128kb/s高速データ通信を実現するPHSベースバンドLSIを開発した。本LSIを用いることにより4チャネルの送受信が可能となり，4基地局との通信が可能となる。

また，同時に開発したソフトウェア開発ツールを用い現在通信プロトコルソフトウェアを開発中であり，ユーザへのソフトウェア提供も計画中である。今後はさらに128kb/s通信を実現するCPUを内蔵したベースバンドLSIを開発する予定である。 ◆◆

■参考文献

1）社団法人電波産業界：第2世代コードレス電話システム標準規格，RCR STD-28 3.3版，平成12年3月2日
2）弥永，奥秋，山崎 他：ディジタルコードレス電話用1チップADPCMコーデック　電子情報通信学会技術研究報告，ICD92-29，1992年6月
3）楢木，弥永，奥秋 他：第2世代コードレス電話用ベースバンド信号処理LSIの開発，電子情報通信学会 秋季大会 集積回路C C-500，1994年9月

●筆者紹介

山崎清彦：Kiyohiko Yamazaki.シリコンソリューションカンパニー LSI事業部 通信LSI商品開発部 開発第3チーム チームリーダ
中村雅彦：Masahiko Nakamura.シリコンソリューションカンパニー LSI事業部 通信LSI商品開発部 開発第3チーム
弥永修：Osamu Yanaga.シリコンソリューションカンパニー LSI事業部 通信LSI商品開発部