



低消費電力LSIを実現する SOIデバイス技術

法元 寛

高性能、小型、低消費電力の電子機器、携帯端末の出現は我々の世界を大きく変えてきたが、CMOS-LSI (Complementary Metal-Oxide-Semiconductor Large Scaled Integrated Circuit) の誕生がこれに大きく貢献したことは間違いない。

1946年にペンシルバニア大のモークリーとエッカートが開発した電子式コンピュータENIAC (Electronics Numerical Integrator Computer) は、18,000本の真空管、1,500個のリレー、7万個の抵抗、1万個のコンデンサから構成され、毎秒5,000回の演算能力を有したが、幅30m、奥行き1m、高さ3m、重さ30トン、消費電力は174kWであったという。1971年にインテル社が発表した4ビットのマイクロプロセッサは、総トランジスタ数2,300個、動作周波数750kHz、計算処理能力はENIACとほぼ同程度の性能で、幅3mm、長さ4mmの大きさで、消費電力は0.2W程度であった。LSI化によって、容量が12桁も小さくなり、消費電力も6桁削減されたことになる。

ところが、近年、LSIの大規模・高集積化、高性能化に伴い、LSIの消費電力は増加を続け、最新の高性能マイクロプロセッサでは消費電力が100Wに達し、発熱器となりつつある。

また、携帯電話の高機能化、多機能化は、カメラ、動画処理、GPS (Global Positioning System)、地上デジタル放送受信へと進展しているが、現在の携帯電話では地上デジタル放送を1時間程度しか受信できない。我々の欲求を満たす実用的な携帯端末を実現するためには、更なるLSIの低消費電力化が要求される。

LSIの消費電力の低減化には、アーキテクチャ、回路、デバイスなどからの総合的なアプローチが必要となる¹⁾。本稿では、特にデバイス技術の面から、低消費電力LSIに有効なSOIデバイス技術について、当社の取り組みを紹介する。

LSIの消費電力と性能

CMOS-LSIの消費電力は、大きくは動作時と待機時の消費電力に分かれ、それぞれ、次式で表される。

$$P_{\text{operation}} = \alpha \cdot f \cdot C_{\text{load}} \cdot V_d^2 \cdot n \quad \dots \quad (1)$$

$$P_{\text{stand-by}} = I_{\text{leak}} \cdot V_d \cdot n \quad \dots \quad (2)$$

ここで、 $P_{\text{operation}}$ は動作時消費電力、 $P_{\text{stand-by}}$ は待機時消費電力であり、 α は活性率、 f は動作周波数、 n はLSIの素子数、 C_{load} は素子の負荷容量、 V_d は電源電圧、 I_{leak} はリーク電流を表す。簡単のために、ここでは信号振幅を電源電圧と等しいとしている。

動作時消費電力は、(1)式から、活性化率、動作周波数、負荷容量、電源電圧が低いほど、素子数が少ないほど小さいことがわかる。動作モードに対応して部分的にブロックの動作を停止したり、クロックの分周によって内部の動作を低速化するなど、活性化率や動作周波数を減少させることで低電力化できる。また、負荷容量、即ち、ゲート容量、接合容量、配線容量などの低減も低電力化に有効である。電源電圧の低減は消費電力に2乗で引き、特に効果的である。

また、待機時消費電力は、(2)式から、リーク電流と電源電圧を低減することが必要であることがわかる。リーク電流は、CMOS素子がオフの時に流れるサブスレッショールド電流や、ゲート絶縁膜を介して流れるゲート・リーク電流などである。

一方、CMOSインバーターの遅延時間 τ は、次の式で示される。

$$\tau \propto C_{\text{load}} \cdot V_d / (V_d - V_t)^{\alpha} \quad \dots \quad (3)$$

ここで、 V_t はしきい値電圧 (CMOS素子がオンする電圧) である。 α はフィッティング係数で通常1から2の間の値をとる。(3)式から、LSIの性能を維持しながら消費電力を低減するためには、電源電圧とともにしきい値電圧も低減する必要があることがわかる。

スケーリングによる低消費電力化

スケーリング、即ちデバイス寸法の縮小化がLSIの高性能化、高集積化、低価格化をもたらしたが、このことは同時にLSIの低消費電力化にも貢献した。

LSI素子の寸法を $1/k$ に縮小し ($k > 1$)、電界を一定となるような (ゲート酸化膜厚や接合深さ、電源電圧なども $1/k$ に縮小する) 理想的なスケーリングを行えば、遅延時間は $1/k$ 倍、チップ面積は $1/k^2$ 倍となって、消費電力密度は変わらない。つまり、同じ集積度、機能を有するLSIが $1/k^2$ 倍の大きさで、 $1/k^2$ 倍の消費電力で実現できることになる。逆に、同じチップ面積に k^2 倍の素子を集積させても消費電力は変わらないということになる。チップ面積が $1/k^2$ 倍になると、単純にはチップコストも $1/k^2$ 倍となり、まさにスケーリングは、すべての面で都合のいい方向に進む。

しかし、実際には、このような理想的なスケーリング規則どおりには物事は進展しない。電源電圧は従来のシステムとの互換性を維持するために数世代にわたって一定となることが多く、さらには、LSIに要求される性能や機能が高まるため、結果的に高性能マイクロプロセッサの動作時の消費電力が10年間で約10倍の割合で増加し、現在は100Wを超えているものがある²⁾。

さらに問題なのは、待機時の消費電力の増加である。素子の動作速度を向上させるためにしきい値電圧を低減すると素子のサブスレッショールド・リーク電流が増大する。また、ゲート絶縁膜の薄膜化に伴い、ゲート絶縁膜リーク電流が増大する。高性能マイクロプロセッサのオフリーク電流は、10年で5桁も増加している²⁾。スケーリングによる素子性能の向上と高集積化は、今日、動作時消費電力の増加と、それ以上に待機時消費電力の急激な増大を招きつつあり、大きな問題となっている。

SOIデバイスの特徴

このようなLSIの消費電力の増加の問題を解決する解の一つが、SOI (Silicon on Insulator) デバイスである。SOIデバイスは、図1に示すように、シリコン基板上に形成された埋め込み酸化膜上に薄いシリコン活性層 (SOI層) が形成された構造となっている。SOI基板は、シリコン基板中に酸素をイオン注入したり、表面を酸化したシリコン基板を貼り合わせるなどの方法によって作られる。

SOI層の膜厚が50nm程度と、チャンネルの空乏層深さより薄く、チャンネル部分が空乏化している構造のSOIを完全空乏型 (Fully Depleted : FD) SOIと呼び、SOI層がチャンネル空乏層よりも厚い部分空乏型 (Partially Depleted : PD) SOIと区別している。

FD-SOI CMOSは従来のバルクCMOSに較べて次のような利点を有する。

①接合容量 (ソース・ドレイン領域と基板間の容量) が小さい

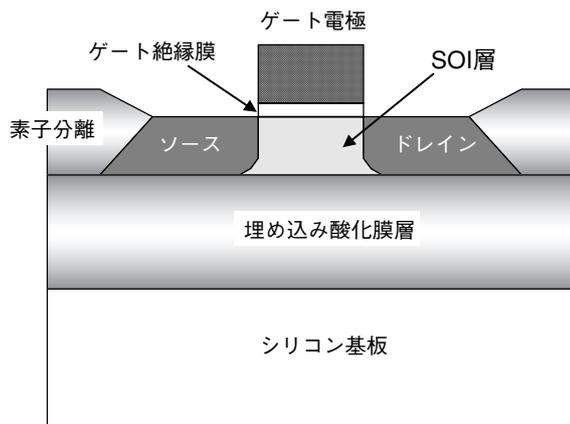


図1 完全空乏型SOI (FD-SOI) MOSの構造

- ②急峻なサブスレッショールド特性を有する
- ③オフリークの温度依存性が小さい
- ④基板バイアス効果が小さい
- ⑤完全素子分離が可能である
- ⑥高抵抗基板、絶縁基板を利用することができる

FD-SOIでは、ソース・ドレイン領域の接合面が埋め込み酸化膜に接し、接合容量の面成分が無視できるため接合容量がバルクに比べて約 $1/10$ に低減される。このため、負荷容量が減少し、素子の遅延時間を減少させ、同時に、動作時の消費電力も低減させることができる。

また、チャンネル領域が完全に空乏化しているので空乏層容量も低減されるため、図2に示すように、サブスレッショールド特性がバルクに較べてより急峻となる。

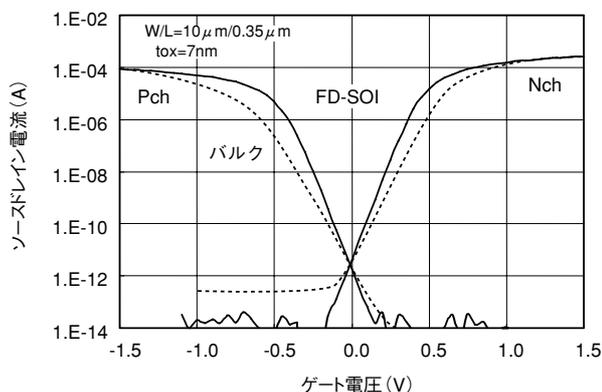


図2 サブスレッショールド特性 (実線がFD-SOI, 破線がバルクCMOS)

サブスレッショールド特性とは、ゲート電圧に対するソース・ドレイン電流 (サブスレッショールド電流) の変化を示す特性である。この傾きがより急峻であると、オフリーク電流 (トランジスタがオフのときのリーク電流) を同じとした時に、低いしきい値でトランジスタを動作

FD-SOIデバイス技術の確立

このように、FD-SOIデバイスは、高速性、低消費電力性など多くの利点を有するが、50nm以下の薄膜SOI層上にCMOSトランジスタを形成する量産技術を確立することは容易ではない。

ソース・ドレイン拡散層の低抵抗化のために、拡散層上にコバルト (Co) 層を形成し、熱処理によって自己整合的にシリサイド化させる。この拡散層にコンタクトホールを開孔する際、埋め込み酸化膜層に欠陥が生じSOI層と基板間でリーク電流が生じるという問題があったが、CoSiがCoSi₂に相転移し粒径が大きくなる第二アニールの工程の前にエッチング開孔する方法、CHEPSA (Contact Hole Etching Prior to the Second Annealing) 法によってこの問題を解決し³⁾、膜厚30nmの薄膜SOI層上においても20Ω/□の低抵抗の拡散層を形成する技術を確立した⁴⁾。写真1に、三層メタル配線のFD-SOI CMOS断面TEM写真を示す。

させることができる。したがって、トランジスタの動作速度を維持したまま、電源電圧を下げることで動作電力を低減することができる。また、逆に、しきい値を同じとすると、オフリーク電流を下げることができ、待機時の電力を低減することができる。サブスレッショルド特性を表す指標として、サブスレッショルド電流が1桁増加するために必要なゲート電圧を示すS値が用いられるが、バルクCMOSやPD-SOIではS値が80-90mV/decであるのに対し、FD-SOIではS値が60-70mV/decと低い。

図3は、同一の回路パターンでFD-SOIとバルクで試作したプロセッサコアの性能を比較したものである。FD-SOIは、同一電源電圧で1.5から2倍の高速化、同一速度で約1/3の低電力化が実現できることがわかる。

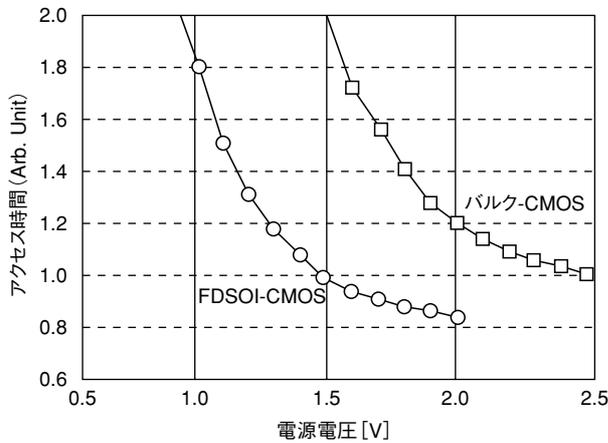


図3 プロセッサの性能 (FD-CMOSとバルクCMOSの比較)

FD-SOIのリーク電流は熱励起電流が支配的であるため、温度依存性が小さく、高温においてバルクより約3桁少ない。さらに、基板バイアス効果が小さいので、MOSを直列に接続した(縦積み)回路において、しきい値の増大による特性劣化が起こらず、低電源電圧で高速化が図れる。完全素子分離が可能であるので、分離領域を必要とせずチップ面積を縮小できる、素子間のノイズの影響を受けにくく、ラッチアップが生じない、放射線による誤動作が生じにくいなどの利点もある。また、高抵抗基板や絶縁基板を利用できるので高いQ値を持つインダクタを形成することが可能となり、高周波特性に優れるなどの利点もある。

これらFD-SOIデバイスの利点は、低電力マイコン、ミクスドシグナル、RF回路などの分野で有効であるといえる。

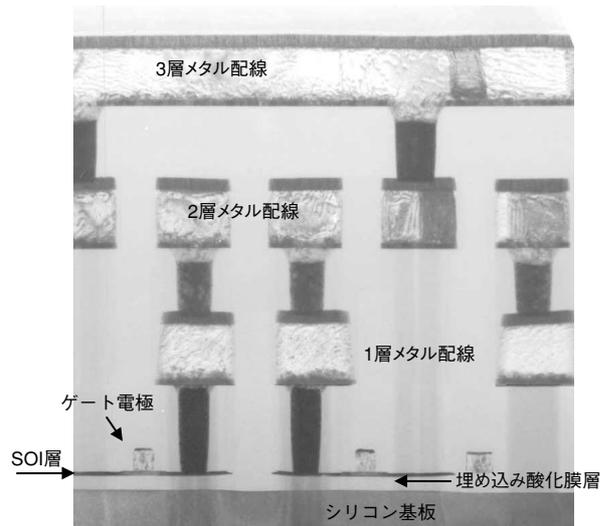


写真1 FD-SOIの断面TEM写真 (SOI層は50nm,ゲート長は0.2μm)

FD-SOIは、そのデバイス構造に起因して自己発熱効果や基板浮遊効果などが生じる。我々は、従来のバルクモデルで表現できないSOIデバイスのモデルを作成し、デバイス特性を高精度に予測できるデバイス・回路シミュレーション技術を開発した。このようなTCAD (Technology Computer Aided Design) 技術を駆使し、ショートチャネル効果を抑え、SOI膜厚の変動の影響を受けにくい、マルチしきい値 (Multi Threshold) に対応したCMOSトランジスタを開発した。MT-CMOSは、低しきい値のトランジスタを高速動作の回路に適用し、高しきい値のト

ランジスタをスイッチングに用いて待機時のリーク電流を抑えることで、高速性と低消費電力性を両立させることができる。

また、FD-SOIはバルクに対して素子耐圧や静電破壊(ESD: Electro-Static Damage)耐性が低いという問題があったが、前者は、多段積み回路やデプレッションMOSを用いるなどの回路上の工夫や、異なるゲート酸化膜厚のMOSを形成することやボディ部電位をソース電位に固定することなどの方法により解決できた。また、ESD耐性に関しては、TLP(Transmission Line Pulse)評価法を用い、ESDサージによる過度応答を解析することにより、保護回路を最適化することでこの問題を解決できた⁵⁾。

FD-SOIデバイス技術の適用

このFD-SOI技術を用いて、当社は2001年にマイコン型時計用LSIを開発した⁶⁾。写真2にこれを示す。従来のバルク型に比べて、消費電力が、1/4に低減できた。この時計用LSIは電池交換や時刻調整を必要としないソーラー電波時計に用いられている。最近では、電波受信機能とデコード機能、リアルタイムクロック機能を内蔵した、電波時計用ワンチップLSIも開発した。今後、FD-SOI技術を、マイコン、RFなどにも展開していく予定である。

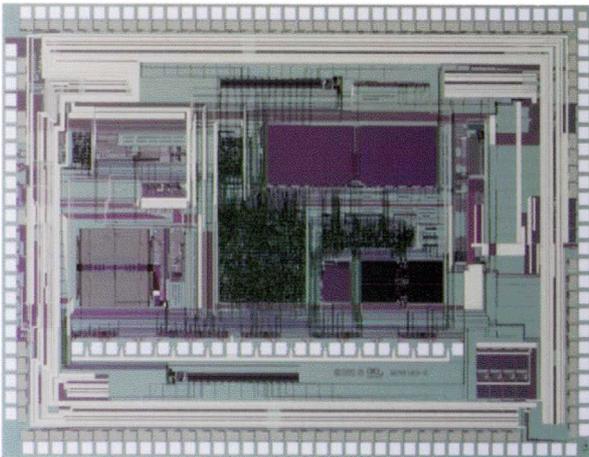


写真2 FD-SOI技術を用いた時計用LSI

また、当社は、新エネルギー・産業技術総合開発機構(NEDO)からの委託を受けた極低電力情報端末用LSIの研究開発のプロジェクトに参加した⁷⁾。このプロジェクトでは、FD-SOI技術を用いて、電源電圧0.5V動作、消費電力1mW級の極めて低消費電力のLSIを試作し、熱や光、運動エネルギーなどの自然エネルギーだけで動作する無線情報端末を試作している。送信端末は室温と体温の温度差

を用いて、熱電素子で1mWの電力を発電し、300MHzの微弱無線で5mの距離を通信し、太陽電池で駆動するディスプレイを表示させている。FD-SOIデバイスが来るべきユビキタスネットワークの情報端末に有効であることを示している。

まとめ

超低消費電力LSIを実現するFD-SOIデバイス技術について述べた。我々は、今後とも、FD-SOIデバイス技術と回路技術、システム技術を融合して活用することにより、ユビキタスネットワークを実現する超低消費電力LSIを実現していく。◆◆

参考文献

- 1) 堀口勝治: システムLSIソリューション, 沖テクニカルレビュー196号, Vol.70 No.4, pp.6-11, 2003年10月
- 2) G.E.Moore, "No Exponential Is Forever: But 'Forever' Can Be Delayed", 2003 ISSCC Digest of Technical Paper, Vol 46, pp20-23, Feb.2003
- 3) Takashi Ichimori and Norio Hirashita, "Advanced Co Salicide Technology For Sub-0.2 μm FD SOI Devices", Ext.Abst.of 2000 int'l Conference, 2003
- 4) Fumio Ichikawa *et al.*, "Fully Depleted SOI Process and device technology for digital and RF applications", Solid-State Electronics, pp.999-1006, Vol.48, 2004
- 5) Katsuhiko Kato and Yasuhiro Fukuda, "ESD Evaluation by TLP Method on Advanced Semiconductor Devices", 23rd EOS/ESD Symp.Proc. (EOS-12), 4C.1, Sept.11-13, 2001
- 6) 長屋雅文: 極低消費電力ソーラー電波腕時計を実現した完全空乏型SOIデバイス, 沖テクニカルレビュー193号, Vol.70 No.1, pp.48-51, 2003年1月
- 7) 平成14年度新エネルギー・産業技術総合開発機構委託事業即効的・革新的エネルギー環境技術開発: 極低電力情報端末用LSIの研究開発報告書, 社団法人 電子技術情報協会, 2003年3月

● 筆者紹介

法元寛: Hiroshi Hoga. シリコンソリューションカンパニー 研究本部 企画部