

低消費電力 完全空乏型SOIデバイス開発のあゆみ

長友 良樹

はじめに

本格的なユビキタス時代を迎え、携帯電話、PDA、時計やPC等のバッテリー駆動型の携帯機器が増加している。これらのユビキタス時代の主役達に共通する課題の一つが、バッテリー寿命である。システムの高速度化、多機能化に伴い、消費電力はますます増大し、使用できる時間がますます短くなっている。使いたい時に、電池切れで動かない、こんな経験をされた方も多いと思われる。では、ソリューションはないのか？ 基本的には、各部品の消費電力を下げて、システム全体の消費電力を下げる方が最も効果的である。このような観点から、システムにLSI等を供給する側にとっては、低消費電力化が大きな課題となっている。また、環境に優しい商品開発が強く望まれている昨今では、低エネルギーで動作するLSIは、今後ますます重要になっていくと考えられる。

当社では、完全空乏型SOI (Silicon On Insulator) の特性に注目して、超低消費電力で動作するLSIの開発を推進している。完全空乏型SOIの最初の製品としては、カシオ計算機殿のリストテクノロジーの代表格である電波ソーラーウォッチに採用された。人手による時刻調整なしに正確な時を刻み、電池交換が不要な、いわゆるメンテナンスフリーな時計として、人気を博している。この製品への適用を皮切りに、完全空乏型SOIプロセスによる超低消費電力LSIの開発と商品展開を推進中である。

本稿では、完全空乏型SOIプロセスによる最初の製品である超低消費電力時計用マイコンの開発経緯について述べる。

SOI技術の歴史的背景と最近の動向

SOI技術は、古くから、その優れた特性が認識されており、多くの半導体メーカーや研究機関で開発されてきた。しかしながら、耐放射線用等のごく一部の領域にしか使われていなかった。「永遠の将来技術」と称されることもあり、半導体デバイスのメインストリームとは成り得ていなかった。

近年、IBMが部分空乏型SOI技術を高性能マイクロプロセッサへ適用し始め、他のマイクロプロセッサメーカーもこれに追随してきた¹⁾。

一方、当社では、部分空乏型SOIによる高性能マイクロプロセッサの路線とは一線を画し、完全空乏型SOI技術を採用し、携帯機器をターゲットとした超低消費電力LSIへの適用を進めてきた^{1) 2) 3)}。

対象製品・市場は異なるもののIBMと当社のSOI技術による最終製品の出荷が、SOIデバイスの見直しを喚起し、半導体デバイスのメインストリームへ押し上げるトリガーとなった¹⁾。

完全空乏型SOI技術の特徴

SOIには、二つの構造がある。図1に示す。ひとつは部

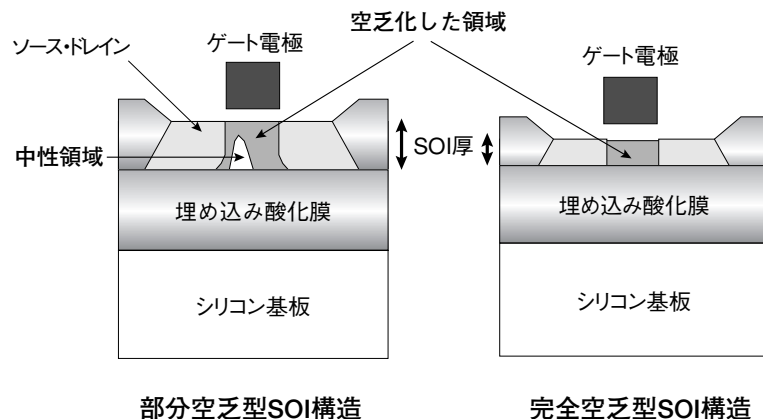


図1 部分空乏型と完全空乏型SOI構造の比較

表1 バルク型、部分空乏型SOI、完全空乏型SOIの比較

	バルクCMOS技術	SOI CMOS技術	
		部分空乏型	完全空乏型
接合容量(バルクを1とした相対値)	1	0.1以上	0.1
サブスレショルド特性(S値)	80~90mV/dec	80~90mV/dec	60~70mV/dec
ソース・ドレイン耐圧	良好	良好	低い
ラッチアップ	対策必要	発生しない	発生しない
基板浮遊効果	発生しない	対策必要	発生少ない
加工性	従来技術	バルクと同程度	薄いSOI層に対する加工技術要

分空乏型で、もうひとつが完全空乏型である。

部分空乏型はIBM他の高性能マイクロプロセッサ等に用いられており、シリコン基板内部を完全に空乏化せずには使うタイプで、基板内部に一部中性の領域が存在する。比較的厚いシリコン層を使えるために、通常バルク型CMOSプロセスとほぼ同じプロセスが適用でき、比較的作りやすいという特徴がある。

一方、当社で技術開発を進めてきた完全空乏型は、シリコン基板内部を完全に空乏化するために、通常は50nm以下という極めて薄いシリコン層を使うことになる。特性は優れているものの、薄いシリコン層に対する加工技術については、難しい技術が必要になってくる。

表1にバルクCMOS(通常シリコン基板に形成したCMOSデバイス)、部分空乏型SOI、完全空乏型SOIの比較を示す。完全空乏型SOIは、SOIとしての特徴の接合容量(ソース・ドレインと基板間の容量)が極めて小さい、ラッチアップが発生しない特徴の他、部分空乏型に比べて、基板浮遊効果が少ない、サブスレショルド特性が良好というメリットを持っている。デメリットとしては、ソース・ドレイン耐圧の低さと加工の難しさが挙げられる。

図2に、バルク型と完全空乏型SOIトランジスタのサブスレショルド特性の比較を示す。サブスレショルド特性は、S値というパラメータで示される。S値は、電流を1桁増やすのに必要なゲート電圧を表し、この値が小さいほどその特性は良好であるといえる。図2から分かるように完全空乏型のS値はバルク型に比べて小さく、その特性の良さが分かる。

図3は、しきい値とオフリーク電流(トランジスタをオフにしたときのリーク電流)の関係を示すが、同じオフリーク電流の場合、完全空乏型SOIのしきい値は、バルク型に比べて0.1V程度低いことが分かる。つまり、同じオフリーク電流のまま動作電圧を下げることができる。

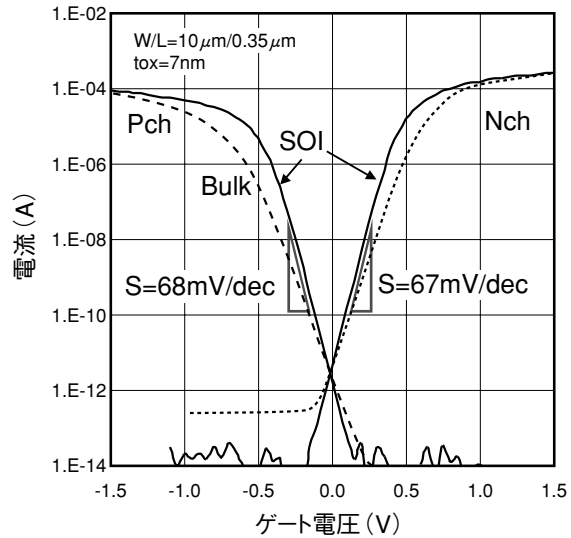


図2 バルク型と完全空乏型SOIトランジスタのサブスレショルド特性比較

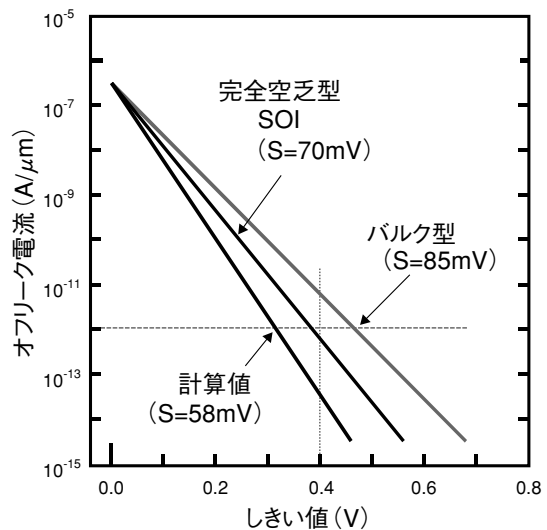


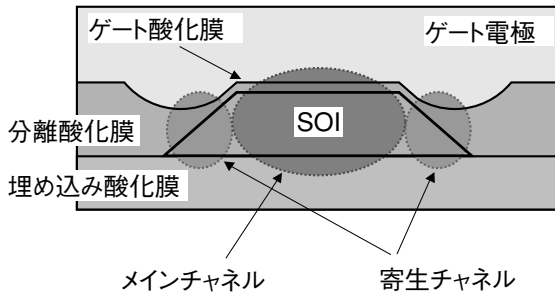
図3 バルク型と完全空乏型SOIトランジスタのしきい値電圧とオフリーク電流の関係

後述するように動作電圧を下げることは、LSIの消費電力を低減するのに最も効果的な方法である。

完全空乏型SOIプロセス技術開発

1998年4月に超低消費電力のLSI開発を目指し、SOIの開発プロジェクトが発足した。開発当初は、SOIのウェハ価格が大変高価で、またウェハの品質も多くの課題を抱えていたが、ウェハメーカーとの協力体制を構築しながら、改善を進めた。

CMOSトランジスタの作成は、それほど難しいことではなく、基本的な電圧-電流特性等は、比較的簡単に得る



■ ハンプはSOI層の分離領域に近い部分の寄生チャネルにより発生する。

図4 ハンプ特性の説明

ことができた。ところが、試作ごとに特性が異なり、その解釈に大変苦しんだ。もともとバルクCMOSしか扱ったことのない技術者達にとって、SOIデバイスは、初めてだったので、基本的なことが分かっておらず、勉強や解析にかなりの時間を費やした。特に最後まで尾を引いたのは、SOI構造特有の「ハンプ特性」の対策であった。

ハンプ特性とは、図4に示すように、トランジスタのメインチャネルの横に存在する寄生チャネルのリークによるものであり、分離領域形成時の形状や、チャンネルストッパーの注入方法が最適でないため、特性が安定しなかった。多くの実験を費やしたが、寄生チャネルへのイオン注入法を工夫し、チャンネルストッパーとして、十分な不純物を導入する方法を見出すことができ、ハンプ特性を完全に抑制することができた。

ハンプ問題が、一旦落ち着いたところで、ウェハプロセス中のチャージングダメージの影響が分かってきた。SOIは帯電したチャージが基板側へ逃げるルートがなく、ゲート酸化膜や埋め込み酸化膜がダメージを受けてしまうことがあった。チャージングダメージは、多くのプロセスステップのいずれかの工程から受ける。工程の特定は困難を極めたが、ようやく特定し、処理条件や設備を工夫して、チャージングダメージによる影響を抑えることができた。

SOI基板に起因する歩留まりの問題も大きな課題であった。SOIウェハ基板には、主に貼り合わせ型とSIMOX型 (Separation by IMplanted OXYgen)⁴⁾ の二つの製法がある。開発当初は、SIMOX型がシリコン膜厚のばらつきが小さく、薄いシリコン層を使う完全空乏型に適していると考えていたが、実際に使ってみると、シリコン層と基板の間に存在するBOX酸化膜 (埋め込み酸化膜) の欠陥が多かった。この時期のSIMOX型の基板は、品質

的に十分ではなく、特にこのBOX耐圧不良でなかなかバルク型並みの歩留まりが得られなかった。一方では、シリコン層に局部的に薄い部分が存在し、この部分にコンタクトが形成されると、薄いシリコン層を突き抜けてしまい、これもBOX耐圧の劣化を引き起こし、歩留まりを低下させる原因であることが分かった。これらのBOX耐圧不良に関しては、ウェハメーカと共同で改良にあたり、今日では大幅な改善が得られている。

歩留まりが十分ではなかった頃に、フランスのSOITEC社から発表された貼り合わせ型ウェハを試しに導入したところ、比較的良好的な歩留まりが得られた。SIMOX型に比べると、シリコン層の膜厚のばらつきが比較的大きい貼り合わせウェハであるが、BOX層やシリコン層の欠陥の少なさが、良好な歩留まりが得られる結果となった。また、局所的なシリコン層の薄膜化によるBOX耐圧不良に関しては、コンタクトの形成方法を工夫し、CHEPSA法 (Contact Hole Etching Prior to Second Annealing)⁵⁾ という新しい開口方法を開発した。SOI基板の品質の改善とCHEPSA法によるコンタクト開口技術を導入して、SOIでの歩留まりがバルクに比べて遜色ないレベルまで到達し、ようやく量産への目処が立った。

完全空乏型SOIによる回路技術開発

完全空乏型SOIは、バルク型に比べて寄生容量が1/10程度と極めて小さく、また、トランジスタが動作するしきい値電圧を低く設定できるというメリットがある⁶⁾。前者は、回路動作時の充放電電流を小さくでき、後者は、電源電圧を下げるのが可能である。LSIの動作消費電力Pは、次式で表せる。

$$P = f \cdot C_L \cdot V_{dd}^2$$

ここでfは動作周波数、 C_L は、負荷容量、 V_{dd} は、電源電圧である。この式から分かるように、LSIの低消費電力化には、負荷容量と電源電圧の低減が有効である。このように完全空乏型SOI素子の特性は、負荷容量と低電圧化の点でLSIの低消費電力化に、うってつけの特性であることが分かる。

ただし、課題もある。回路設計へのインパクトが大きい項目としては、ソース・ドレイン間 (SD) 耐圧の低さ

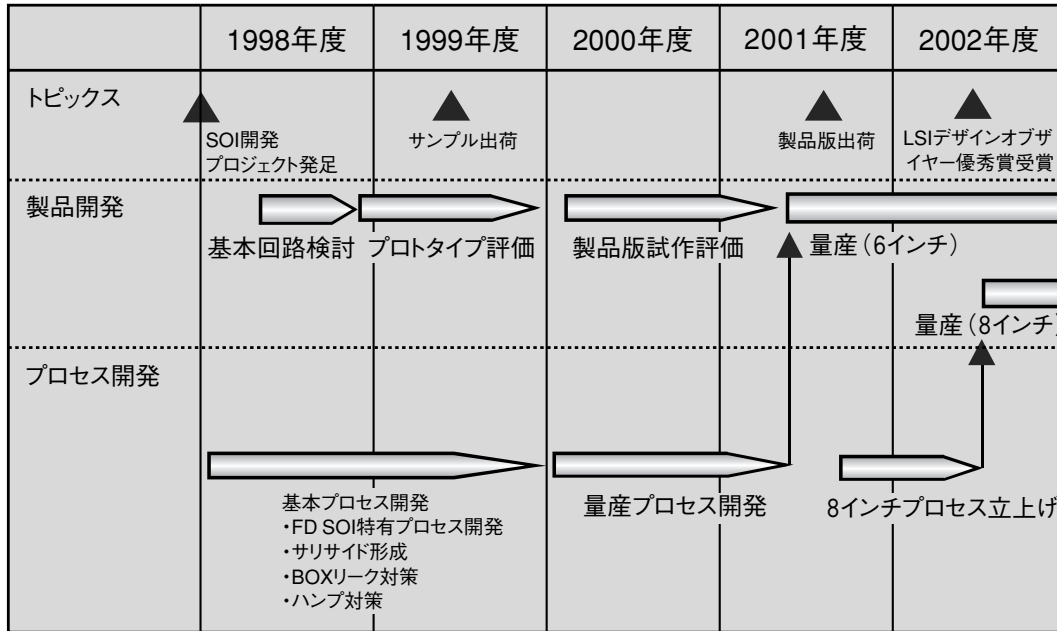


図5 超低消費電力時計用マイコン開発経過

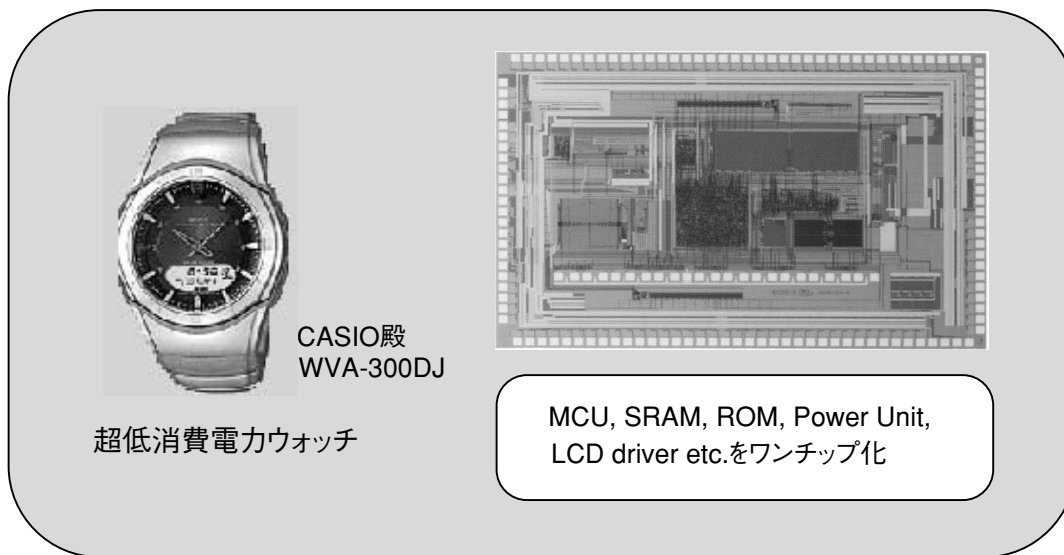


図6 0.35 μm完全空乏型SOI CMOS技術による超低消費電力時計用マイコン

があげられる。最初、3Vくらいは、問題なく得られると
考えていたが、思ったように改善せず、2Vがせいぜいと
いう結果であった。この結果から、時計用マイコン向け
回路を最大電圧1.5Vで設計してもらうことになった。と
ころが、この低い電圧では、電池電圧やLCD（液晶）駆
動部に対応できず、時計用マイコンは開発中止かという
局面にたたされた。結局、トランジスタ構造を見直し、回

路、レイアウトの工夫などによって、何とか2.5Vまでの
耐圧を確保し、大きな課題を解決できた⁷⁾。

もうひとつの課題は、ESD耐性（静電気によるLSIの破
壊耐性）の低さである。SOIデバイスは、基板やウェルへ
の接合がないために、静電気によるサージが入った時に、
サージが逃げる場所が、保護トランジスタのみになる。こ
のため、バルク型に比べて、SOIのESD耐性が低下してし

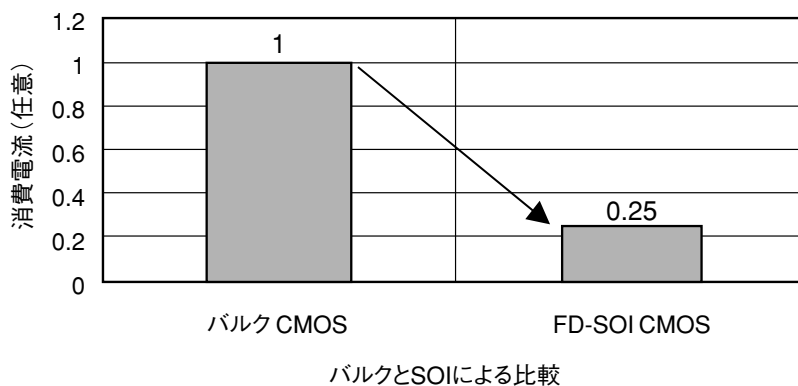


図7 バルク型と完全空乏型技術による時計用マイコンの消費電流比較

まう。ここにも回路的な工夫や、ウェハ処理中や組み立て中に発生する静電気への対策を行い、実用上問題ないレベルまで対策できた。

このように、完全空乏型SOI構造のトランジスタ特性の良さを生かすように、プロセスと回路設計の担当者間のコミュニケーションを十分取り、プロセス技術と回路技術の両面からの工夫を行い、各種SOIトランジスタを適材適所に配置することで、ようやく製品スペックを満たすLSIが実現できた。図5に超低消費電力時計用マイコンの開発経過を示す。

超低消費電力時計用マイコンの特性

図6は、今回開発した0.35 μm デザインルール完全空乏型CMOS技術による時計用LSIのチップ写真とカシオ殿の超低消費電力の電波ソーラーウォッチを示す。図7に示すように、消費電力は、従来のバルク型に比べて、1/4に低減できており、大幅な低消費電力化が達成されている。このカシオ殿の時計は、標準時間電波受信機能により正確な時刻を刻み、また、ソーラー電池のみで駆動できるので、電池交換が不要という、時計としては、完璧な機能を実現している。

この超低消費電力を実現したLSIは、半導体産業新聞社で行われている2002年の「LSIデザインオブザイヤー」

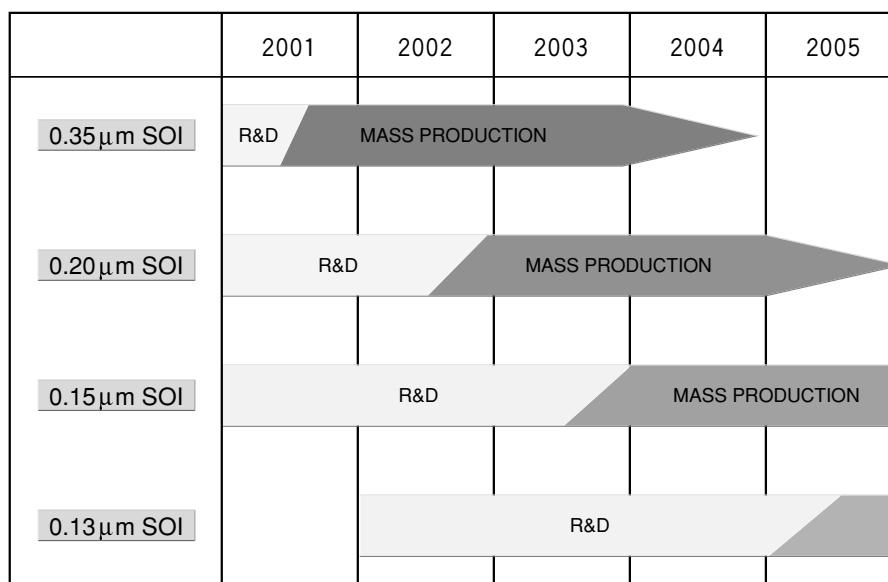


図8 SOI技術のロードマップ

のデバイス部門優秀賞を受賞し、世の中にもその技術力の高さを認めていただいた。

2001年の9月より、量産品の出荷を開始して、現在は、数十機種へ展開されてきている。今後も電池交換不要の時計用マイコンとして、多くのアプリケーションへの応用が期待できる。

おわりに

完全空乏型SOIの特徴に注目し、電池交換を不要にする時計用マイコンを実用化した。SOI技術は、「永遠の将来技術」ではなく、実用的な技術であることを、世界に示すことができた。世界に類をみないLSIを実現できた背景には、完全空乏型SOIの長所を生かし、短所をカバーするために知恵を絞ったプロセス・設計技術者たちの執念と、コミュニケーションの良さ、最初の顧客として、粘り強く製品化への指導をしていただいたカシオ計算機殿の着想の素晴らしさがあった。現在、完全空乏型SOIを本格的に量産しているのは、当社以外にはない。電池で駆動するLSIとしては、これほど最適なデバイス特性はなく、今後も引き続き、図8のように完全空乏型SOIの技術開発を進めていく予定である。時計用マイコンからさらに発展させて、モバイル機器用LSIのメインストリームへと成長させて行きたいと考えている。◆◆

参考文献

- 1) 「急速に広がるSOI」, 日経マイクロデバイス, 2002年6月号
- 2) 馬場俊祐: 「時計用マイコンから低電力システムLSIへ浸透」, 日経マイクロデバイス, 2002年6月号
- 3) 市川文雄: 「SOI技術によりLSIの消費電力を1/3に低減」, 日経エレクトロニクス, No.738, 1999年
- 4) K.Izumi *et al.*: "CMOS Devices Fabrication on Buried SiO₂ Layers Formed by Oxygen Implantation into Silicon", Electron Letters, vol.14, No.181, 1978
- 5) Ichimori and N.Hirashita: "Advanced Co Salicide Technology For Sub-0.20 μ m FD SOI Devices", Ext. Abst. of 2000 int'l Conf. on SSDM, 2000
- 6) 馬場俊祐: 「次世代低消費電力SOIデバイス」, 沖テクニカルレビュー190号, Vol.69 No.2, pp.40-45, 2002年4月
- 7) 長屋雅文: 「極低消費電力ソーラー電波腕時計を実現した完全空乏型SOIデバイス」, 沖テクニカルレビュー193号, Vol.70 No.1, pp.48-51, 2003年1月

● 筆者紹介

長友良樹: Yoshiki Nagatomo. シリコンソリューションカンパニー 研究本部 新技術研究開発部