

最新のLSIパッケージと今後の動向

岡 隆弘 山田 茂
小原 洋一

通信情報ネットワークの進展にともない、携帯情報端末機器市場が大きく伸びようとしている。IT社会においては、変貌する顧客ニーズに如何にクイックにそして柔軟に対応できるかがキーポイントとなっており、LSIパッケージについての要求も多様化している。図1にLSIパッケージのロードマップを示す。LSIパッケージは挿入実装から表面実装へ、周辺端子からエリア端子へ、単独チップから複数チップ積層へと発展しており、キーワードは、小型軽量化、高性能化と複数チップ積層化である。

以下に、パーソナル・モバイル市場に対応した、沖の最新LSIパッケージと今後の実装技術を紹介する。小型軽量・低コストをコンセプトに、ワイヤボンダ接続FBGA、ウエハレベルCSP、チップ積層MCPを開発した。また、今後の実装技術である電子SI技術に関する開発状況について述べる。

ワイヤボンダ接続FBGA

外部端子として半田ボールを使用し、パッケージの裏面に格子状に配列したパッケージである。今回開発されたFBGA (Fine Pitch Ball Grid Array) は次のような特徴を持っている。

まず、インターポーザとして、リジットの基板を使用している点があげられる。テープを使用したものに比較して、大量少品種生産時のコストで若干不利だが、少量多品種で機種切り替えが多い場合には、低コストが実現できる。

次に内部接合方式として、従来から採用されているワイヤボンダ接続を採用した。リード接続やフリップチップ接続は、接続の自由度が少なく、個別のチップごとにインターポーザの設計が必要となるため、開発TATが長く、コストも高くなる懸念がある。

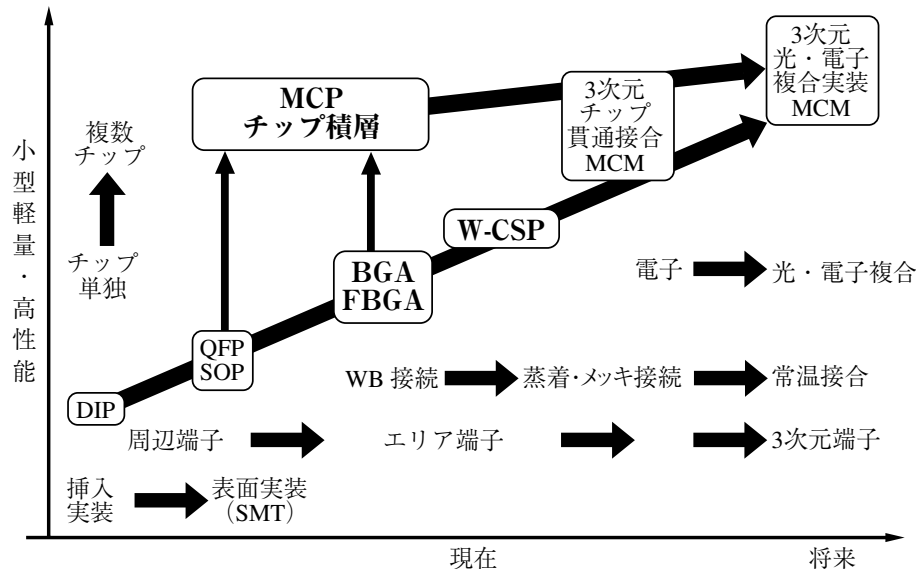


図1 LSIパッケージのロードマップ

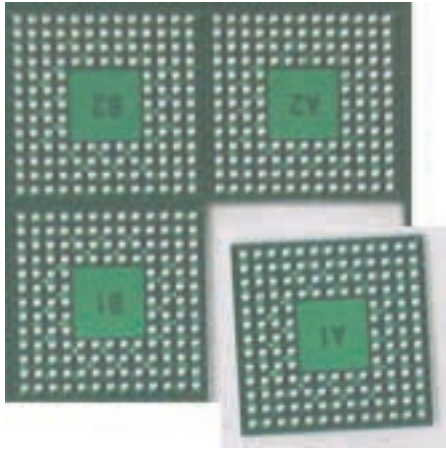


図2 FBGAのソーカッパ状態

さらに、このFBGAには、一括モールド封止後ソーカッパする方式を採用した。従来のパッケージ方式では、パッケージのサイズやピン数が異なると、モールド金型や個片化金型が新たに必要であった。しかし、この方式の採用により、パッケージごとの新たな金型製作が不要となる。FBGAの場合、なるべく小さな、パッケージサイズとすべく、1.0mmピッチで外形サイズが標準化されている。そのため、パッケージの種類が非常に多く存在し、個々のパッケージごとに金型類が必要であったが、この方法により、設備投資、開発TATの大幅な削減が実現される。また、ソーカッパ型は従来品より25%程度小型化できる点でも有利である。

以上述べたように、沖のFBGAは市場要求の急変にも対応できる新しい製造方式による低コストでフレキシビリティの高いLSIパッケージである。

ウエハレベルCSP (W-CSP)

W-CSP (Wafer-level Chip Size Package) はウエハ状態で全ての組立工程を完了させてしまう新しいコンセプトのパッケージである。FBGAと同じく、パッケージの裏面に格子状に端子が配列された外形形状だが、パッケージサイズは、チップサイズとまったく同じリアル・チップサイズであり、究極の小型パッケージといえる。

図3にW-CSPの断面構造を示す。周辺配置された一般のLSIチップのボンディング用パッドを、金属メッキ膜により再配置配線する。この再配置配線により、顧客でのボード実装が容易となる端子ピッチに、広げている。端子には半田ボール(または、半田コート)が接続されるが、半田ボール(または、半田コート)の下に、金属タワーポスト(メッキ層)が設けられている。さらに、チッ

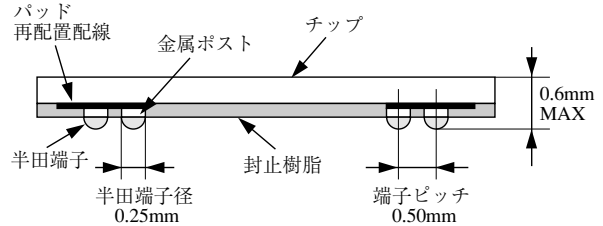


図3 W-CSPの断面構造

プ上面は、高品質なエポキシ樹脂で封止されている。

以上の構造により、下記の特徴を持っている。

(1) 従来パッケージと同様、単体で品質保証が可能

高速テスト、バーンイン等において、端子のピッチが狭い(0.25mmピッチ等)場合、電気的特性測定用プローブやソケットのコストが急激に高価となる。低コストで測定可能な端子ピッチのため、ウエハレベルで安価にテスト可能である。また、ボード実装後、フラックス洗浄で特別な処理を必要としないよう、高品質樹脂で封止した構造とし、外部からの機械的ダメージも防ぐ構造としている。これにより、チップサイズと同寸法にかかわらず、単体レベルで品質が完全に保証できる。

(2) 従来パッケージと同様、一括リフロー可能

クリーンルーム内でフリップチップ・ボンダを使用するような、高価な個別実装方式でなく、一般的な一括リフロー(SMT技術:Surface Mount Technology)が可能なおパッケージである。現状のSMT技術やマザーボードの実力より、当面、0.5mmピッチ3列程度までの端子ピッチの採用を行っている。今後、安価な高密度プリント基板が開発された段階で、0.4mmピッチに移行する予定である。また、リフロー実装後の半田接続信頼性を確保するため、金属タワーポストを採用し、半田ボール径を大きめに設定している。シリコンチップにダイレクトに半田を接合する、従来のフリップチップ方式に比較して、ボード実装後の半田接合信頼性を格段に高めることができた。

(3) 従来パッケージより低コストなパッケージ

ステップアヤスパッタ等、高精度であるが、高価な装置をなるべく使用しない、低コスト・プロセスの確立を行った。具体的には、電解メッキ法による、パッドの再配置と金属タワーポストの形成である。これらは、10 μ mレベルの精度があれば十分であり、高精度な工程は必要無いからである。電解メッキ法を採用すれば、フリップチップ等で採用しているスパッタ膜法より、コストが半減

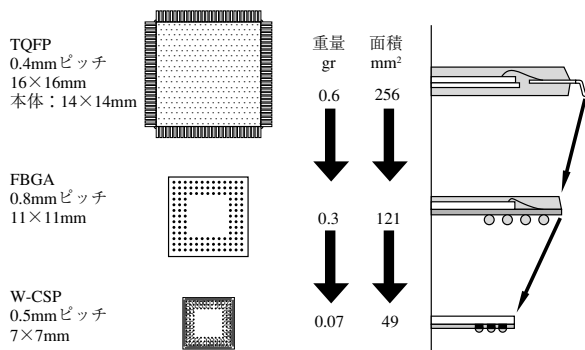


図4 他のパッケージとの比較

できることが知られている。また当然、高価なCMPやデュアル・ダマシム等も採用していない。

また、W-CSPの大きな特徴として、組立工程を、全てウエハレベルで行ってしまうことがあげられる。現在半導体の製造ラインは、前処理（WP）と後処理（AP）の2つに大きく分かれている。しかしW-CSPでは、一貫製造が可能である。従来の組立工場とは全く異なるコンセプトの製造方法であるため、生産体制・生産構造を革新的に変革させることができる。

図4に、既存パッケージであるTQFPやFBGAとW-CSPを比較した結果を示す。この図より、重量と実装面積の点で、W-CSPが極めて有利であり、携帯機器に必要な小型軽量化を容易に実現できる差別化技術といえる。

本W-CSPに関しては、カシオ計算機殿と沖で共同開発会社（IEP社: Integrated Electronics & Packaging Technologies, Inc.）を設立した。W-CSP技術のさらなる開発とW-CSP技術のライセンス供与を行なっている。さらに、W-CSP加工委託も受け付けており、すでに数社の半導体メーカーから問合わせがきている状況である。

チップ積層MCP

チップ積層MCP（Multi Chip Package）は一つのパッケージ内に、複数のチップを実装してしまうパッケージである。外形形状は、QFPもあるが、FBGAタイプがメインである。外形からみれば、形状は全く同じである。

製造方法は、FBGAとほぼ同じく、一括モールド後のソーカット方式を採用している。このパッケージの実現のため、下記の3点の技術開発を行った。

1点目は、薄型ウエハのハンドリング技術である。積層した後でも従来のチップ厚（300 μm）と同じにするた

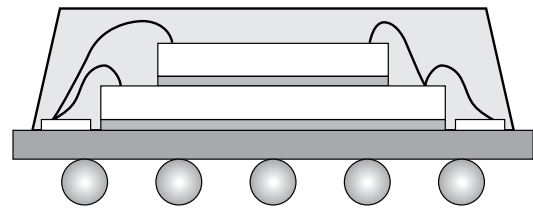


図5 基板型MCPの断面構造

め、150 μm厚にウエハを削る必要がある。このため、テープに貼り付けた状態で、全ての工程をウエハハンドリングする方式を開発した。

2点目は、積層用接着剤（ダイスボンド材も兼ねる）にテープ状接着材を新規に開発した。ウエハをスクライブ分割する前に、このテープを貼り付け、一緒にカットする方式をとった。これにより、ダイスボンド材とチップのミスアライメントを未然に防ぐことが可能となるのである。

3点目は、上下チップ間のワイヤボンド技術の開発である。この技術を採用することにより、上下のチップ間で信号伝送が容易に可能となり、パッケージとしてのピン数を低減（低コスト化）できる。

2つのチップを一つのパッケージに収めてしまうため、2つのパッケージを採用するより、高密度実装が可能である。従来、パッケージの端子ピッチをファイン化することにより、二次元的に高密度化を図ってきた。しかし、あまりファインなピッチを使用すると、顧客でのボード実装が困難になり限界がある。チップを積層することにより、3次的に高密度化を達成することができる。

また、システム・イン・パッケージ（SiP）¹⁾としての機能も重要である。携帯機器等で機器システムをワンチップ化する方式（システム・オン・チップ: SoC）¹⁾が提案されている。しかし、フラッシュメモリやDRAMの混載プロセスを使用すると、コストが高く、商品化TATが長くなってしまう場合がある。新規の混載プロセスの開発に多大な開発コストと時間がかかるだけでなく、ウエハプロセスの工程が長くなるとともに、歩留まり低下を引き起こしやすいからである。DRAM混載プロセスは0.5世代、フラッシュ混載プロセスは1.0世代程度、一般CMOSプロセスより遅れて開発されているのが一般的である。技術革新が激しい携帯情報市場では、最新の伝送方式やアーキテクチャを取り込んで、早く商品化することが求められる。一から先端の混載プロセスチップで開発するより、既存のフラッシュメモリや低価格なDRAMをサブチップ

として使用し、メインチップを先端プロセスで開発したほうが得策なケースが多い。チップ積層MCPは、今後のシステム・オン・チップを補完する、新実装技術である。

今後の実装技術

今後の実装技術として、図1に示したように、高速性能化と3次元化がキー技術となる。現在、これらの研究開発を推進している超先端電子技術開発機構（ASET）に参加している。²⁾

半導体デバイスの高速化は今後も継続して高くなるため、その性能をいかに引き出すかが重要となる。現在デバイス内部の動作スピードは、1GHz以上の高速信号伝送を達成しているものも見られる。しかし、LSIパッケージを含めた電子機器のボードレベルでは、300MHz程度となっており、その高速性能を十分には引き出せないでいる。ボードレベルでの信号伝送距離が30cmと長く、信号遅延の発生やインピーダンス整合（反射による波形の歪）やEMI（電磁波障害）対策が困難なのである。その面で電子機器全体の高速性能化を低コストで実現する、システム・インテグレーション技術が重要となる。〔電子SI（Electronics System Integration）技術と呼ばれている〕

一方、高密度実装化においては、3次元チップ積層技術が必須となる。W-CSPの実現により2次元での高密度化は限界となった。3次元化が今後の高密度実装技術である。シリコンに形成した貫通電極による3次元チップ積層は、LSIチップ間の信号伝送距離を格段に短くすることが可能であり、高速信号伝送にも有利である。

さらなる高速化の為に、光と電気の複合実装技術が重要となる。電気での高速信号の限界をブレイクスルーできるからである。3次元チップ積層されたモジュール間を光導波路基板や光の空間伝送でインターコネクトする技術である。

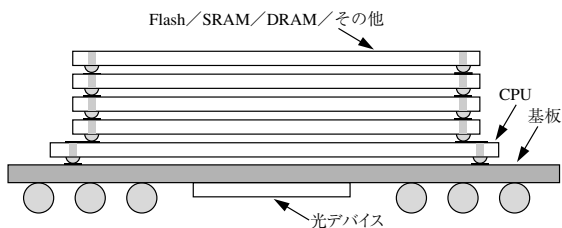


図6 3次元LSIチップ積層パッケージ

また、地球規模での環境保全のため、環境調和型実装技術も重要である。省資源化、リサイクル化の推進とともに、地球環境に負の影響度のある材料を使用しない実装設計である。現状、LSIパッケージ端子の鉛フリー化が推進されており、封止樹脂や有機基板に使用されている難燃剤をなくす、ハロゲンフリー化も進めている。今後は、変異原性物質フリー化や環境ホルモン問題の対応も検討する予定である。

あ と が き

以上、最新のLSIパッケージに関する実装技術と今後の開発動向を紹介した。お客様に、低コストで品質の良い、また使いやすく、市場動向にクイックに対応可能な半導体パッケージを今後も開発していく。◆◆

参考文献

- INTERNATIONAL TECHNOLOGY ROADMAP FOR SEMICONDUCTORS 1999 EDITION ASSEMBLY AND PACKAGING P.233~235
- The Annual Report Meeting（ASET） June 29th, 2000

筆者紹介

- 岡 隆弘：Takahiro Oka.シリコンソリューションカンパニー LSI事業部 パッケージ開発部 MCPチーム
 山田 茂：Shigeru Yamada.シリコンソリューションカンパニー LSI事業部 パッケージ開発部 BGAチーム
 小原洋一：Youichi Kohara.シリコンソリューションカンパニー LSI事業部 パッケージ開発部 部長