

# SOI-CMOSデバイス技術

福田 保裕 伊藤 秀二  
伊藤 眞宏

近年、携帯電話に代表されるモバイルコミュニケーション市場の急速な発展はめざましく、搭載部品である半導体集積回路に対する、低消費電力化、高集積化、多機能化、高速化などの要求が厳しいものとなってきている。当社はこれらのニーズに応えるため完全空乏型SOIデバイス開発に取り組んできた。すでに0.35 $\mu\text{m}$ 、0.2 $\mu\text{m}$ SOI-CMOSデバイス<sup>1)</sup>は、実用化している。本稿ではSOI-CMOSデバイス技術について解説すると共に今後の展開について述べる。

## SOIデバイス構造

SOIとはSilicon on Insulator構造を意味するもので、絶縁膜上のシリコン薄膜(SOI層)にデバイスを構成する。バルク、部分空乏型および完全空乏型SOI-MOS(Metal-Oxide-Semiconductor)トランジスタ構造概略

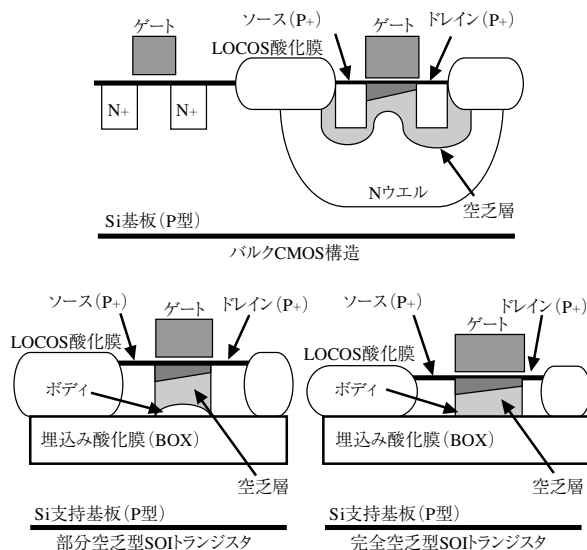


図1 バルクCMOSとSOI-CMOS構造比較

を図1に示す。バルクCMOSデバイスではP/N型MOSトランジスタがウエル層にて分離されている。これに対し、SOI-CMOSデバイスはSi支持基板と埋め込み酸化膜(BOX:Buried Oxide)にて分離され、各素子間はLOCOS(Local Oxidation of Silicon)酸化膜にて完全に分離されており、動作素子領域(SOI層と呼ぶ)を絶縁体にて完全分離する構造を持っている。またSOI層の厚みが薄く(通常<50nm)、チャンネル下のボディ領域がすべて空乏化しているものを完全空乏型SOI、SOI層が厚く(通常>100nm)、ボディ領域底部に空乏化されていない領域を持つものを部分空乏型SOIと呼ぶ。

## SOI-CMOSデバイスの特徴

表1に示されるように、サブスレッシュホールド特性を示すS値において、完全空乏型SOIトランジスタのみS値が60~70mV/decと低いことが特徴的である。(S値とはドレイン電圧一定にてドレイン電流を1ケタ変化させるサブスレッシュホールド領域でのゲート電圧値)また図1に示される様に、バルクトランジスタではソース、ドレインと基板、ウエル間との間に形成されるPN接合が、完全空乏型トランジスタにおいては存在せず、接合容量は非常に小さなものとなる。部分空乏型トランジスタはボディ底部にPN接合が存在するため、ちょうど両者の中間に位置する。S値、接合容量の低減、完全分離構造による利点としては以下のようなものがある。

- ① オフリーク電流を増加させずに閾値電圧( $V_t$ )を低く設定出来るため、低電圧動作が可能。(S値の低減)
- ② 負荷容量CLが低減されるため、高速動作、低消費電力CMOSデバイス開発が可能。(接合容量低減)
- ③ 高周波動作における信号伝達損失の低減。(接合容量低減)
- ④ 高抵抗Siウエハ等を支持基板として使用出来るため、受動素子を含めた素子高周波性能の実現。(完全分離構造)
- ⑤ 基板を介したクロストーク等の誤動作を低減。(完全分離構造)

表1 トランジスタ性能比較

	バルクCMOS	SOICMOSトランジスタ	
	トランジスタ	部分空乏型	完全空乏型
S値(mV/dec)	80~90	80~90	60~70
接合容量(相対値)	1	0.1~1	0.1
寄生サイリスタ構造	有り	無し	無し

⑥ ラッチアップ現象を含む誤動作防止が可能。

(完全分離構造)

⑦ 放射線入射によるソフトエラ耐性向上。

(SOI層薄膜化)

当社はモバイルコミュニケーション市場への展開を考え、アナログ、デジタル混載ワンチップ低消費CMOS-LSI開発を目指す。したがって低電圧動作が可能となる低S値を利用した低消費電力デバイス開発として、完全空乏型SOI構造トランジスタを採用した。一方、完全分離あるいはSOI層の薄膜化等に伴う課題としては以下のようなものがある。

- ① 寄生パイポーラトランジスタ動作によるソースドレイン耐圧低下 (完全分離による浮遊ボディ電位効果)
- ② トランジスタ寄生抵抗の上昇 (SOI層薄膜化)
- ③ 静電気放電 (ESD:Electrostatic Discharge) 耐性の低下 (SOI層薄膜化)

上記の利点を活かし、課題を克服した完全空乏型SOI構造トランジスタを用いて開発された0.2umSIO-CMOSデバイスの性能を紹介する。

### 0.2umSOI-CMOSデバイスの開発

0.2umSOI-CMOSデバイスは、電源電圧仕様を1.8Vと定め、デバイス開発を実施した。SOI層膜厚は、完全空乏型トランジスタ特性および現在のウエハバラツキを考慮し、50nmに設定。特にトランジスタ寄生抵抗低減については、Co (コバルト) シリサイド構造が最も安定的に寄生抵抗を低減することを見出し、採用に踏み切った<sup>2)</sup>。図2にトランジスタのサブスレッシュホールド特性を示す。P/N型MOSトランジスタ共に閾値電圧は0.25Vにて、S値は70mV/decとなり、完全空乏型SOIトランジスタの特性を示している。写真1はトランジスタ断面を示すが、ゲート金属等から比較するとSOI層は非常に薄いことが確認される。高精度な加工技術、プロセス技術を開発し、採用することによって実現されたものである。

### デジタルデバイスへの展開

本トランジスタをデジタルCMOSデバイスに採用した

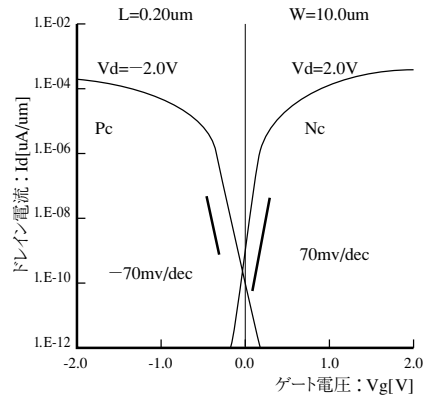


図2 0.2umSOIトランジスタサブスレッシュホールド特性

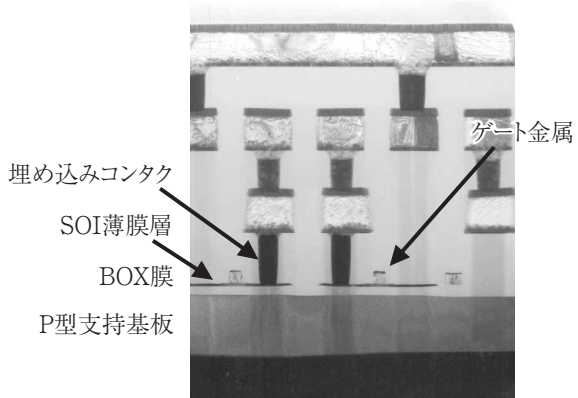


写真1 断面写真

場合の基本特性を検証する。当プロセスにて作製したプロセッサにて動作最小サイクル時間の電源電圧依存性を同等デバイスと比較したものが図3である。SOI-CMOS

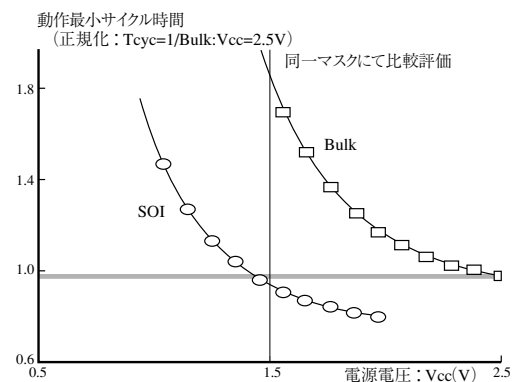


図3 プロセッサ動作最小サイクル時間の電源電圧依存性

デバイスはバルクCMOSデバイスに比較し、動作性能を維持しながら電源電圧を低下させ、消費電力を大きく低下させることが確認される。SOI構造トランジスタにおける接合容量低減が、性能比較として顕著に現れたものである。当社は上記特性を利用して低消費電力版256kbSRAMをすでに開発し、ロジック混載部品として展開していく。

### 高周波デバイスへの展開

接合容量低減、完全分離構造の利点を生かし、当社では通信LSI等に使用される高周波デバイスへの応用、展開を検討している。ここでは、高周波動作が求められるRF (Radio Frequency) 回路部品としてのSOI-CMOSデバイス性能を述べる。図4に基本的なRF回路ブロックを示す。アンテナに接続されているSPDT (Single-Pole-Double-Throw) スイッチは送信、受信を切り分ける機能を果たし、信号伝達損失を出来るだけ小さくすることが要求される。図5はSOI/バルクMOSトランジスタにおけるSPDTスイッチ伝達係数の周波数依存性を示す。SOIでは接合容量が小さいことにより、高周波領域においても信号伝達損失を低く抑えることが出来る。またRF回路においては、インピーダンス整合、周波数選択等のためにインダクタ、キャパシタ等の受動素子が多く用いられる。通常のSi基板では高導電性のため損失が大きく、この基板上に作製された受動素子のQ値は低くなる。図6はスパイラルインダクタを比抵抗の異なるSi基板上に同等の絶縁膜を介し作製した場合のQ値周波数依存性を示したものである。高抵抗基板上に作製されたインダクタは、高周波領域において高いQ値が得られることが確認される。バルクCMOSデバイスでは高抵抗基板を用いることはラッチアップ耐性低下等の影響が出るため不可能である。一方、SOI-CMOSデバイスは完全分離構造となっているため、支持基板として高抵抗基板を採用することが可能で

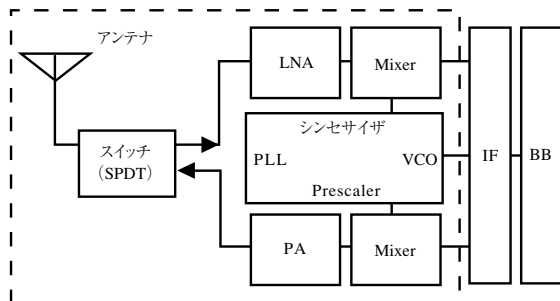


図4 RF回路ブロック概略図

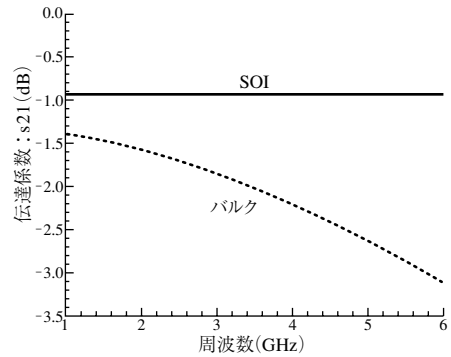


図5 SPDTスイッチの伝達係数周波数依存性

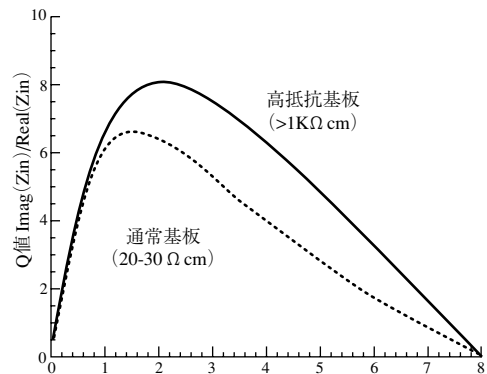


図6 スパイラルインダクタにおけるQ値周波数依存性

あり、優れた高周波特性を有する受動素子混載が可能となる。

### 機能品質/信頼性の改善

アナログ動作のRF、IF (Intermediate Frequency) 回路とデジタル動作のBB (Base Band) 回路を混載し、ワンチップ無線トランシーバLSIを開発する場合、基板を介したクロストークの低減が機能品質上、重要な問題となってくる。図7は高抵抗基板を使用したSOI-CMOSデバイスとバルクCMOSデバイスにおける、クロストーク指標、伝達係数S21の周波数依存性を比較したものである。SOI-CMOSデバイスは、基板と完全分離されているため、高抵抗基板と組み合わせることにより、バルクCMOSデバイスよりクロストーク特性は非常に改善される。このクロストーク特性を用いれば、GHz帯の高周波動作に対しても機能品質上、問題のない無線トランシーバ用デジタルアナログ混載LSIの開発がSOIを採用することによって可能である。

また低消費電力化のため、電源電圧が低下すると外乱ノイズあるいは内部発生ノイズによる誤動作が信頼性上

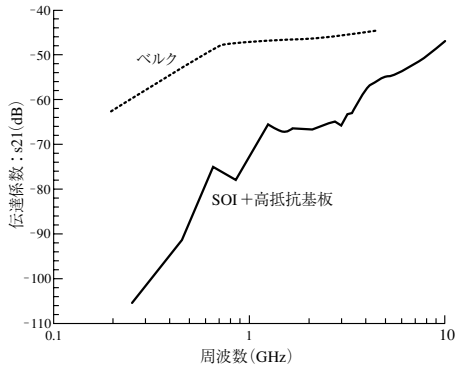


図7 クロストーク特性の周波数依存性

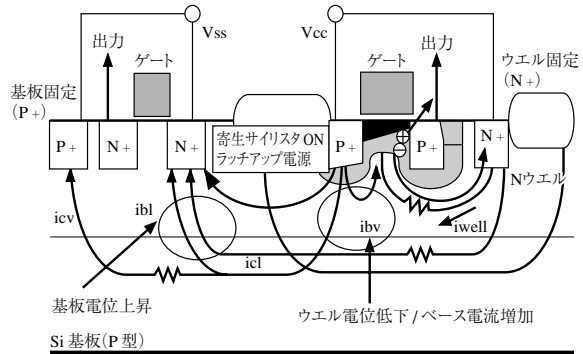
重要な問題となる。CMOSデバイスのラッチアップ現象がこの代表例である。

バルクCMOSデバイスではウエル領域によって基板と電気的分離を行っているため、必然的に電源-GND端子間に寄生サイリスタが構成される。この寄生サイリスタが外乱サージあるいは内部トランジスタ動作によるウエル/基板電流にてターンオンする現象がラッチアップである。結果、システムは誤動作あるいはシステムダウンする。(図8参照) この現象はデバイス集積度の向上および、デバイス温度上昇によってさらに発生しやすくなる。一般的には異極素子間にすべて基板固定層、独立ウエル吸出し層を配置することでこの現象の発生を防止している。しかしこれらの対策では、素子占有面積の拡大は避けられない。SOI-CMOSデバイスの場合、各素子がBOX酸化膜、LOCOS酸化膜により完全分離されているため、寄生サイリスタが形成されず、ラッチアップ現象は発生しない。固定層および吸出し層等を配置する必要はなく、集積度の向上が期待でき、また高温動作性能向上が可能となる。

### SOI-CMOSデバイスの課題克服

開発された0.2umSOI-CMOSデバイスの有利性を述べてきたが、克服されなければならない課題もあった。SOI構造トランジスタは、写真1にて確認できる様に非常に薄いSOI層に形成されている。したがって、帯電人体等からの静電気サージ流入 (HBM:Human Body Model) に対し、SOI素子自身はすぐに熱的破壊に至る<sup>3)</sup>。

当社ではトランジスタ構造を工夫したESD保護素子等を考案、静電気サージ応答性を考慮した保護回路を開発し、入出力回路特性に合わせ採用して個々の製品に必要な各種ESD耐性を実現した。



- 内部ラッチアップ発生メカニズム
1. MOS Tr 動作にてウエル電流発生
  2. P+/N ウエル/P 基板間の Vertical 寄生 Tr が ON
  3. 基板電流発生
  4. N ウエル/P 基板/N+ 間も Lateral 寄生 Tr が ON
  5. P+/N ウエル/P 基板/N+ 間の寄生サイリスタ ON

図8 バルクCMOSデバイス内部ラッチアップ現象説明

## まとめ

今後、低消費電力化のために使用電源電圧の低下は進み、高速化要求のためデバイスの高周波動作性能はさらに要求されるであろう。また電源電圧が低下すれば、放射線入射によるソフトエラーあるいは外乱ノイズによるラッチアップ誤動作が大きな問題となってくるであろう。これらの課題を解決するため、当社はSOI-CMOSデバイス技術を用いてモバイル、パーソナルコミュニケーション市場対応のアナログデジタルRF回路混載の低電力システムLSI製品を提供していく。 ◆◆

## 参考文献

- 1) “SOI技術によりLSIの消費電力を1/3に低減”, 市川文雄, 日経エレクトロニクス誌, 1999.3.8 (No.738)
- 2) T. Ichimori, N. Hirashita, and J. Kanamori, "Advanced Co Salicide Technology For Sub-0.20 μm FD-SOI Devices", IC-SSDM, (JSAP, Sendai, 2000).
- 3) “半導体デバイスの静電気破壊現象”, 福田保裕, 日本信頼性学会誌, 2000.1 (Vol.22/No1)

## 筆者紹介

- 福田保裕 : Yasuhiro Fukuda : シリコンソリューションカンパニー 超LSI研究センター デバイス研究第1部 部長
- 伊藤秀二 : Shuji Ito : シリコンソリューションカンパニー 超LSI研究センター デバイス研究第1部 SOI回路研究第2チーム チームリーダー
- 伊藤真宏 : Masahiro Ito : シリコンソリューションカンパニー 超LSI研究センター デバイス研究第1部 SOIデバイス研究第2チーム チームリーダー