

SPA特集

0.25 μm LOGICベースDRAM IPの開発

Development of Embedded DRAM IP with a 0.25 μm LOGIC based Process

関野 芳正
Yoshimasa Sekino

福山 弘幸
Hiroyuki Fukuyama

金子 恒一
Koichi Kaneko

小早川 正之
Masayuki Kobayakawa

要 旨

ロジック混載用のクロック同期型DRAM IP (Intellectual Property) と、様々な用途に応じたコンフィグレーションのDRAM IPを自動生成するDRAMジェネレータを開発した。設計ルール0.25 μm のDRAM混載プロセスを採用し、ロジックの高速性を維持しつつDRAMの高集積化を可能とした。16MbitのIPを試作し評価した結果、最大データバス幅256bit、クロック周波数100MHzでの動作を確認した。

1. ま え が き

システムの小型高性能化への要求が強まるにつれて、複数のLSIによって構成していたシステムを1チップ化する動きが活発化している。そのため、システムのメインメモリとして使用されてきたDRAMに対しても1チップに混載するために、IP化の要求が高まっている。今回、DRAM IPの開発と同時に、メモリ容量やデータバス幅に対する様々な要求仕様に対応するため、DRAM IPを自動生成するジェネレータも開発した。ジェネレータにより自動生成したDRAM IPを試作して評価した結果、設計通りの特性が得られることを確認した。

2. DRAM IP

DRAM IPの開発では、ジェネレータでの自動生成を考慮し、メモリアレイ部や入出力回路部を分割して設計した。メモリアレイ部は、メモリ容量が1Mbitのタ

イプ1と512kbitのタイプ2の2種類を作成し、最大16個まで接続可能とした。したがって、タイプ1では1Mbit刻みで最大16Mbitまで、タイプ2では512kbit刻みで最大8Mbitまで対応することができる。

また、入出力回路部では、タイプ1に対して、16bit、32bit、64bit、128bit、256bitの5種類を、タイプ2に対して8bit、16bit、32bit、64bit、128bitの5種類のデータバス幅に対応可能とした。ここで、メモリアレイ部と入出力回路部間のデータバス幅は、タイプ1では256bit幅に固定し、タイプ2では128bit幅に固定して、転送されたデータを入出力回路部でデコードする方式とした。表1にDRAM IPの主要諸元を示す。

DRAM IPの入出力端子は、入出力回路部の一辺に配置する方式とした。信号配線を一方から接続できるため、余分な引き回しが不要となり信号配線長を最適化することが可能である。

3. DRAMジェネレータ

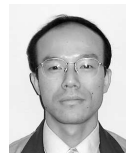
DRAMジェネレータを用いることで、種々コンフィ



関野芳正
シリコンソリューションカンパニー
LSI事業部 IP
開発部 チームリ
ーダ



福山弘幸
シリコンソリューションカンパニー
LSI事業部 IP
開発部 チームリ
ーダ



金子恒一
シリコンソリューションカンパニー
生産センター 技術
第3部



小早川正之
シリコンソリューションカンパニー
生産センター 技術
第3部 チームリ
ーダ

グレーションのDRAM IPに対するレイアウトパターンデータ、およびEDA設計モデルを自動生成することが可能となる。

DRAMコンフィグレーションを決定するための変数には次のものがあり、これらがDRAMジェネレータへのユーザ入力となる。

- (1) メモリ記憶容量
- (2) メモリアレイタイプ
- (3) 入出力データバス幅

DRAMジェネレータは、ユーザ入力により決定されたコンフィグレーションを実現するDRAM IPのレイアウトパターンデータを自動生成する。同時に、DRAM IPのチップ搭載時に必要となるEDA設計モデルを自動生成する。自動生成されるDRAM IPのEDA設計モデルは次の通りである。

- (1) 自動配置配線用レイアウトモデル
- (2) 論理合成用タイミングモデル
- (3) セル遅延/配線遅延算出用タイミングモデル
- (4) Verilog/VHDLシミュレーションモデル

以上のように、DRAMジェネレータを用いることによって、様々な用途に応じた種々コンフィグレーションのDRAM IPをEDA設計モデルとともに短時間で提供することができ、DRAM混載システムの設計時間短縮を可能とした。

4. プロセス技術

0.25 μm設計ルール of DRAM混載Logic プロセスを採用し、高速ロジックと高集積DRAM LSIの1チップ化を実現した。以下に、本プロセスの特徴を記述する。

4.1 トランジスタ

トランジスタの最小ゲート長は0.25 μmを使用した。ゲート酸化膜の膜厚は電源電圧2.5V系で5.5nm、3.3V系およびDRAMメモリセル部、昇圧回路部で9.0nmを採用した。これにより、ロジック用トランジスタの高速性能を維持しつつ、DRAM昇圧部のゲート酸化膜信頼性を確保した。

4.2 DRAMメモリセル

DRAMメモリセルは、4層ポリシリコン(内ワード線、ビット線はポリサイドを使用)で構成されたスタックドキャパシタ構造を採用した。また、DRAMメモリセル形成時の高温熱処理によりロジック用トランジスタ

表 1 DRAM IPの主要諸元
Table 1 Specifications of DRAM IP

項目	諸元
電源電圧	2.5V ± 0.25V
最大動作周波数	100MHz
アドレス入力	ノンマルチ
データ入出力	セパレート
リフレッシュ	512 Cycles / 8 ms
レイテンシ	Read:2, Write:0
バイトマスク	1/Byte

タの性能低下が懸念される為、絶縁膜形成およびキャパシタ形成時の熱処理を極力低温化し、トランジスタ性能の低下を抑制した。

4.3 多層配線プロセス

多層配線形成については、埋め込み性の良好な層間絶縁膜材料とCMP (Chemical Mechanical Polish) 技術を駆使し、ロジック部とDRAM部の表面段差を低減することで、全層0.8 μmピッチの高密度5層メタル配線を実現した。

上記プロセスの採用により、高速ロジックおよび高集積DRAMの混載化が実現でき、さらには、歩留まりの安定化、低コスト化の要求にも応えることができた。

5. 評価

試作評価のため、DRAMジェネレータで生成した16MbitのDRAM IPを使用し、テストチップを作成した。電源電圧範囲Vcc=2.25V ~ 2.75V、周囲温度範囲Ta=-40 ~ 125 の条件で測定し、データバス幅256bit、クロック周波数100MHzでの動作を確認した。

6. あとがき

DRAM IPとDRAM IPを自動生成するDRAMジェネレータを開発した。自動生成を可能としたことで、様々なコンフィグレーションのDRAM IPを短時間で提供することが可能となり、DRAM混載システムの設計時間を大幅に短縮できることを確認した。

また、ロジック性能を維持し、高集積DRAMを混載可能なプロセスを採用し、十分な性能を示していることが確認できた。