

SPA特集

0.35 μm LOGICベースFLASH IPの開発

Development of FLASH IP with a 0.35 μm Logic based process

大金 淳一
Junichi Ogane

辻本 雅夫
Masao Tsujimoto

浅香 博史
Hiroshi Asaka

要 旨

システムLSI実現に必須である、高速MCUのプログラム格納用FLASH IPを0.35ミクロンテクノロジーを用い開発した。メモリセルにはトンネル電流方式を採用するとともに、ビット線分割、電流 - 電圧変換型のセンスアンプ方式により、3.3V単一電源、40MHz動作を実現した。シリアルアクセス方式およびMCUアクセスによるデータ書き込み・読み出しのインターフェイス回路を内蔵することで、チップ設計の容易化を実現した。

1. ま え が き

システムLSI実現のためには、高速のMCUとそのプログラムを格納するメモリの混載が必須である。今回、この要求に対し0.35ミクロンテクノロジーを用いたFLASH IPを新規に開発した。本IPの特徴として(1)高速の読み出し動作の実現、(2)LOGIC IPとの整合性の取れたプロセスの採用が上げられる。

2. FLASH IP設計技術

2.1 メモリ方式

ユーザーのボードに実装した状態での書き換えを行うことを考慮し、メモリセルの書き換え方式にはFowler-Nordheim トンネル電流 (以下FN電流と呼ぶ)方式を選択した。

汎用FLASHメモリの多くは、データを書き換える際にホットエレクトロン注入を用いている。この方式で

は書き換えの際にメモリセルに対し数mAの電流を流す必要があるため、チャージポンプのレイアウト面積が大きくなり、比較的小容量のFLASH IPでは効率的ではない。また、チャージポンプを内蔵しない場合は、チップ外部から書き換えに必要な高電圧を印加する必要がある。

FN電流方式では、データの書き換えの際にメモリセルの酸化膜に流れる電流が小さいため、3.3V動作でも書き換えに必要な高電圧を、小規模なチャージポンプで発生し易いという利点がある。

2.2 メモリアレイ構成

書き換えの単位は、128×32ビット(512バイト)のセクター単位での書き換えと、512Kバイトの一括消去である。

読み出しの高速化とデータ書き換え時のメモリセルデータの劣化(ディスターブ)を低減するために、ビット線を分割した。

通常のFN電流型メモリセルをNOR型に配置した場合、書き込みのためのビット線電位が同一ビット線上



大金 淳一

システムソリューションカンパニー LSI事業部 IP開発部 フラッシュ第1チーム



辻本 雅夫

システムソリューションカンパニー LSI生産センター 技術第3部 システムLSIプロセス第1チーム



浅香 博史

システムソリューションカンパニー LSI生産センター 技術第3部 システムLSIプロセス第1チーム

のすべてのメモリセルに印加されてしまい、前もって書き込んでいたデータが劣化する危険性がある。

今回開発したFLASH IPでは、ビット線を従来の1/32に分割し、ビット線上の寄生容量と、書き換え時のディスタープをそれぞれ1/32に低減している。

2.3 読み出しの高速化

MCUの動作スピードに対応するため、本FLASH IPでも様々な高速化のための工夫を行った。

汎用FLASHで使用していた2層のメタル配線をビット線系に使用し、混載プロセスで新規に追加された第3のメタル配線をワード線系に使用することで、抵抗成分を低減し、特にワード線およびブロック選択線の充放電時間を短縮している。

各回路ブロックは、書き換えのための高電圧が印加されない部分すべてにロジック用トランジスタを使用し、動作の高速化とレイアウト面積の縮小化を図っている。

データの読み出しには、共通ソースに約1.3Vの電位を印加することでビット線を経由してセンスアンプに流れ込む電流量を電流 - 電圧変換し、それを差動増幅する方式を用いている。この方式では、ビット線間の干渉がないためにアドレス変化からのアクセス時間は高速化を図ることができる。

2.4 書き込み制御

NOR型のメモリアレイ構成を採用しているため、書き込み後のメモリセルのしきい値を0V以上にすることが必要である。同一ビット線上のデータが正確に読み出せなくなるからである。そのため本FLASH IPでは、一定の書き込みパルスを印加した後に、メモリセルから読み出したデータと、ビット線ごとに設けられたページラッチに格納されている期待値データとを比較することでビットごとに書き込みのしきい値を検証し、メモリセルのしきい値が必要以上に下がるのを防止すると同時に、しきい値分布の狭帯化を図っている。

2.5 FLASH IPへのアクセス方式

本FLASH IPでは、次に示した3種類のデータの書き換え、およびFLASH IP外部への読み出しのインターフェイス回路を内蔵し、ユーザでのデバッグ作業の効率化に貢献するとともに、チップ設計の容易化を実現している。

出荷テスト用に8ビットバスを介してデータの書き換え・読み出しをおこなうためのパラレル

モード(書き換え・読み出しともに8ビットバス) JTAGを経由して専用シリアルライタとの通信による書き換え・読み出しを可能にするシリアルモード(書き換え・読み出しともにシリアルバス) MCUが書き換え命令を実行することでMCUからの直接的な書き換えを可能にするMCUモード(書き換えは8ビットバス, 読み出しは32ビットバス)

2.6 試作および評価結果

0.35ミクロンFLASH混載プロセスを用いて設計したテストチップの主要諸元を表1に示す。FLASH IPの面積は4.75mm×5.27mmである。試作品評価の結果、当初の目標であった40MHz動作を確認した。

4. あ と が き

MCU混載用FLASH IPの開発について述べた。本コアを搭載することでマイクロコントローラの開発環境が確立され、市場分野が広がるものと確信する。今後は、メモリ容量のバリエーションの拡充だけでなく、低電圧・低消費電流・各種MCUコアの仕様に合わせた専用FLASH IPを整備していく。また、将来的には語構成やアレイ構成から自動的にコアブロックを発生するメモリコンパイラ化を目指す。

表1 0.35 μm FLASH IP 主要諸元
Table 1 General features for the 0.35

コアサイズ	4.75mm×5.27mm
語構成	128Kワード×32ビット
書き換え単位(セクター)	128×32ビット
動作電圧	3.3V ± 0.3V
動作周波数	40MHz
電源電流	80mA (40MHz動作時)
プロセステクノロジー	0.35 μm FLASH混載プロセス
配線構成	2層ポリシリコン / 3層メタル
FLASHセル	STACK型 1Trセル
セルサイズ	2.25 μm ²
LOGIC Trゲート長	0.35 μm
LOGIC Trゲート酸化膜	7nm
高耐圧Trゲート長	1.00mm
高耐圧Trゲート酸化膜	20nm