

SPA特集

SPA設計環境を支援する統合ライブラリ生成システム

A total library generation system for
the SPA LSI design environment

菊地原秀行
Hideyuki Kikuchihara

本多竹徳
Takenori Honda

中畑 仁
Hitoshi Nakahata

要 旨

SPA (Silicon Platform Architecture) ベース設計環境を支援する統合ライブラリ生成システムを開発した。本システムを適用することにより、設計者はハードウェアIP (Intellectual Property) のレイアウトデータのみを用意すれば良く、ほぼ全自動で所望のEDA (Electronic Design Automation) ライブラリを獲得することができる。これにより、従来手法に比べてEDAライブラリの生成TAT (Turn Around Time) を半減させ、EDAライブラリの品質を格段に向上することができた。

1. ま え が き

SPAベース設計環境¹⁾の開発目的は、システムLSIの開発期間短縮と再試作の撲滅にある。このSPA設計環境を支援するのがEDAツール群と、それらを実行するために必要なデータ群(これらを一般にEDAライブラリと呼ぶ)である。すなわち、品質の良いシステムLSIを短期間に設計するためにはEDAツールとEDAライブラリが必須である。

本システムの目的は、SPAベース設計環境に必要なハードウェアIPの設計アウトプットをもとに、キャラクタライズを行い、EDAライブラリを提供することにある。この際に求められる要件は、対象となるハードウェアIPのEDAライブラリをタイムリに設計者へ提供すると同時に、必要とされる正確性とクオリティを確保することにある。

本論文では、本システムの概要、システム機能および特徴について詳しく述べる。

2. システムの概要

図1に本システムの構成を示す。

本システムは、図1に示すように、高精度LPE (Layout Parasitic Extraction) 環境、キャラクタライズ環境、エントリ/コントローラ、EDAライブラリ生成環境から成る。

高精度LPE環境は、ハードウェアIP(以降ここではセルと呼ぶ)の設計アウトプットであるレイアウトデータからキャラクタライズ環境で使用するためのスパイスネットリストを抽出する。

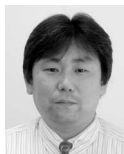
キャラクタライズ環境は、アナログシミュレータを使って、ディレイデータ、タイミングデータ、パワーデータ等のキャラクタライズを行う。

エントリ/コントローラは、セルのピン情報、物理情報等、キャラクタライズ環境では獲得できない各種情報やプロパティのデータ群を入力する。また、既存のライブラリデータから容易に入力できるように業界



菊地原秀行

シリコンソリューションカンパニー
LSI事業部 設計システム部 チームリーダー



本多竹徳

シリコンソリューションカンパニー
LSI事業部 設計システム部



中畑 仁

シリコンソリューションカンパニー
LSI事業部 設計システム部

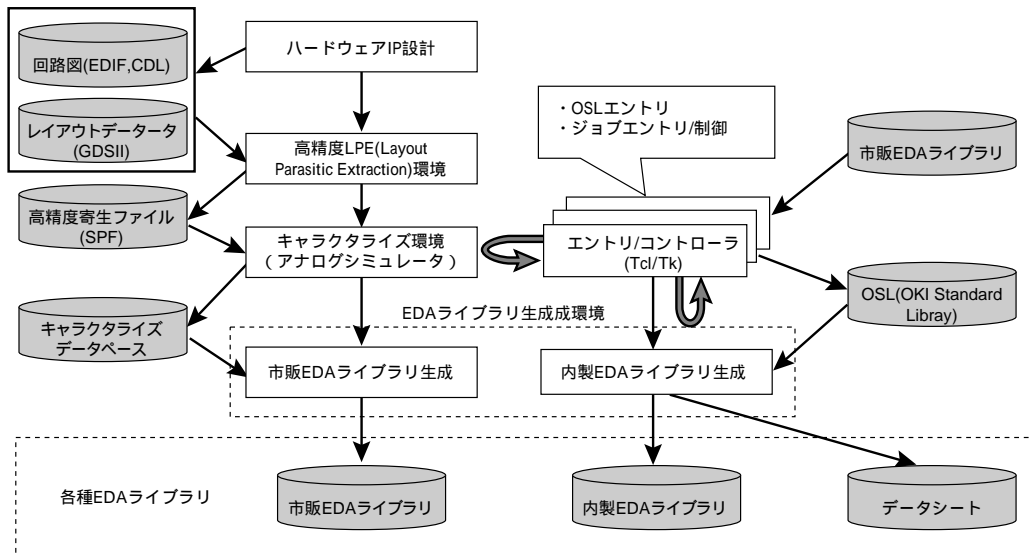


図1 システム構成
Fig. 1 System Overview

標準の市販EDAライブラリからエントリできる環境も提供する。さらに、キャラクタライズ実行、EDAモデル作成等のジョブ全般をエントリ制御する。

EDAライブラリ生成環境は、キャラクタライズ環境で獲得したキャラクタライズデータと、エントリ環境で入力されたライブラリデータ(OSL: Oki Standard Library)から、必要なEDAライブラリを生成する。ここで、市販EDAライブラリは、市販EDAライブラリ生成で、内製EDAライブラリは、内製EDAライブラリ生成で、それぞれ生成する。

なお、本システムでは、EDAライブラリのクォリティを確保するため、いろいろな実行ステージにおいて、入出力データの無矛盾性、妥当性のチェックを行っている。特にハンドオフデータのチェックは完全自動化を達成している。

3. システムの機能と特徴

3.1 高精度LPE環境

高精度LPE環境は、対象となるセルのレイアウトデータから、デバイスパラメータ(MOSFETのチャンネル長、チャンネル幅およびソース・ドレイン電極の面積と周囲長)と、レイアウトパターン(配線)に寄生する容量成分(C)と抵抗成分(R)とを、それぞれ抽出してスパイスネットリストを生成する。よって、これらの抽出精度

がキャラクタライゼーションの正確性、最終的にはEDAライブラリの正確性を左右することになる。

従来のLPE手法は、図形処理をベースとしたものであり、レイアウトパターンの1次元効果しか考慮できない。このため、今日の微細デバイスへの適用には精度不良となる欠点があった。

本システムでは、レイアウトパターンの3次元効果を取り込んだ高精度なLPE手法を導入しており、電磁界方程式を直接解く方法も提供している。

図2に本システムを使って3D表示させたローカル配線のレイアウトパターン例を示す。

3.2 キャラクタライズ環境

(1) キャラクタライズ条件の設定

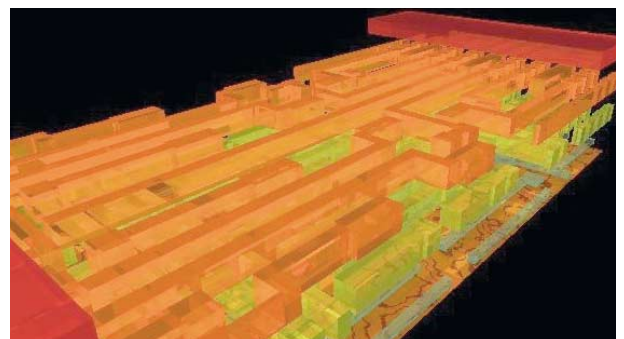


図2 ローカル配線の3D表示例
Fig. 2 3D View of the Local Interconnect

キャラクタライズ条件には、入力スリュー時間のポイント、出力ロード容量のポイント、プロセス条件、電源電圧条件、温度条件等があり、ユーザ自らが設定する。ただし、出力ロード容量のポイントについては、次で述べる最大ファンアウト容量から自動設定することもできる。

(2) 最大ファンアウト容量アクイジション

最大ファンアウト容量アクイジションは、最大出力スリュー時間を設定することにより、当該セルの容量駆動能力、すなわち、最大ファンアウト容量をアクイジションする。また、この値は、出力ロード容量のポイントを自動設定する際に使用する。

(3) セル機能アクイジション

セル機能アクイジションは、簡易アナログシミュレーションを実行し、当該セルの真理値表とブーリアン式を自動生成する。また、設計者自らが真理値表およびブーリアン式を直接入力することもできる。

(4) ピン容量アクイジション

ピン容量アクイジションは、入力ピンおよびトライステートピンの実効ピン容量を求めることであり、入力信号の立ち上がり/立ち下がり依存、他入力ピンの状態依存による違いを考慮している。

(5) テストベクタ自動生成

テストベクタ自動生成は、すべてのアクイジション時に使用するテストベクタをセル機能情報(真理値表およびブーリアン式)から自動生成する。この際、テストベクタの最適処理を行い、アナログシミュレーション時間の短縮を図っている。また、設計者自らが必要なテストベクタを入力することもできる。

(6) デイレイアクイジション

デイレイアクイジションは、スパイスネットリスト、トランジスタパラメータ、テストベクタ、キャラクタライズ条件からシミュレーションネットリストを作成し、アナログシミュレーションを実行して、当該セルに存在するすべての入出力パスのデイレイ時間と出力スリュー時間をアクイジションする。なお、デイレイ時間と出力スリュー時間は、入出力パスごと、入力スリュー時間と出力ロード容量の2次元テーブルデータとして保存する。その他の特徴を以下に簡単に述べる。

- 出力レベルのマルチポイントデイレイ測定が可能
- 実ドライバ回路または実ロード回路によるアナログシミュレーションが可能
- マルチCPU (WS) 処理が可能

(7) タイミングアクイジション

タイミングアクイジションは、順序回路セルの場合にのみデイレイアクイジションと同時に実行され、当該セルに存在するすべてのタイミング制約(セットアップ時間、ホールド時間、リカバリ時間、リムーバル時間、最小パルス幅)をアクイジションする。なお、それぞれのタイミング制約は、データピンとクロックピンの入力スリュー時間の2次元テーブルデータとして保存する。

(8) パワーアクイジション

パワーアクイジションは、デイレイアクイジションと同時に実行され、当該セルに存在するすべての入出力パス条件での容量充放電パワー、スイッチングパワーおよびスタティックリークパワーをアクイジションする。なお、それぞれのパワーは、入出力パスごと、入力スリュー時間と出力ロード容量の2次元テーブルデータとして保存する。

ここで、図3に2入力Nand回路のキャラクタライゼーションの例を示す。(a)はスパイスネットリスト、(b)はアクイジションした真理値表、(c)はアクイジションしたブーリアン式、(d)は自動生成したテストベクタ、(e)はアクイジションしたピン容量値、(f)はアクイジションしたパスデイレイ値である。

```
* filename : ad2.sp
global vdd
.SUBCKT AD2 Y A B
M1 VDD B 10 VDD PCH L=0.35U W=5U AD=5P AS=3P
M2 VDD A 10 VDD PCH L=0.35U W=5U AD=5P AS=3P
M3 VDD 2 12 VDD PCH L=0.35U W=5U AD=3P AS=5P
M5 GND B 15 GND NCH L=0.35U W=5U AD=5P AS=3P
M6 15 A 16 GND NCH L=0.35U W=5U AD=3P AS=3P
M7 GND 2 17 GND NCH L=0.35U W=5U AD=3P AS=3P
R11 2 10 9.30000E01
R12 Y 12 9.30000E01
R13 2 16 5.00000E01
R14 Y 17 5.00000E01
CC1 2 GND 3.96445E-15
CC2 Y GND 2.07948E-15
CC3 B GND 1.61952E-15
CC4 A GND 1.67800E-15
CC7 10 GND 3.59900E-16
CC8 12 GND 6.31897E-16
CC9 15 GND 7.56728E-16
CC10 17 GND 5.10500E-16
.ENDS

(a) スパイスネット
TRUTH_TABLE c_table_ad2 (b a => y)
0 ? => 0,
1 1 => 1,
? 0 => 0,
ENDTRUTH_TABLE

(b) 真理値表
equation = y = (b and a);

(c) ブーリアン式

(d) テストベクタ
in_cap_rising = 10 a;
in_cap_rising = 12 b;
in_cap_falling = 10 a;
in_cap_falling = 12 b;

(e) ピン容量値
delay = b 01 -> y 01 = 241 if (a=1);
delay = b 10 -> y 10 = 251 if (a=1);
delay = a 10 -> y 10 = 231 if (b=1);
delay = a 01 -> y 01 = 247 if (b=1);

(f) パスデイレイ値
$CIRCUIT ad2;
$WAVEFORM p_s_ad2;
$DDELAYSCALE 1Z;
=X1 pterm wave@A.1;
=X pterm wave@B.1;
=X# output Y;
=X# input A;
=X# input B;
#49999 SSTROBE;
#50000 0#;
#50000 0%;
#50001 0#;
#199999 SSTROBE;
#200000 1$;
#249999 SSTROBE;
#250000 1%;
#250001 1#;
#299999 SSTROBE;
#300000 0#;
#300001 0#;
#349999 SSTROBE;
#350000 0%;
#399999 SSTROBE;
#400000 1$;
#499999 SSTROBE;
#500000 SFINISH;
$EOF;
```

図3 キャラクタライゼーション例
Fig. 3 Example for the Characterization

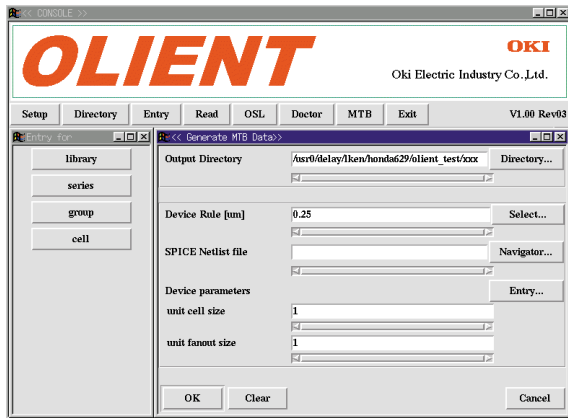


図4 エントリ画面例

Fig. 4 Example for the Entry GUI

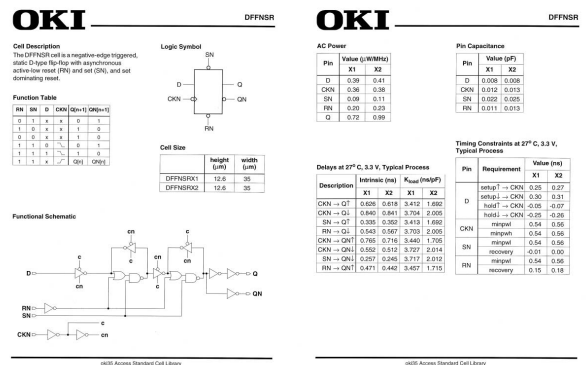


図5 データシート例

Fig. 5 Example for a Data Sheet

3.3 エントリ/コントローラ

(1) OSL (Oki Standard Library) エントリ

OSLエントリは、内製EDAツールのためのライブラリ情報を入力するGUI(Graphical User Interface)であり、Tcl/Tkで実装している。エントリGUIは、30種類を超えるエントリメニューを用意しているが、階層的に整理され、入力操作の利便性を図っている。図4に本エントリのトップ画面の例を示す。

ライブラリ情報には、セル名、外部ピン名リストおよびピン属性、物理情報等、セルごとのデータや回路データチェックルール、テストデータチェックルール等、ライブラリごとのデータがある。

(2) ジョブエントリとコントロール

エントリのトップ画面から、キャラクタライズ環境、EDAライブラリ作成環境に関わる各種ジョブを投入することができる。また、それぞれのジョブの実行ログを逐次監視することができる。

3.4 EDAライブラリ生成環境

(1) 市販EDAライブラリ生成

ここでは、キャラクタライズデータベースから、機能モデル記述としてVHDL, Cadence社Verilog™ モデルを、ディレイおよびパワーモデルとして, Synopsysライブラリ, Cadence社TLF™, Avanti社Star-DC™ モデル等を生成する。また、ディレイおよびパワーモデルは、要求精度により、ベスト/ワースト/ピン状態依存性等の出力形式を指定できる。

(2) 内製EDAライブラリ生成

ここでは、エントリから入力されたOSLデータから、

回路データチェック, テストデータチェック, テスト容易化, テストプログラム生成等の内製EDAライブラリを生成する。

(3) データシート生成

ここでは、OSLデータから設計者がリファレンスするためのセルごとのデータシートを生成する。図5にそのデータシート例を示す。

4. あ と が き

筆者らは、SPAベース設計環境を支援する統合ライブラリ生成システムを開発した。設計者は、ハードウェアIPのレイアウトデータのみを用意すれば良く、ほぼ全自動で所望のEDAライブラリを獲得することができる。本システムを適用することにより、従来手法に比べEDAライブラリの生成TATが半減し、また、正確さとクオリティが格段に向上した。

本システムは、数年前よりSPAベース設計環境に本格導入され、昨年度は数千セルを越える適用実績があった。

なお、本システムで生成されたハードウェアIPのEDAライブラリは、当社のIP流通システムを通じて設計者が自由にアクセスできる。

5. 参 考 文 献

- 1) 山本, 後藤, 上野: SPAベース・システムLSI設計環境の開発, 沖電気研究開発第184号, 2000年10月