

SPA特集

メタルプログラマブルSPA設計環境

A Metal Programmable SPA Design Environment

野村 周 司
Shuji Nomura

木村 義 慎
Yoshichika Kimura

要 旨

SoC (System-on-Chip) 時代においては、回路の大規模化に対応するために、トップダウン設計手法とIPを容易に搭載できる仕組、階層設計手法が必須となる。また、SoCの一形態としてのSPA (Silicon Platform Architecture) では、アプリケーションに応じてカスタマイズされる回路を短期間に具現化する手法が重要である。本論文では、LSI製造工程の配線工程のみでカスタマイズできるSPAについて、その構造と設計手法について述べる。

1. ま え が き

SoC (System-on-Chip) 時代の到来により、従来の設計手法・環境ではLSIの設計が困難となってきている。図1はSEMATECによる設計生産性予測である。回路集積度は2000年で1000万トランジスタを1チップに集積可能であるが、実質的に一人のエンジニアが1ヶ月に設計可能な回路は1万トランジスタにも満たないという設計生産性のギャップを生じている。¹⁾

設計生産性のギャップを埋める手段として、当社のSPA (Silicon Platform Architecture) に見られるようなプラットフォームの設計手法が有効である。プラットフォームの設計とは、アプリケーションに応じてCPUコア・周辺回路・ソフトウェア等の基本部分を予め用意しておき、ユーザ仕様を実現するためにハード的にカスタマイズ回路を搭載したり、ソフトウェアを追加したりすることにより、所望の機能を実現する手法である。本稿では、プラットフォームの設計においてハードウェアのカスタマイズを短期間で行う

ための設計環境と、そこで鍵となる階層設計手法について述べる。

2. 階層設計手法

大規模LSIの設計期間を短縮するためには、LSIを機能ブロックに分割し、分割された各機能ブロックを並列に設計する手法が有効である。並列に設計を進めることにより、トータルの設計期間が短縮できる。本手法を階層設計手法と呼ぶ。

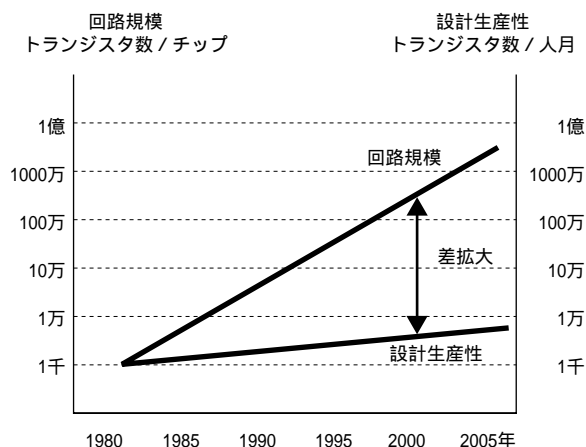


図1 設計生産性予測 (SEMATEC 1999)

Fig. 1 The Design Productivity Gap



野村周司

シリコンソリューションカンパニー
LSI事業部 設計システム部



木村義慎

シリコンソリューションカンパニー
LSI事業部 設計システム部

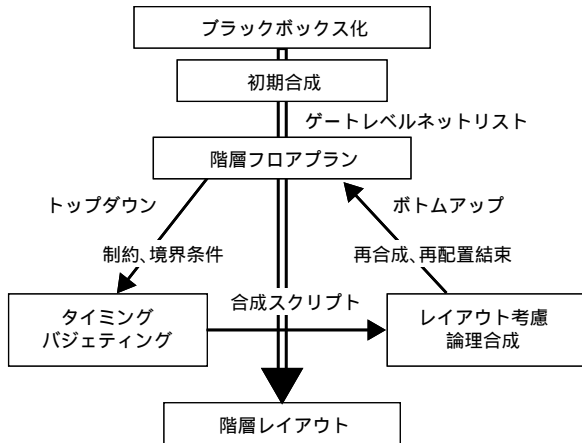


図2 階層設計手法
Fig. 2 Hierarchical design flow

図2に階層設計手法のフローを示す。

(1) ブラックボックス化

RTL (機能記述) 未定義の機能ブロックを含む論理未確定の機能ブロックは、チップサイズ確定と他ブロックの合成制約確定のためにブラックボックス化する必要がある。ブラックボックス化とは、後述するバジェット、合成工程に使用する簡易的なタイミングモデルをブロック仕様に基づき作成することと、フロアプラン工程に使用するブロックの外形情報(ブロックの大きさ、端子位置)を統計的なゲート規模予想により作成することである。

(2) 初期合成

レイアウトを行うために、論理合成を行ってRTLをゲートレベルのネットリストに変換する必要がある。(1)で作成したブラックボックスと既に論理が確定しているブロックのRTLを利用した論理合成を行い、各ブロックのゲートレベルネットリストを作成する。

(3) 階層フロアプラン

論理合成では、配線容量見積もりに基づいた遅延計算を行っている。初期合成では、各セルの出力端子に接続する端子数に応じて配線容量を見積もっており、セル配置位置による配線容量見積もりと比較すると不正確である。後述のバジェットや合成工程でタイミング情報の精度を上げるために、フロアプランを行う必要がある。そこで機能ブロックごとに分割したブロックを用いたフロアプラン、すなわち階層フロアプランを行う。ここでは、ゲートレベルネットリストを物理レイアウトに変換した後、機能ブロックごとに階

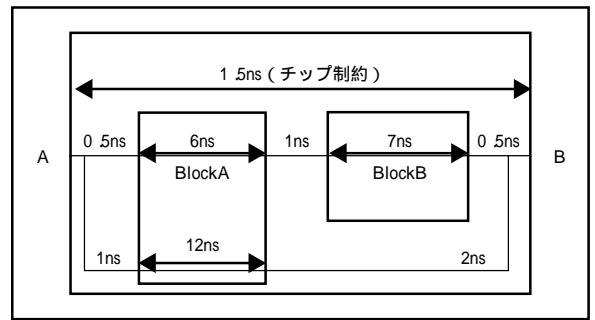


図3 タイミング・バジェット
Fig. 3 Timing Budgeting

層分割と仮配置配線を行い、出力ピンの接続負荷容量や入力ピン容量などの境界条件を抽出する。また、電源配線や、配置配線禁止領域を設定する事で抽出精度を上げる事ができる。

(4) タイミング・バジェット

近年では、LSIの仕様を最上位階層からのタイミングによる設計制約とし、本制約に従いながら論理設計やレイアウト設計を行う方法が一般的であるが、階層設計の場合、各機能ブロックで並列に設計を行うために、最上位階層の制約を図3のように各ブロックに分配する必要がある。これをタイミング・バジェットと呼ぶ。ここでは、(3)で得られた容量見積もり値などに基づき、各ブロックの内部遅延とブロック間遅延のタイミング解析を行い、各ブロックが満たすべきタイミング制約を割り振り、これを付加した合成スクリプトを出力する。

(5) レイアウト考慮論理合成

DSM (Deep Sub Micron) プロセスではセル自己遅延に対し、配線遅延が支配的であるため、論理合成時の遅延見積もりでもこれを考慮する必要がある。そのため、仮配置配線を行って仮想遅延情報を抽出し、論理合成を行う。これをレイアウト考慮論理合成と呼ぶ。ここでは、バジェットで得た合成スクリプトを使用してレイアウト考慮論理合成を行う。また、その結果を階層フロアプランで使用している初期合成のネットリストと置き換え、フロアプランの精度を上げる。

(6) 階層レイアウト

論理設計終了後、LSI設計仕様を満たして動作するレイアウトを作るために、(1)～(5)で得られた結果を満たすレイアウトを作成する必要がある。

そのため、タイミング・バジェットで得られた

各ブロックのタイミング制約を用いてブロックごとにタイミングドリブレイアウトを行う。このようなレイアウトを階層レイアウトと呼ぶ。

次章では、以上述べてきた階層設計手法を利用したメタルプログラマブルSPAについて述べる。

3. メタルプログラマブルSPA

SPAは機能ブロックとしてIPを予め用意しておき、それを組み合わせて使用することで大規模なLSI設計を短時間で可能にする設計手法である。ここでは、ユーザのLSI仕様を実現するために、カスタマイズを可能とする機能が必要である。カスタマイズの方法としては、ソフトウェアによるカスタマイズやユーザ回路をスタンダードセル等によりハード的に実現する方法がある。設計期間や柔軟性の面から見ると、ソフトウェアによる方法が最も効果的であるが、性能面から見ると有利ではない。一方、ハード的にカスタマイズを行った場合、高い性能は得られるが、開発期間が長くなり柔軟性も少なくなる。

本稿で提唱する方法は、ハード的な実現手段であるが、カスタマイズをゲートレイ手法で実現することによってLSI開発期間を短縮し、かつ柔軟性を持たせる方法である。これをメタルプログラマブルSPAと称し、そのチップ構成を図4に示す。ゲートレイ手法のユニットセルを搭載したカスタマイズブロックと、プラットフォームの基本回路を構成する回路ブロックからなる。ユーザ回路を実現するカスタマイズブロックにゲートレイ手法を採用することで、ユーザ回路確定前にチップ全体のトランジスタ層(下地層)を確定しウェハ製造を開始できる。ユーザ回路はゲートレイ

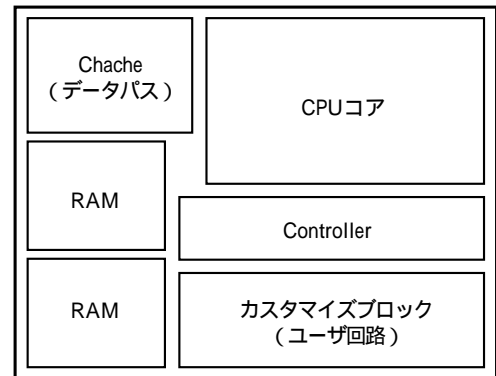


図4 メタルプログラマブルSPA構成図
Fig. 4 Metal Programmable SPA

のメタル配線セルによって実現される。

4. 開発フロー

図5にメタルプログラマブルSPA開発フローを示す。最初に2章で述べた階層設計手法による階層レイアウトを作成する。この段階ではユーザ回路はブラックボックス化されており、ブロック間配線とカスタマイズ領域へユニットセルを敷き詰める作業(下地形成)を行う。平行してユーザ回路の設計も進める。下地形成が終わった段階でカスタマイズブロックを含めたチップ全体の下地が確定されるのでウェハの下地製造を開始できる。

次にユーザ回路設計が終了次第、ユーザ回路の配置配線を行う。そして下地形成時に使用したブラックボックスとユーザ回路の置き換えにより上位階層のレイアウトとマージして、チップ全体のレイアウトを仕上げる。これでチップ全体の配線が確定するので、ウェハ

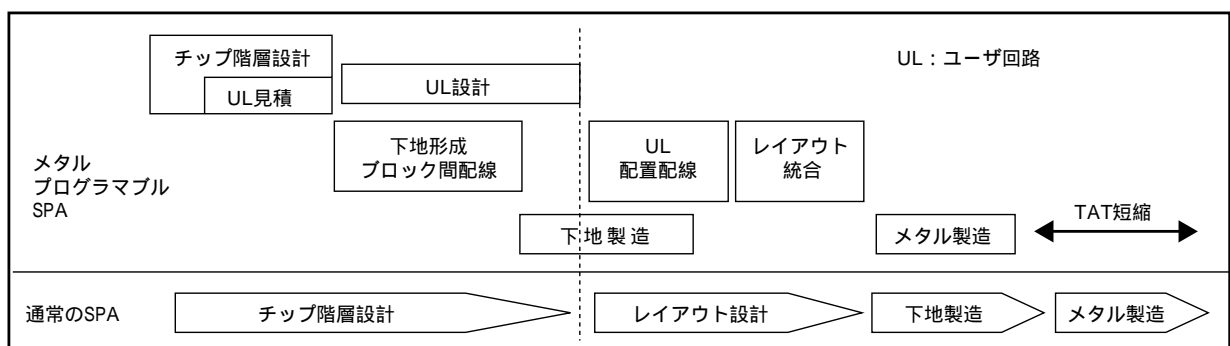


図5 メタルプログラマブルS.P.A.開発フロー
Fig. 5 Metal Programmable S.P.A. development flow

へのメタル(配線)製造を行い、ウェハを完成させる。

このように、下地ウェハ製造工程とカスタマイズブロックの設計を同時に実施することで、通常のSPA開発フローに比べ、下地ウェハ製造期間分の開発期間短縮が図れる。

5. あ と が き

本論文では、ゲートアレイ手法を組込んだメタルプログラマブルSPAについて述べた。これはタイミング・バジェットとレイアウト考慮合成を組込んだ階層設計とタイミングドリブンレイアウトにより実現され

る。本手法は従来の設計手法でボトルネックとなっていた大規模レイアウト、タイミング制約の作成、タイミング違反の解消、それぞれのTAT増大を一気に解決できる手法である。またユーザ回路の論理変更による多品種設計が容易に可能であり、開発期間短縮のみならず、マスク費用の削減も可能である。今後、実設計への適用を行って社内展開を行っていく。

6. 参 考 文 献

- 1) Sematec : International Technology Roadmap for Semiconductors 1999 Edition , p.36