

SPA特集

SPAベース・システムLSI設計環境の開発

Design Environment for SPA Based System LSIs

上野 恭道
Yasumichi Ueno

後藤 達也
Tatsuya Goto

山本 一郎
Ichiro Yamamoto

要 旨

当社はシステムLSIソリューションとして、Silicon Platform Architecture (SPA) を提唱している。

我々は、SPAベースのLSI開発を支援するために、システムLSIの設計環境を構築した。本論文では、設計環境の核であるLSI設計手法および、IPの蓄積と再利用を実現するためのIP流通システムについて報告する。

1. ま え が き

Silicon Platform Architecture (SPA) とは、当社が提唱するシステムLSIソリューションである¹⁾。SPAの基本は、応用分野に対応したアーキテクチャの標準化によるシステムLSIの開発期間短縮にある。

SPAベースのシステムLSI開発を支援する設計環境を、我々は以下の考え方にに基づき構築した²⁾(図1)。

LSI設計手法を世界トップ・レベルとし、LSI設計の期間と効率を従来のそれぞれ1/2以下および2倍以上とする。

標準アーキテクチャに容易に組み込めるハードウェア・ソフトウェアIPの蓄積・流通の仕組み「IP流通システム」を構築する。

IP設計基準およびLSI設計手法を標準化し、IP取り込みで生じるオーバ・ヘッドを最小化する。

システム・レベルの設計環境を、標準アーキテクチャに最適な形態で構築し、SPA上でのハードウェア・ソフトウェア協調設計・検証を実現する。

IPの品揃えを標準アーキテクチャに対応して強化し、新規開発部分を最小化する。

本論文では、LSI設計手法の改革および、IP流通システムの開発を中心に報告する。

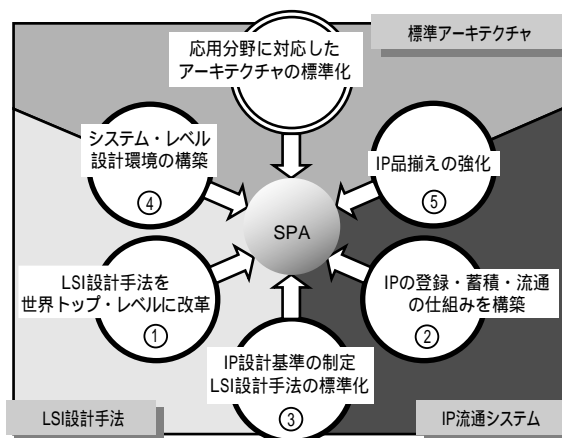


図1 SPAベース・システムLSI設計環境
Fig. 1 Design environment for SPA based system LSIs



上野恭道
シリコンソリューションカンパニー
LSI事業部 設計システム部 設計インフラチーム
リーダー



後藤達也
シリコンソリューションカンパニー
LSI事業部 設計システム部 IP流通化チーム
リーダー



山本一郎
シリコンソリューションカンパニー
LSI事業部 設計高度化推進部
課長

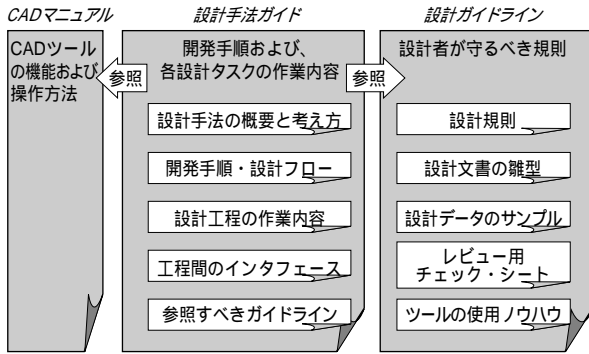


図2 設計者向けドキュメント
Fig. 2 Design methodology guide

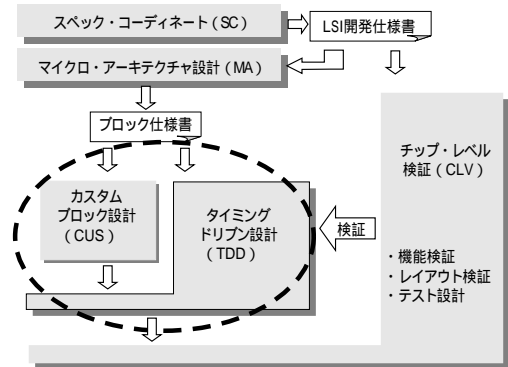


図3 LSI開発手順
Fig. 3 LSI design flow

2. LSI設計手法の改革

LSI設計手法を改革し、新手法の普及と利用をサポートする環境（設計者向けドキュメント、CADシステム）を構築した。

改革の基本的な考え方は、以下のとおりとした。

- 開発手順と、各工程での作業内容を最適化する。特に、各工程での検証項目および、工程間インタフェース（データおよび文書）を明確に定義する。
- 先端CADの導入（52種）と、カスタム・ソフトウェアの開発（19種）により、自動化を推進する。
- 設計結果・経過を正しく管理し、開発結果の再利用および設計環境の改善ポイント解析を容易とする。
- 作業を適切に実施するための指針として、各工程での作業項目や、必要となる技術知識をまとめた設計者向けドキュメントを開発する（図2）。

以下に、設計手法の概要を、LSI開発手順の工程を単位に記述する（図3）。

2.1 スペック・コーディネート (SC)

SCの役割は、顧客との仕様に関する合意の形成にある。SCは合意内容を開発仕様書としてとりまとめ、以降の設計・検証作業は本書を原点として参照する。

2.2 マイクロ・アーキテクチャ設計 (MA)

MAでは、LSIをブロックと呼ぶ機能単位に分割し、各ブロックの仕様を決定する。MAで作成するブロック仕様の詳細度は、各ブロックを独立に設計可能なレベルとする。

2.3 タイミング・ドリブン設計 (TDD)

TDDは、セル・ベースで実現するデジタル部分に適

用する手法であり、論理設計からレイアウトまでを範囲とする。

TDDでは、LSIのタイミング条件をチップ・レベルで記述し（System Level Constraint）、論理合成からレイアウトまでの目標性能として使用する。目標性能を満たすための最適化は、CADツールが自動的に実施する。タイミング調整の収束性を高めるために、論理設計にフロアプランナを導入し、目標性能の記述方法を設計ガイドラインとして規定した（図4）。

2.4 カスタム・ブロック設計 (CUS)

CUSは、アナログ回路等の自動合成ツールが使用できないブロックに適用する。

CUSにおける回路設計では、アナログ・ハードウェア記述言語（Verilog-A）でモデルを作成し、機能を確認しながらトランジスタ・レベルにトップ・ダウンに詳細化する。トップ・ダウン設計手法の導入により、設計

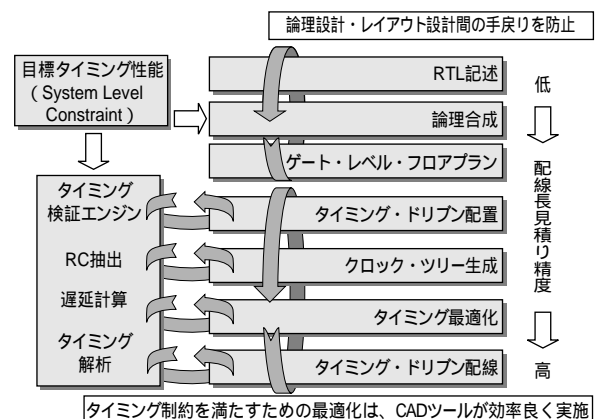


図4 タイミング・ドリブン設計
Fig. 4 Timing driven design

の曖昧さや不具合を早期に発見できる。

CUSのレイアウトでは、回路設計結果を受け、素子のパターンを生成し、トランジスタ間の接続をカスタム・ルータで自動配線する環境を構築した。

2.5 チップ・レベル検証(CLV)

新設計手法では、設計と検証の担当者を分離する。検証担当者がLSI開発の第3の眼となり、設計者の思い込みによる誤りを防止するのが目的である。

CLVは、設計結果とLSI開発仕様書の一致を検証する責任がある。CLVは、設計不良を市場に出さない最後の砦であり、LSI商品の将来を考慮した検証環境の構築も役割に含まれる。

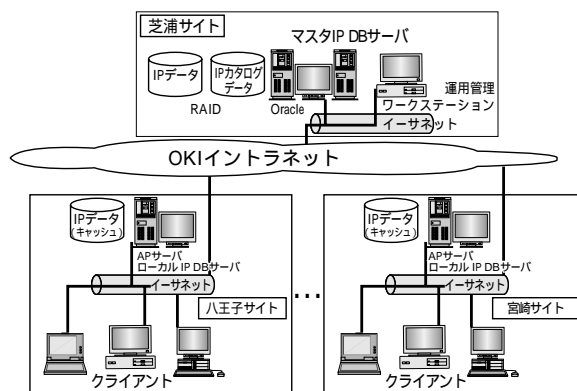


図6 IP Fairのシステム構成
Fig. 6 IP Fair System Configuration

3. IP流通システム

3.1 概要

ハードウェア/ソフトウェアIPを容易に再利用できる仕組みとしてIP流通システムを構築した。IP流通システムは、IPデータを管理するインフラであるIP Fairと、IP Fairの運用の仕組みやIP設計上守るべき規則をまとめたIP設計ガイドラインから構成される。

IP Fairは、IPの登録・選択(検索とダウンロード)、IP問題発生時のレポート通知、IPを再利用した製品情報の登録などIPの蓄積・流通に必要な機能を有する。ユーザフレンドリなGUIの実装、システムの高拡張性、応答速度の高速化、高可用性、セキュリティ管理、低メンテナンスコストをターゲットに、社内イントラネットを使用したWebベースのオンラインシステムとして開発した(図5)。

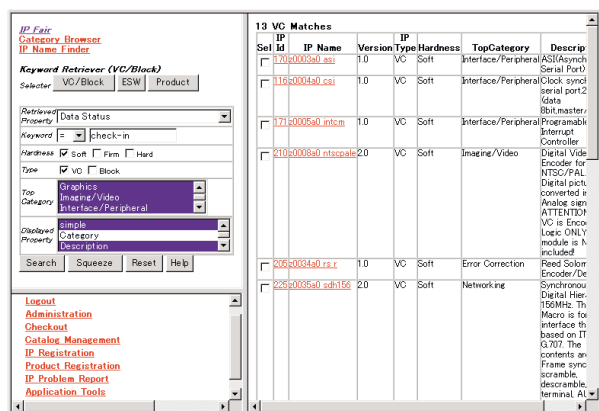


図5 IP FairのWeb画面例
Fig. 5 Example of IP Fair Web Page

3.2 システム構成

IP Fair構成と特長は、以下の通りである³⁾(図6)。

- Webベースのデータ配送システムとして一般的に使われている3階層Webシステムとした。
- データベースソフトには、業界標準で実績のあるOracle^{*1)}を採用した。
- システムの稼動状況をモニタする運用管理ワークステーションを設置し、安定した運用サービスの提供を実現した。

3階層Webシステムは、下記3層から構成される。

(1) データベースサーバ(DBサーバ)層

DBサーバは、IPのデータとカタログを格納するマスタIP DBサーバと、IPデータをキャッシュするローカルIP DBサーバで構成した。

前者は、社内スター型イントラネットの中心である芝浦地区に設置し、データ極集中によりIPデータ管理を容易にした。また、高可用性を実現するため、CPUの2重化、ハードディスクにRAIDの使用、自動バックアップシステム実装、UPSの設置を行った。

後者は、イントラネット内のトラフィック負荷を軽減するため各サイトに設置した。各サイトで使用頻度の高いIPデータをキャッシュするため、サイト内のLANで高速にダウンロードが可能となる。

(2) アプリケーションサーバ(APサーバ)層

Java^{*2)}サーブレットによるクライアントからマスタIP DBサーバへの要求処理や、マスタIP DBサーバからの情報をグラフィカル画面に生成し、Webブラウザに表示する。各サイトに設置し処理を分散させることで応答速度を向上させた。

* 1) OracleはORACLE Corporationの商標。 * 2) JavaはSun Microsystems, Inc.の商標。

表1 IP Fairの主な機能
Table 1 IP Fair main functions

IP Fairの機能	概要
IPの登録	IPのカテゴリ情報とIPデータ（設計データとドキュメント類）の登録を行う。新規、レベルアップ、バージョンアップの各登録が可能である。レベルアップとバージョンアップ時は、設計者と利用者へE-Mailによる自動通知を行う。
IPの選択	IPカテゴリ、IP名、キーワードを検索エンジンとしてIPを検索し、カテゴリ情報を表示する。また、IPデータのダウンロードを行う。
IP問題レポートの通知	IPに問題が発生した時にレポートを作成し、設計者と利用者へE-Mailによる自動通知を行う。
製品情報登録	LSI製品と使用しているIPの情報を登録する。登録後IPのサポート対象となり、IPのレベルアップやバージョンアップ、IP問題のレポート、チェックアウトが発生した時にE-Mailによる自動通知が受けられる。
IPチェックアウト	IPに致命的な問題が発生した時に、IPデータのダウンロードを禁止にする。設計者と利用者へE-Mailによる自動通知を行う。
アプリケーションツール	IP登録時に必要なシート類（登録シートとファイル構造定義シート）のテンプレートファイルとファイルのシンタックスチェッカーを提供する。
カタログ管理（注1）	IPのカテゴリやカタログ項目の追加、修正、削除の管理を行う。
IPライブラリ管理（注1）	ユーザID管理、メールアドレス管理、IPデータ管理、サイト管理を行う。

(注1) システム管理者向け機能

APサーバとローカルIP DBサーバを同一のワークステーションで構成し、現在、八王子、芝浦、高崎、幕張、宮崎、大阪地区に設置を完了している。また、容易にサイト拡張が可能である。

(3) クライアント層

クライアントとマスタIP DBサーバ間のやり取りをAPサーバで処理することにより、クライアントは、Webブラウザが動作するPC/UNIX^{*3)}マシンであれば、他の専用ソフトを追加することなくIP Fairへアクセスできる。

3.3 機能

IP Fairの主な機能を表1に示した。ユーザIDごとに使用可能な機能やパスワードの設定ができる。

3.4 運用の仕組み

効率的なIPの蓄積や流通を全社レベルで実現するために、IP Fairの利用・保守作業に適用する運用の仕組みを構築した。

また、IPの社内外への流通促進、有効なIPの創出およびLSI開発技術者のモチベーション高揚を目的として、IP登録表彰（新規登録ごと）、IP中央表彰（取引きの顕著なIP）が制定されている。

3.5 IP設計ガイドライン

IP Fairを有効に活用するためにはコンテンツとなるIPの品質や再利用性が重要である。

一定品質で再利用ができるIPを開発してIP Fairへ登録

* 3) UNIXはX/Open Company Ltd.の商標。

表2 IP設計ガイドラインの構成
Table 2 IP design guidelines configuration

章番号	章構成	内容
1	イントロダクション	IP設計ガイドラインの構成と内容について。
2	アーキテクチャ設計、検証のガイドライン	IP開発企画の作業手順、アーキテクチャフェーズで望まれる回路構成やテストベンチ、検証方法など。
3	RTL設計、検証のガイドライン (VerilogHDL版)	VerilogHDL言語でRTLコーディングを行う際の遵守すべき規定や設計品質の高いコードをリリースするための検証手法。
4	論理合成、検証のガイドライン	論理合成、合成後のゲートシミュレーション、スキャンパスの挿入、バックアノテーションの作業方法。
5	レイアウト設計、検証のガイドライン	フロアプラン&レイアウト、デザインルールチェック並びにLVSの実施、遅延情報の抽出などの作業方法。
6	TEG評価のガイドライン	TEGの評価項目に関して遵守すべき規定とTEGの評価結果データを記載する報告書についての規定。
7	リカバリーIP化のガイドライン	社内既存回路や3rdパーティIPを購入して、IPとして再利用するための作業方法。
8	配布物のガイドライン	IP利用者に配布される設計情報や設計データのパッケージ(アーカイブ)化方法。
9	TAT見積もりのガイドライン	プロジェクト・マネージャがIPの開発プロジェクトを計画する時点での開発期間の見積もり方法。
10	アナログ混載設計、検証のガイドライン	アナログ/ミックスド・シグナル回路の設計&検証方法。
11	テスト容易化のガイドライン	LSI/IP設計におけるDFTの戦略、ルールなど。
12	RTL設計、検証のガイドライン (VHDL版)	VHDL言語でRTLコーディングを行う際の遵守すべき規定や設計品質の高いコードをリリースするための検証手法。

するために、IP設計ガイドラインを作成した。IP設計ガイドラインは、VSI Allianceに準拠したIP設計のプロセス、配布物に対する指針、推奨する項目などを定義し、これに従うことで一定品質の再利用できるIPの創出が可能である(表2)。

4. あとがき

SPAベースのLSI設計環境として、LSI設計手法を改革し、IP流通システムを開発した。

LSI設計手法の改革により、従来手法に比べ、開発期間を1/2、設計生産性を2倍にできる見込みである。

IP流通システムは、現在80個以上のIP登録を完了し、再利用に適用している。今後も、IP品質の向上、蓄積数の増加、再利用の推進に取り組んで行く。

5. 参考文献

- 1) 向井：集積回路の技術動向，沖電気研究開発第180号，Vol.66，No.1，pp.3～6，1999
- 2) 遠山：沖・ケイデンス共同プロジェクト，System LSI設計期間の飛躍的向上を目指して，沖電気研究開発第184号，Vol.67，No.3，2000
- 3) 村上：沖電気におけるSPAとそのためのIP蓄積・流通環境，第4回システムLSIフォーラム，1999