

SPA特集

DRAM内蔵音声録音再生LSI

DRAM-embedded Voice Recording-Playback LSI

加藤輝男 水橋比呂志 中野孝経
 Teruo Katoh Hiroshi Mizuhashi Takamichi Nakano

要 旨

音声データ格納用メモリを1チップに集積した音声録再LSI (MS87V1021) を開発した。DRAM-ロジック混載プロセスを使用し、録再メモリ用のDRAM、ロジック回路のほかに、再生データ用のROM、アナログ回路を集積することにより1チップによる録音・再生機能を実現した。さらに、バッファメモリであるDRAMへの常時録音が可能になり、Delay再生、Repeat再生などの新規機能を実現したことにより、音声録音再生LSIの新たな応用が期待できる。

1. ま え が き

音声録音再生LSIは、手軽な小型の固体録音装置として、携帯情報機器をはじめ、AV機器、玩具等向けに広く使用されており、さらに、ラジオデータシステム、メモ録等へも応用されている。

従来、音声録音再生機能を実現するためには、音声録音再生LSIと音声データ格納用メモリLSIの2チップが必要であり、機器の小型化と低消費電力化への要求にマッチしなかった。さらに、メモリLSIとしてフラッシュメモリを使用すると、書き込み回数に制限があるため、常時録音を必要とする用途には不向きであった。

これらの問題を解決するために、SPA (Silicon Platform Architecture) を適用して、音声データ格納用メモリとしての2MbDRAMを1チップに集積し、3V単一電源で動作可能な録音再生LSI (MS87V1021) を開発した。本稿では、MS87V1021の概要について説明する。

2. ボイスリピータ機能

現在、携帯電話をはじめとして、音声録音・再生機能を備えた製品が出荷されている。それらのメモリとしては、不揮発性の観点からフラッシュメモリを使用していることが多い。しかし、フラッシュメモリは書き換え回数に制限 ($<10^4 \sim 10^6$) があるため、常時録音することは不可能であり、事前に録音を指示しておく必要がある。このため、聞き逃した音声を再度再生することは困難である。電話などの双方向情報伝達では聞き返すことも可能だが、ラジオ・テレビなどの片方向情報伝達では不可能である。

この録音媒体をフラッシュメモリからDRAMに置き換えることができれば、書き込み回数の制限はなくなり、新機能を実現することが可能になる。今回のLSI (MS87V1021) により実現した新機能を以下に説明する。

2.1 Delay再生モード

本モードは、現在の音声を録音すると同時に、決められた時間前の音声を再生する機能である。内蔵のDRAMをFIFO (First-In First-Out) として使用すること



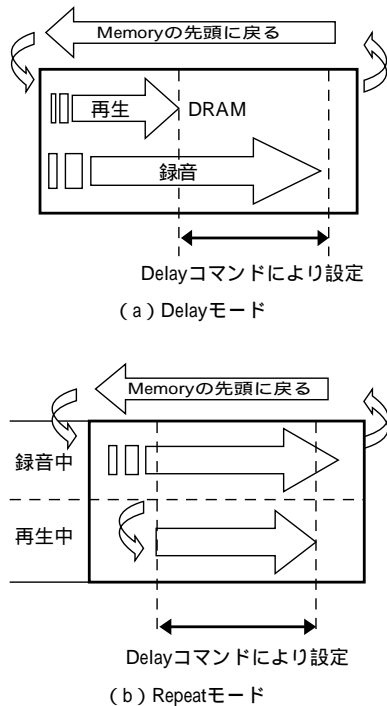


図1 ボイスリピータ機能
Fig. 1 Voice-repeater Function

により、この時間差に相当する音声データを記録している(図1.a)。これにより、何らかのイベントの発生する前の音声も含め、ある時間遅延した音声を連続的に再生することが可能になる。

2.2 Repeat再生モード

本モードは、聞き逃した音声を聞き返す時に有効な機能である。最初に、音声を内蔵のDRAMに常時録音するように設定しておく。コマンドにより、録音を停止し、録音されている音声データを再生する(図1.b)。通常のメモ録と異なり、過去にさかのぼって音声を再生可能である。再生を行う時間(過去にさかのぼる時間)はコマンドにより設定可能である。新たに早送り/巻き戻し再生機能をサポートしたことにより、テープレコードと同様な音声メッセージの検索が可能になっている。

どちらのモードでも、DRAMは常時書き込み状態で使用している。書き込み回数に制限のないDRAMを使用したために、実現可能になった機能である。これ以外に通常の録音・再生モードも用意している。これらのモードの切り替え・パラメータ等の設定には、コマンド方式を採用することとし、約30種類のコマンドを用意した。

3. MS87V1021の概要

本LSIは、符号化/復号化方式として、これまでに実績のある4bit OKI ADPCM (Adaptive Differential Pulse Code Modulation) 方式/4bit OKI ADPCM2方式を採用した。ADPCM方式は、構成が簡単な割に良い音質が得られる方式である。音声の録音・再生を目標としたため、サンプリング周波数は最大10.6kHzとした。これにより、高品質で長時間の録音・再生が可能になる。なお、ROM再生では、8ビット沖ノンリニアPCM方式も使用可能である。

DRAM/ROMに必要なとされる容量は、サンプリング周波数と録音・再生時間により決まる。各種の用途に適した容量を検討し、DRAM容量2Mbit、ROM容量512kbitに決定した。この容量で、録音時間約80秒($f_{sam}=6.4kHz$ 時)、ROM再生時間約20秒($f_{sam}=6.4kHz$ 時)が得られる。また、これらのDRAM/ROMはモジュール化することにより、容量の変更要求に対しても柔軟に対応可能なように設計した。

また、外部回路を少なくするために、A/D、D/Aコンバータ、ラインアンプのほか、低域通過フィルタも内蔵した。この結果、外部にスピーカアンプを用意するだけで、録音・再生が可能になっている。

前述した各種モード/パラメータの設定に対応するために、本LSIはマイコンインタフェースによるコマンド方式を採用した。このため、4bitマイクロコントローラ(MCU)を使用したインテリジェント構成になっている。ハードウェアによりADPCMの圧縮/伸長を行い、ソフトウェアによりコマンドの解析・実行、録

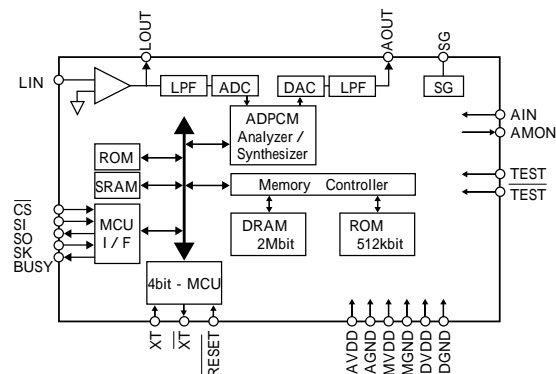


図2 MS87V1021のブロック図
Fig. 2 Block diagram of MS87V1021

音再生データの管理などを行っている。図2に本LSIのブロック図を示す。

4. MS87V1021の設計

本LSIはMCUを内蔵したシステムLSIであり、機能を実現するためのソフトウェアを含むため、ハードウェアの検証とソフトウェア開発用のボードを製作した。このボードは、MPUコア、DRAM、ROM、アナログ回路のほか、ADPCM処理部をFPGA(Field Programmable Gate Array)化して実装したものである。ソフトウェアの開発と平行して、DRAM、ROMなどのメモリIP、アナログ部の開発を行った。

本LSIの設計には、セルベース設計フローを適用した¹⁾。ADPCM部は従来設計の回路を再利用した。DRAM、ROM、マイクロコントローラはマクロセルとして、アナログ部はハードマクロとしてライブラリの登録を行い、チップ全体の機能確認と配置配線を行った。写真1に本LSIのレイアウト図を示す。

4.1 低消費電力化設計

携帯機器における電池での動作を想定すると、低電流化が必要になる。特に、スタンバイ電流の低減が重要である。このため、DRAM、ROMなどの回路を見直し、低電流化のために最適化を行った。さらに、パワーダウンモードを用意し、MCUを含めたロジック回路、アナログ回路をすべて非動作状態に移行できるよう回

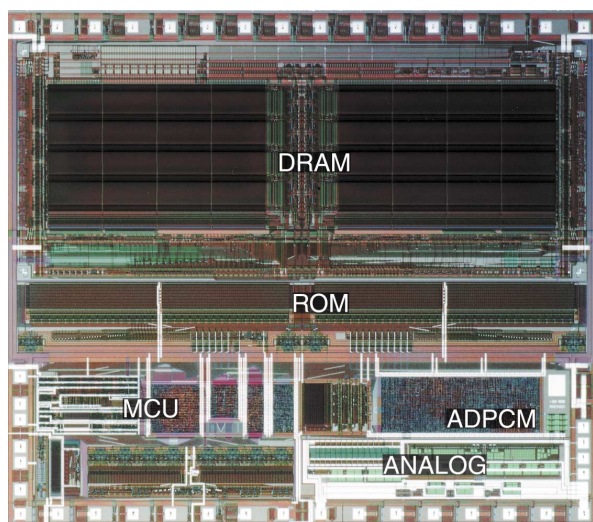


写真1 MS87V1021のレイアウト図
Photo 1 Layout of MS87V1021

表1 MS87V1021諸元
Table 1 Features of MS87V1021

項目	内容
音声分析合成方式	4bit OKI ADPCM方式 4bit OKI ADPCM2方式 8bit OKI ノンリニアPCM方式(ROM再生時のみ)
録音再生時間	約80秒 (fsam=6.4kHz時)
ROM再生時間	約20秒 (fsam=6.4kHz時)
内蔵音声データ用メモリ	2MbDRAM 512kbマスクROM
音声合成サンプリング周波数	4.0、5.3、6.4、8.0、10.6 kHz
アナログ回路	A/D、D/Aコンバータ内蔵 LPP内蔵(減衰率：-40dB/oct)
電源電圧	2.7V ~ 3.6V
パッケージ	32ピンTSOP(I)

路設計を行った。これにより、スタンバイ電流70μA以下を実現できた。パワーダウンモードからの復帰は、リセット信号により行う方式となっている。

パワーダウンモード時の消費電流の大部分は、DRAMのリフレッシュ電流である。DRAM中の音声データの消失を防ぐためにはリフレッシュが必要である。しかし、用途によっては、音声データが消失しても良い場合があり、その場合にはセルフリフレッシュを行わないように設定できるモードも用意した。この時のスタンバイ電流は40μA以下であり、リフレッシュ時(データ保持時)の約1/2に低減することが可能になった。

4.2 マスクROMの構成

本LSIでは、固定メッセージ用のデータROMと、内蔵のマイクロコントローラ用のプログラムROMを用意する必要がある。

高集積型のマスクROMセルとして、イオン注入による閾値電圧制御を利用したNAND型セルが広く使用されている。しかし、このセルは、デプレッションモードMOSFETの開発が必要になること、イオン注入の工程が追加されること、イオン注入図形のレイアウト上の余裕が必要でありセル縮小化に限界があること、などの問題があり、DRAM-ロジック混載プロセスへの適用は難しかった。

このため、本LSIでは、デプレッションモードMOSFETの代わりに、ゲート電極のない拡散層を使用した新構造のマスクROMセルを採用した。セルフアラインプロセスであれば、ゲート電極のないアクティブ領域は拡散層となる。これはゲート電圧を印可しない時にドレイン電流が流れるデプレッションモードMOSFETと同じ機能を持つから、マスクROMの記憶

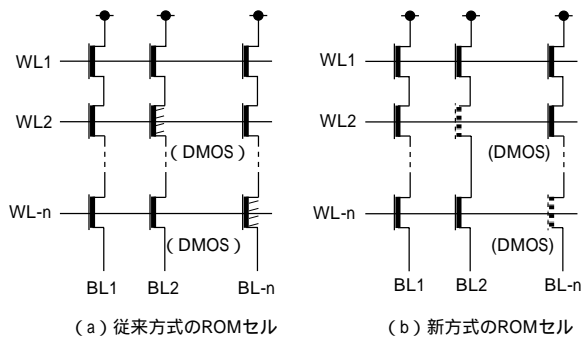


図3 新構造ROMセルの構成
Fig. 3 Novel Mask-ROM Structure

素子として使用可能である。この新セルでは、閾値電圧制御のイオン注入工程を追加する必要がない。またマスクの合せ余裕を見込む必要がないためROMセルサイズを約10%縮小することができ、チップサイズの縮小に効果があった。

4.3 混載LSIのテスト方法

本LSIは、DRAM/ROMを内蔵しているため、テストが複雑になることが予想された。内蔵のMCUによるセルフテストの可能性も検討したが、MCUまたはプログラムROMが正常に動作しない場合、テストが正常に終了しない、命令実行速度の点からテスト時間が長くなる、という問題があることが分かった。

このため、外部端子としてテスト端子を用意し、このテスト端子よりアドレスとデータを時分割で入力することにより、内部のメモリをアクセスできるよう機能設計を行った。この結果、メモリ部のテストに通常メモリテストを使用することが可能になり、テスト時間を実用的な時間に収めることができた。なお、誤動作などによるテストモードへの移行を考慮し、テ

ストモードに入るためには特殊な信号シーケンスが必要となるように設計している。

また、アナログ部を含めた音声帯域におけるテストを従来から使用しているメモリテストにより実行可能にするため、テスト時に外部にアナログ測定用回路を付加した。アナログ信号の入出力特性や周波数特性を測定するためには、一般的には正弦波発生器と交流電圧計が必要である。このため、正弦波発生器の代わりにDAコンバータを、交流電圧計の代わりに交流-直流変換器を付加している。DAコンバータにより発生した疑似正弦波を本LSIに入力し、出力されるアナログ交流信号をRMS変換器により直流電圧に変換してテストへの入力とする。これにより、高価なアナログテストを使用することなく、アナログ回路を含めた特性評価が可能になり、テストコストの低減が実現できた。

5. あ と が き

DRAMを1チップに混載した録音・再生LSIを開発した。記録メモリとして書き込み回数に制限のないDRAMを採用し、Delay再生/Repeat再生などの新機能の実動作を確認した。

今後、本LSIに内蔵されているマスクROM、DRAMそれぞれの容量を変えた製品を開発し、ファミリ展開を行う予定である。DRAMの容量8 Mbの場合、最大約8分($f_{\text{samp}}=4.0\text{kHz}$ 時)の録音時間が得られることになり、ラジオデータシステムなどへの展開が期待できる。

6. 参 考 文 献

- 1) 加藤, 他: DRAM/ロジック混載LSI, 沖電気研究開発第180号, Vol.66, No.1, pp.21~24, 1999