

# 高度自動運転技術開発向け 評価プラットフォーム

浅井 順一郎 青木 昌史

高度運転自動化システムの開発支援に取り組んでいる、OKIアイディエス(以下、当社)は、事故などの可能性を事前に検知し回避する先進運転支援システム(Advanced Driver Assistance System、以下、ADAS)に対して、サラウンドビューシステムの一つのアプリケーションであるフライングカメラシステム<sup>1)</sup>を中心にFPGAを活用したソリューションを提供してきた。

自動車や移動サービスなどの業界では、高速道路での高度運転自動化の実用化の目処を2020年代前半に立てようとしている。これが実現することにより、将来、高速道路での居眠り運転や交通事故などの減少につながるものと期待されている。

市場からはADASと自動運転(Autonomous Driving、以下、AD)の開発評価をひとつのプラットフォームで実現したいという要望があり、本稿では、当社が半導体技術商社大手であるアヴネット株式会社(以下、アヴネット)と共同開発した高度自動運転技術開発向け評価プラットフォーム(アヴネット製品名:UltraZ AD)について紹介する。

## 自動運転の定義と開発環境

自動運転レベルの定義は、アメリカのSAEインターナショナルが定めた「SAE J3016」が使われ、2017年6月現在、レベル0からレベル5までが定められている。表1は「国土交通省の官民 ITS 構想・ロードマップ 2017」<sup>2)</sup>で示されている自動運転のレベルで、レベル0は自動運転装備が全くない通常の自動車、レベル5になると自動車がシステムによって自律的に走行するものとしている。自動車の運転を人間が判断して行うか、システムが判断するかのバランスによりレベルを定義している。

レベル2までは人が介入することによる危険回避を想定し、物体認識を中心としたADASのための画像処理(物体認識と識別)が主体であった。例えば、レーンキープや自動緊急ブレーキ、緊急ステアアシストなどの先進運転システムと言われるもの、そして障害物マッピングや物体追跡などの自動運転を支援するものなどである。レベル3以上になると自動運転システム側に重きが置かれること

になり、物体認識や識別だけではなく自動車周辺の空間認識や経路探索の処理などの協調が不可欠になる。

表1 自動運転レベルの定義

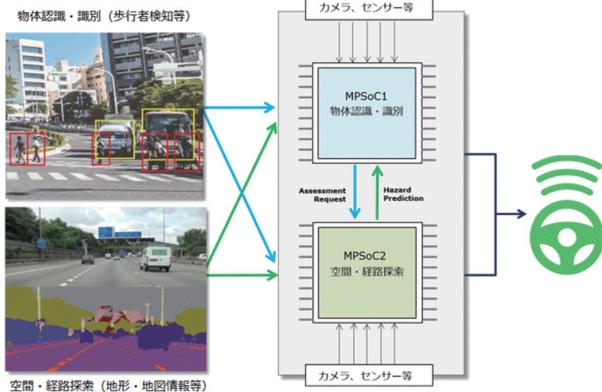
| レベル                   | 概要                                                                    | 安全運転に係る監視、対応主体           |
|-----------------------|-----------------------------------------------------------------------|--------------------------|
| 運転者が全てあるいは一部の運転タスクを実施 |                                                                       |                          |
| SAE レベル0<br>運転自動化なし   | 運転者が全ての運転タスクを実施                                                       | 運転者                      |
| SAE レベル1<br>運転支援      | システムが前後・左右のいずれかの車両制御に係る運転タスクのサブタスクを実施                                 | 運転者                      |
| SAE レベル2<br>部分運転自動化   | システムが前後・左右の両方の車両制御に係る運転タスクのサブタスクを実施                                   | 運転者                      |
| 自動運転システムが全ての運転タスクを実施  |                                                                       |                          |
| SAE レベル3<br>条件付運転自動化  | システムが全ての運転タスクを実施(限定領域内)作動継続が困難な場合の運転者は、システムの介入要求等に対して、適切に応答することが期待される | システム<br>(作動継続が困難な場合は運転者) |
| SAE レベル4<br>高度運転自動化   | システムが全ての運転タスクを実施(限定領域内)作動継続が困難な場合、利用者が応答することは期待されない                   | システム                     |
| SAE レベル5<br>完全運転自動化   | システムが全ての運転タスクを実施(限定領域内ではない)作動継続が困難な場合、利用者が5が応答することは期待されない             | システム                     |

## 開発コンセプト

図1は、評価プラットフォームのコンセプトを示したものである。業界からは、ADASとADの効率的な開発環境を求められ、物体認識の画像処理と、画像処理結果から空間や経路探索の最適化をするAI処理を同時に処理可能な本評価プラットフォームは、この市場要求に応えたものである。

当社は、「ADをADASの単純延長でないこと」、「コンパクト設計」というコンセプトの元、自動運転 レベル4-5の技術開発に必要な評価プラットフォームを以下の視点で検討した。

- ADASとADに配慮したアーキテクチャーの採用
- 高速道路での自動運転に必要とされる高解像度カメラが接続可能で、かつ、画像処理とAI処理のコアとなる部分に配慮した設計
- 将来の車載を意識し、バッテリーからの電源供給に耐え、小面積の評価プラットフォームの実現



※ 空間・経路探索：出典元 University of Cambridge

図1 評価プラットフォームのコンセプト

## 評価プラットフォームの目標

前述の開発コンセプトに従い、本評価プラットフォームの開発目標を以下のとおりとした。

- 画像処理と、その画像処理結果からAI処理を同時に処理可能なよう低消費電力なFPGAを2つ搭載する。
- 高速道路で安全に停止するために必要とされる約800メートル先の障害物情報が検知可能な前方監視用8メガピクセルの高精細カメラを3台接続可能とする。
- 車載バッテリー規格電圧と同じ12ボルト稼働とし、2つのFPGAは完全に独立したシステム電源を持たせ、これを外付けのASIL-Dマイコンで監視することで、故障時には故障したデバイスを安全に停止させて、通常の運転は継続可能にする。
- 実車での検証の利便性を考え乗車空間に搭載可能なA4サイズとする。

## 評価プラットフォームのシステム構成

評価プラットフォームを開発するために、使用環境を想定して車載向けインターフェースや開発用のインターフェースにも配慮した設計とした。

表2に、前述の目標に従い開発した評価プラットフォームの仕様概要を示す。

本評価プラットフォームは、開発規模に合わせて2種類のFPGAが選択でき、PCIe Gen3.0 4レーンを初めとする各種高速データ転送が可能なインターフェースを装備している。また、拡張入出力ポートにはFPGA及び組込み制御ボードの機能拡張用のPmodを装備する。

表2 評価プラットフォームの仕様概要

|                        |                                                                                   |
|------------------------|-----------------------------------------------------------------------------------|
| <b>演算部 (FPGA)</b>      | XCZU11EG x2またはXCZU7EV x2                                                          |
| <b>メモリ</b>             |                                                                                   |
| DDR4 SDRAM             | ARM <sup>(1)</sup> side: 64bit ECC 2,400Mbps<br>FPGA side: 32bit 2,400Mbps x2ch   |
| QSPI Flash             | 512Mb x2                                                                          |
| Micro SD               | SD3.0                                                                             |
| <b>周辺インターフェース</b>      |                                                                                   |
| PCIe                   | RootComplex Gen3.0 x4 Lane                                                        |
| USB 3.0                | Host/Device MicroAB                                                               |
| Ethernet               | ARM side: 10/100/1000Mbps<br>FPGA side: 10/100/1000Mbps x2ch<br>(Ethernet TSN対応可) |
| CAN2.0B                | +5V x2ch                                                                          |
| HDMI <sup>(2)</sup>    | 1.4 OUTPUT TypeA x 2ch                                                            |
| USB UART               | USB2.0 Full-Speed Device MicroB                                                   |
| <b>拡張入出力ポート</b>        |                                                                                   |
| FMC                    | HPC (144 user I/O) x 2ch                                                          |
| Pmod(2x6)              | FPGA side: (User IO x3)                                                           |
| <b>MPSoC間のインターフェース</b> |                                                                                   |
| GTH                    | Rx: 3ch, Tx: 3ch                                                                  |
| LVDS                   | Tx/Rx Data, CS, CLK: 6 pair x1                                                    |
| <b>電源制御及び機能安全</b>      |                                                                                   |
| MCU                    | TC297TX128F300SBB (ASIL-D)                                                        |
| ECU I/F                | CAN2.0B x4ch                                                                      |
| PMIC                   | MAX20025他                                                                         |
| <b>寸法</b>              |                                                                                   |
| 幅x長さx高さ                | 210mm x 297mm x 50mm 以下                                                           |

## 目標実現のための技術的な課題と対応

図2は、本評価プラットフォームのシステムブロックを示したものである。

### (1) ザイリンクス社の最新FPGAの採用

車載を考慮し、消費電力をARMとGPUで構成されるプラットフォーム対比5分の1以下に抑えながら、同等処理速度を持つFPGAとARMコアから構成されるザイリンクス社製最新デバイス「Zynq® UltraScale+™MPSoC」\*3) (以下、MPSoC) を2個搭載するアーキテクチャーを採用した。

また、ザイリンクス社との連携により、最新の高性能MPSoCで車載電子システムの機能安全要求レベルASIL-Cに対応した製品提供を受け、機能の陳腐化を防ぎ、長期に渡って使用できる先進的な評価プラットフォームの提供が可能となった。

MPSoC2つを搭載し、用途に応じてハードウェアの機能構成を変更可能にしたので、処理の高速化が期待できる。MPSoCのARMとFPGAの組合せは、高速な画像処理とカメラなどの車載デバイスから取得した情報から、ディープラーニングなどのAI手法を用いて道路や周辺状況をリアルタイムに認識可能な車の知覚技術を比較的容易に構築することが可能である。

1つ目のMPSoCで、多数のセンサー情報を処理して人物、車両、障害物などの物体検出や識別を行い、2つ目のMPSoCで、地図データ、地形情報、風景情報などから空間認識や経路探索を行う。

\*1)「ARM」は、ARM Ltd.の登録商標です。 \*2)「HDMI」は、HDMI Licensing LLCの商標です。 \*3)「Zynq® UltraScale+™MPSoC」は、ザイリンクス株式会社の商標及び登録商標です。

## (2) メガピクセル高精細カメラ 3台の接続

高解像度カメラの採用は、大量の画像データの高速転送とリアルタイム処理性が要求されるため、転送品質の安定性が課題となる。

自動車に搭載されるカメラは車両の前後左右の各所に搭載され、画像の処理ユニットは車両中央部に配置される。このとき画像データの伝送路は、乗用車で数メートル、トラックでは十数メートルに及び、カメラと画像処理ユニット間のデータを安定して転送するために、SerDes（送信側：シリアライザー、受信側：デシリアライザー）を使用したシリアル伝送方式が採用されている。SerDesはカメラメーカーや半導体メーカーが独自に仕様を策定し開発しているため統一された規格や互換性がなく、さまざまなSerDesに対応する必要があった。本評価プラットフォームは、さまざまなSerDesに対応できるように図3に示す外部拡張基板（FMC）でカメラインターフェースを実現することでこの課題を解決した。

また、8メガピクセルの高精細カメラのデータ転送には6Gbpsの帯域が必要となるため、デシリアライザーとMPSoC間のデータの受渡しは従来のCMOSパラレルインターフェースで実現するのは困難であった。

本評価プラットフォームは、MIPI<sup>\*4</sup>やOpenLDIといった高速差動インターフェースを採用することで課題を解決した。

回路設計では、MIPIやOpenLDIを使用するためのMPSoCの制約（端子割り当て、電圧、クロック供給）と、信号品質を保障するための配線（基板レイアウト、配線インピーダンス、配線長、ルート）の最適化と、周辺入出力回路とのバランスに配慮した。

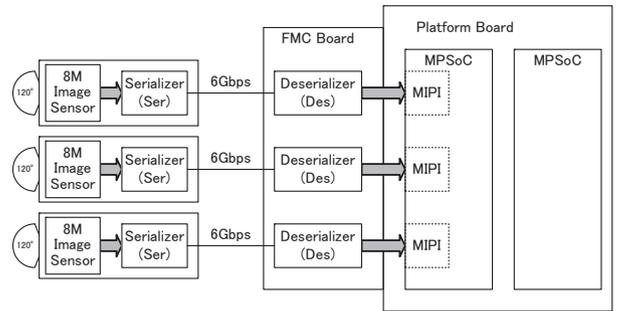


図3 カメラインターフェース・ブロック図

## (3) 車載電源及び機能安全の実現

本評価プラットフォームの入力電源構成を図2の電源制御部に示す。

本評価プラットフォーム電源に使用する自動車のバッテリー電圧は公称12Vである。しかし、エンジン始動時には電圧が低下し、エンジンがかかっているときには電圧が上昇し瞬間的な高電圧がかかることもあるため、大きな入力電圧変動に対応しなければならないという課題があった。

この課題の解決のため、車載電源ICで定評のあるマキシム社の協力を得て、3.5V~36Vという広範囲な入力電圧に対応し、かつ、瞬間的な電圧変動にも強い電源回路を開発した。

また、安全性向上のために2つのMPSoCの電源を完全に独立させ、機能安全を評価可能な仕組みが必要であった。2つのMPSoCと周辺回路の電源を監視・制御するためにASIL-D対応のMCUを採用し、故障時には故障したデ

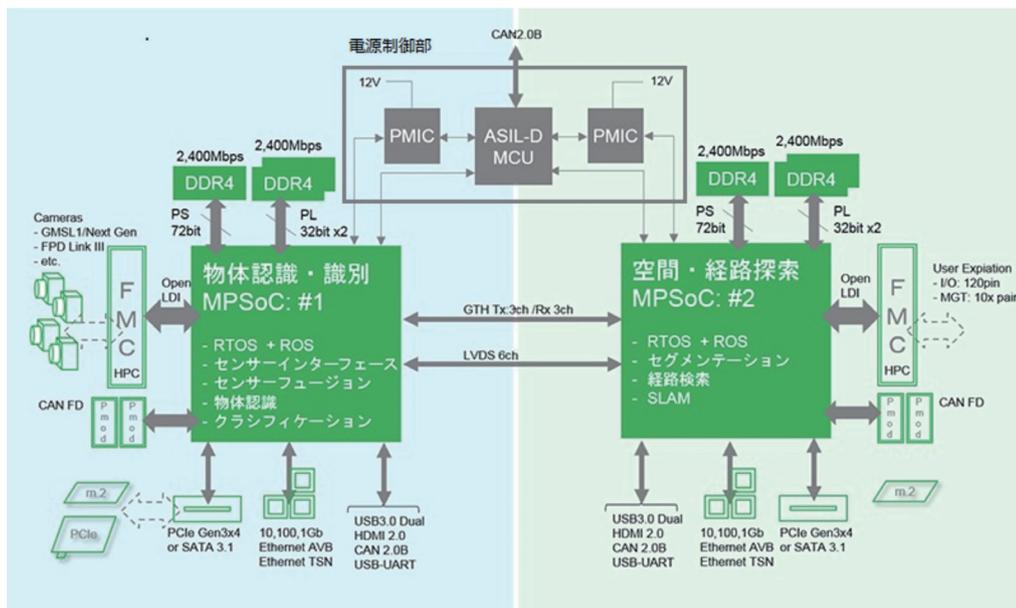


図2 評価プラットフォームのシステムブロック図<sup>3)</sup>

\*4) [MIPI]は、MIPI Alliance, Inc.の商標です。

バスのみを安全に停止させ、正常なデバイスは動作継続が可能な設計とした。

#### (4) A4サイズの実現

写真1は、開発した本評価プラットフォームである。

A4サイズを実現するためには、電源回路の小型化の検討が最も困難であった。車載を考慮しながらの電源回路設計は、最新の高集積PMIC (Power Management IC) を採用することで、14種の電源を従来比1/2以下の25mm四方の面積で実現できた。また、小型化に伴う配線効率や電源の安定性の低下の課題は、配線パターンのシミュレーションで解析・検証を行い、配線の最適化を図った。

A4サイズの基板に実装するために20層ビルドアップ高多層基板を採用し、高密度実装で難易度の高い製造であったが、開発から製造までワンストップ対応できるOKI EMS(電子機器受託生産サービス) グループの強みを活かし、基板製造をOKIサーキットテクノロジー、基板実装をOKIコミュニケーションシステムズに依頼し、短期間で製造を完了できた。

また、部品供給は、アヴネットをはじめとして多くのサプライヤーから全面的に支援を受けた。



写真1 評価プラットフォーム

#### 今後の展開

今回開発した評価プラットフォームは、高速画像処理をはじめとする高性能なデータ処理や記憶回路、及び多様な入出力インターフェースのサポートを可能とすることで、拡張機能の追加に十分対応可能な処理性能と容量を持っている。

本評価プラットフォームを使うことで、高度自動運転技術開発者は、ひとつのプラットフォーム上でAIシステムと連携させ、かつ、効率的に他の評価システムとの性能比較も可能になる。現在、本評価プラットフォームにリアルタイムOSやロボットOSなどの組み合わせも検討されて、その応用範囲の拡大が期待される。

当社は、自動車市場での、自社の強みであるFPGA開発ノウハウを生かし、ADASそしてADに最適なデザインサービスを市場に引続き提供していく。◆◆

#### 参考文献

- 1) 田村善康：FPGAを用いたフライングカメラシステムのプラットフォーム、OKIテクニカルレビュー230号、Vol.84、No.2、pp.46-49、2017年12月
- 2) 首相官邸ホームページ「官民 ITS 構想・ロードマップ2017」より抜粋<https://www.kantei.go.jp/jp/singi/it2/kettei/pdf/20170530/roadmap.pdf>
- 3) AVNET UltraZ AD Information：高度自動運転技術開発向けプラットフォーム UltraZ AD [https://www.avnet.co.jp/kits/avnet/UltraZ\\_AD.aspx](https://www.avnet.co.jp/kits/avnet/UltraZ_AD.aspx)

#### 筆者紹介

浅井順一郎：Junichiro Asai. 株式会社OKIアイディエス 開発部

青木昌史：Masashi Aoki. 株式会社OKIアイディエス 開発部

## TIP 【基本用語解説】

#### 移動サービス

移動に困難を伴う人などに対して、車両を使って外出を支援するサービス。

**ASIL-C/D(Automotive Safety Integrity Level-C/D)**  
ISO26262規格で定められた機能安全レベルの規格。

**FPGA(Field Programmable Gate Array)**  
ユーザーが自由にプログラミング可能な集積回路。

**Pmod**  
Digilentが定める「Pmod」規格のインターフェース。

**FMC(FPGA Mezzanine Card)**  
FPGAが実装された基板のための、主に入出力拡張を行うANSI規格に基づいた規格。

**MIPI(Mobile Industry Processor Interface)**  
MIPI Alliance, Inc.が策定したシリアル通信インターフェース規格。

**OpenLDI(Open LVDS Display Interface)**  
数100Mビット/秒の信号伝送を実現するためのデジタル伝送規格の1つ。