

超低消費電力FD-SOIの現状と展望

谷 幸一
内山 章

クマール・アニール 堂前 泰宏
井田 次郎

我々は早くから低消費電力化に有効な完全空乏型SOI (Fully Depleted Silicon On Insulator : FD-SOI) デバイスに着目しデバイス開発を行ってきた。その結果、従来製品に比べ大幅な低消費電力化を実現した時計用マイコンや検波LSIなどの製品に繋がった^{1) 2)}。しかし近年の携帯情報端末機器の爆発的な普及と共にそのシステムは高速化、多機能化してきている。その一方、これら端末機器はそのほとんどがバッテリー駆動であるため搭載されるLSIへの低消費電力化の要求はさらに強くなっている。

本稿では、超低消費電力LSIの必要性を述べ、それに向けたFD-SOIデバイス、回路の開発状況および今後の展望について述べる。

超低消費電力LSIの必要性

図1は動作時消費電力と待機時リーク電流を各LSI用途別に示したイメージ図である。Mobile PCなどに適用されるLow Operation Power向けLSIや、携帯端末機器などに適用されるLow Stand-by Power向けLSIのほとんどは、高機能を維持しつつバッテリーで駆動することができる。しかし、健康管理を目的とした次世代リストプロダクト、防犯・防災やビルオートメーションなどに適用されるワイヤレスセンサネットワーク、次世代キーシステムなどの場合、電源供給にコイン電池や太陽電池(製

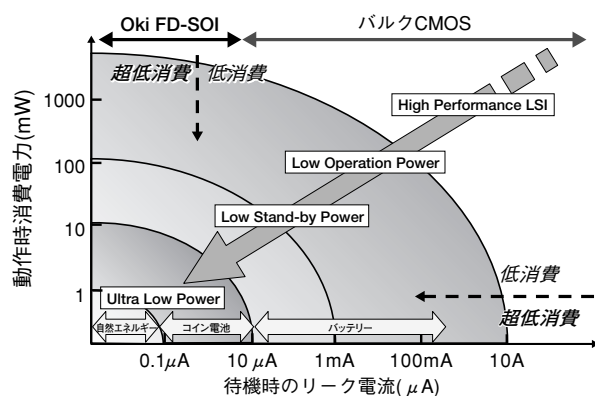


図1 動作時消費電力と待機時リーク電流の関係を示したイメージ図

品によっては二次電池と併せて使用している)が使用される。これらシステムは小型化、低コスト化の要求からできるだけ小さいサイズ、すなわち電池容量の少ないものにせざるを得ない。そのためLSIはUltra Low Powerの領域、つまり超低消費電力駆動で超低待機時リーク電流が必要となる。さらに究極は振動他の自然エネルギーを利用する場合、100 μW以下で駆動するLSIが必要となってくる³⁾。

コイン電池を使用したときの駆動可能期間を、センサネットワークに適用した場合を例に計算した結果を図2に示す。図2は1分間に30msだけ無線通信した場合⁴⁾の、LSIの各コイン電池容量での駆動可能時間を示している。消費電流20mAのLSI A (待機時リーク電流2 μA) では、1000mAhのコイン電池を用いても約1年間しか駆動しないことがわかる。それに対し、消費電流を1mAとしたLSI B, Cの場合には駆動可能期間は5年以上となり、さらに駆動期間を延ばすには、LSI Cに示すように動作時消費電流だけでなく、待機時リーク電流も下げる必要がある。このような観点から我々は、Ultra Low Power領域で使用で

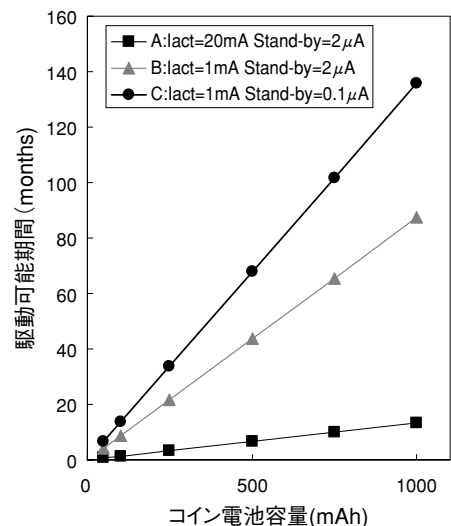


図2 コイン電池を使用し1分間に30ms通信を行った時のLSI駆動可能期間 (コイン電池は年間3%自然放電により容量が減少すると仮定)

きるLSIの消費電流を1mA、またそのLSIの待機時リーク電流を0.1 μ Aと位置付け、超低消費電力LSIを実現するため、FD-SOIのデバイス、またその特徴を引き出す回路技術の開発を進めている

超低消費電力LSI実現に向けた取り組み

FD-SOIは通常のBulk-Siに比べ、優れた特性を有している。表1にBulk-SiとFD-SOIの比較を示す。FD-SOIのメリットは接合容量（ソース・ドレインと基板間の容量）が極めて小さい、ラッチアップが発生しない、基板バイアス効果が発生しない、サブスレショルド特性が良好というメリットを持っている。デメリットとしては、ソース・ドレイン耐圧の低さとSelf-Heating効果が高い点が挙げられる²⁾。超低消費電力化に向けて、これらFD-SOIのメリットをLogic、Analog、RF回路の視点から検討した。

表1 FD-SOIとBulk-Siの比較

	Bulk-Si	FD-SOI
接合容量 (バルクを1とした相対値)	1	0.1
サブスレショルド特性 (S値)	80~90mV/dec	60~70mV/dec
ソース・ドレイン耐圧	良好	低い
ラッチアップ	対策必要	発生しない
基板バイアス効果	発生する	発生しない
Self-Heating効果	低い	高い
gm/Ids	低い	高い
Depletion型MOS Tr	複雑	容易

Logic回路を低消費化する上で有効な手段として、式(1)に示したように電源電圧を下げることで、負荷容量を下げることである。ここでfは動作周波数、CLは負荷容量、

$$P = f \cdot C_L \cdot V_{dd}^2 \quad \text{--- (1)}$$

V_{dd}は、電源電圧である。表1で示したように急峻なサブスレショルド特性を有しておりその値は理想値となる(図3に実測値を示す)。これは、FD-SOIのみの特徴で、Bulk-Siでも出せない特性である。よって、低オフリークを維持しつつ、しきい値電圧 (V_t) を下げられる。つまり低電圧駆動が可能である。またFD-SOIは低寄生容量であることから¹⁾、FD-SOIを用いるだけで負荷容量が低減でき、低消費電力化を容易に実現できる。さらに基板バイアス効果がないことも低消費電力化に有効である⁵⁾。縦積み論理回路を構成した場合でも、V_t値の変動がないため、スピード低下がなく低電圧動作でもマージンが広がる。図4に示すようにBulk-Siでは実現不可能な低電圧での動作が可能となる。

Analog回路の低消費化には、低電圧駆動でいかにダイ

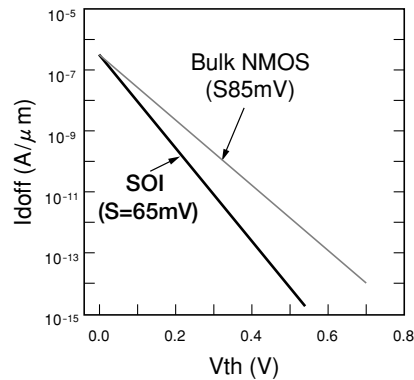


図3 Bulk-SiとFD-SOIトランジスタのしきい値電圧とオフリーク電流の関係

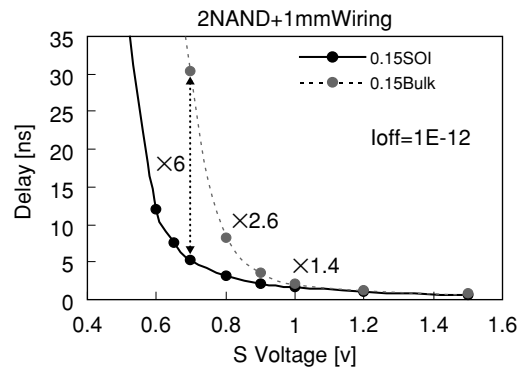


図4 2NAND回路のFD-SOIとBulk-Siでの電源電圧と遅延時間のSimulation結果

ナミックレンジを確保できるかがキーとなる。図5に示すオペアンプ (Operational Amplifier) を例に説明する。図に示すようにトランジスタが3段直列に接続されているため、このオペアンプを駆動させるには、各々のトランジスタのV_t×3以上のV_{dd}が必要となる。そのため、低電圧駆動させるにはV_tを下げる必要があるが、Bulk-SiではV_tを下げるとオフリークも増大してしまうため、容易にV_tを下げる事ができないという問題がある。しかし、FD-SOIは先に述べたようにサブスレショルド特性が急峻であること、また基板バイスによるV_t変動がないことから、V_tを下げて低電圧で安定した動作が得られ、十分なダ

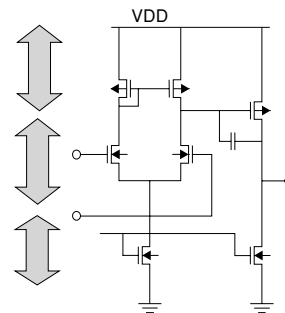


図5 代表的なOperational Amplifier回路⁶⁾

イナミックレンジを持たせられる。

低消費化する上で、オペアンプの増幅率を確保することも重要である。オペアンプの増幅率 (A_0) を式で表すと (2) 式のようになる⁷⁾。

$$A_0 = \frac{g_m}{I_d} V_{ea} \quad (2)$$

ここで g_m はドレインコンダクタンス、 I_d はドレイン電流、 V_{ea} はアーリー電圧をそれぞれ示す。図6に g_m/I_d の規格化したドレイン電流依存を示す⁷⁾。Bulk-Si に比べ、同じドレイン電流で g_m/I_d の比率が大きくなり、その結果増幅率も高くなる。つまり、Bulk-Si と同じ増幅率をより低い電流で実現することが可能である。

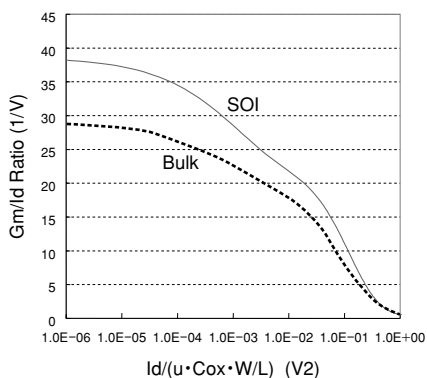


図6 g_m/I_d Ratioのドレイン電流依存
(—: FD-SOI, ---: Bulk-Si)

ダイナミックレンジを確保する上で重要なパラメータのとして $1/f$ ノイズやクロストークノイズがある。これは低電圧動作に十分な S/N 比が得られないなど誤動作などの問題になる。図7に $1/f$ ノイズの周波数依存を示す。図中◆のBulk-Siに比べ■で示したFD-SOIを用いた場合 $1/f$ が低くなっていることがわかる。特に、▲で示したFD-SOIを用いたDepletion型MOSの場合 $1/f$ ノイズは1桁以上低くすることが可能である。

またクロストークノイズについては、Bulk-Si基板の場合、デジタル部で発生したノイズは基板を介しアナログブロックへ回り込み(基板伝搬ノイズ)、これが影響して誤動作の原因となる場合がある。そのため設計者は、Analog部の回路動作マージン(ノイズマージンなど)を多めに設定する(電源電圧を高くする。つまり消費電力増大)か、チップ上でデジタル部とアナログ部の距離を離す等の工夫をする必要がある。それに対しSOI基板では、基板とデバイスがBox酸化膜により完全に分離されているため、基板伝播ノイズを低減できる特徴を持つ。実際に試作評価した結果Bulk-Siのwell Isolationに比べ20~40dB低減できた⁵⁾。

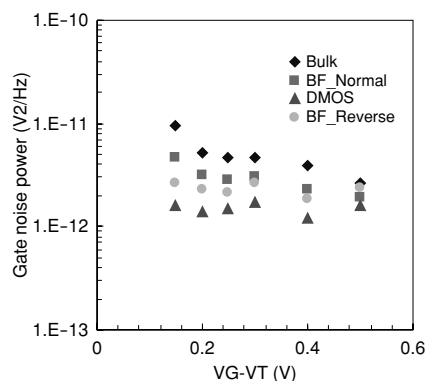


図7 各デバイスの $1/f$ ノイズの周波数依存

最後に高周波特性において検討した結果を示す。一般に高周波回路を低消費化するために有効な手段はPassive素子(インダクタ、容量)のQ値を高くすることである。その一つとして支持基板を高抵抗化する方法がある。SOIの場合、製造工程を変えることなく支持基板を容易に高抵抗化することが可能である。そこで高抵抗基板を用いた高周波回路、特に低消費化が必要なLow Noise Amp. (LNA) およびVoltage Controlled Oscillator (VCO) 回路で検討した。図8にソース接地型LNAを示す。このLNAの増幅率は一般的に (3) 式のように表される^{8) 9)}。

$$Gain \cong \frac{2}{\sqrt{1 + (C_{gs1} \cdot R_s \cdot \omega_0)^2}} \times \left(g_m \cdot \frac{(L_3 \cdot \omega_0)^2}{R_{L3}} \right) \quad (3)$$

ここで C_{gs1} は Tr のオーバーラップ容量、 R_s は 50Ω 、 ω_0 は動作周波数、 g_m はドレインコンダクタンス、 L_3 はインダクタ L_3 のインダクタンス、 R_{L3} はインダクタ L_3 の抵抗成分を表している。この式で

$$2 / \sqrt{1 + (C_{gs1} \cdot R_s \cdot \omega_0)^2} \times g_m$$

部分に注目するとLNAの増幅率をあげるには Tr の g_m を大きくすること、 C_{gs1} を小さくすることが重要であることがわかる。 g_m については先に述べたようにより低電流で大きな増幅率を得ることができることがわかっている。 C_{gs1} についてはデバイス構造依存する。そのため現在低消費化に最適なデバイス構造を開発しているところである。また、高い増幅率を得るためには (3) 式の後項

$$g_m \cdot (L_3 \cdot \omega_0)^2 / R_{L3}$$

で示される L_3/R_{L3} 、すなわちインダクタ L_3 のQ値 (Quality Factor) が関係しており、高抵抗基板を用いることでQ値が高くなり同じ電流でもより高い増幅率が得られる。これらの効果を検証するため図8で示した回路を試作した結果、 $V_{dd} = 1V$ で $1.47mA$ (@ $2.4GHz$)、 $Gain = 14.7dB$ / $NF = 1.776dB$ と低消費電流で高増幅率を得ることができた。

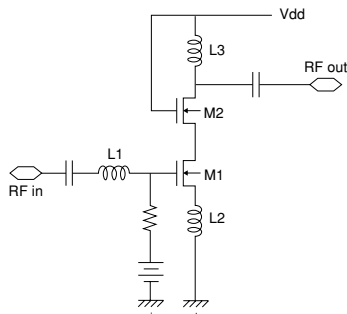


図8 今回検討したソース接地型LNA回路図

高いQ値のインダクタが使えることは他の高周波回路、特にVCOやPA (Power Amp.) などでも低消費化を実現するために有効である。実際にVCOを試作した結果を図9に示す。図9a) は試作に用いたVCO回路図、図9b) は試作したVCOの発振周波数のVcont依存および発振信号強度を示している。図中赤で示した特性は高抵抗SOI基板(1kΩ)を用いた場合、青は通常SOI基板(10Ω)を用いた場合の特性を示す。通常基板を用いた場合は0.2V以上で未発振であった。一方、高抵抗基板を用いた場合インダクタの特性が良くなる(Q値高)ため、Vdd=1.0Vでも高発振信号レベルを得ることができ、動作電流を1/2以下の1.5mA(中心周波数2.4GHz)とより低消費でVCOを動作させることができた。

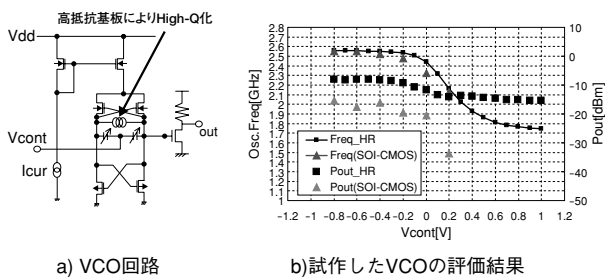


図9 VCO試作結果 (Vddは1V)

今後の展望

以上説明した通り、FD-SOIはLogic、RF/Analog回路いずれにおいても低消費電力化に非常に有効であることがわかった。ロジック、アナログ、RFの各要素回路での低消費化の効果を述べたが、我々が目標としている超低消費電力LSI(消費電流1mA、待機時リーク電流0.1μA)を実現するにはさらに低消費化する必要がある、単純にSOIの特徴を用いただけでは実現不可能である。そのためには通常のデバイス設計ではなく、ロジック、RF、アナログ性能を高めさらに最適化する必要がある。また従来

の回路構成ではなく、FD-SOIの特徴を最大限に引き出す回路技術開発を進める必要がある。たとえば縦積み構成による電流再利用方式、パッシブミキサーなどを利用したパッシブ方式などがある。従来の回路方式にとらわれず斬新なアイデアを取り込み、さらにFD-SOIの特徴を引き出すアーキテクチャ、回路構成を追及し回路、デバイスで一体となり超低消費電力技術を目指す必要がある。

今後も引き続きFD-SOIのデバイス、回路開発を進め、超低消費電力アプリケーションに向けBulk-Si技術などの技術では得られない超低消費電力向けFD-SOI用のプラットフォームを開発していきたいと考えている。 ◆◆

参考文献

- 1) F. Ichikawa: "Fully Depleted SOI Technology for Ultra Low Power Application", SSDM, p.230, 2004
- 2) 長友良樹: 低消費電力 完全空乏型SOIデバイス開発のあゆみ, 沖テクニカルレビュー196号, Vol.70 No.4, pp.112-117, 2003年10月
- 3) "A study of low level vibrations as a power source for wireless sensor nodes", Computer Communications, pp.1131-1144
- 4) 鄭立: "ZigBee開発ハンドブック", リックテレコム社, 2006年
- 5) A. Uchiyama: "Fully Depleted SOI Technology for Ultra Low Power Digital and RF Applications", IEEE SOI Conference, p.15, 2006
- 6) D. Flandre: "SOI CMOS TRANSISTORS FOR RF AND MICROWAVE APPLICATIONS", International Journal of High Speed Electronics and Systems, p.1159, 2001
- 7) E.A.Vittos: "Low Power design ways to approach the limits", IEEE ISSCC, p.14, 1994
- 8) D.K. Shaeffer: "A 1.5-V, 1.5-GHz CMOS Low Noise Amplifier", JSSC, p.745, 1997
- 9) Yo-Chuol Ho: "4- and 13-GHz Tuned Amplifiers Implemented in a 0.1μm CMOS Technology on SOI, SOS, and Bulk Substrates", JSSC, p.2066, 1998

筆者紹介

- 谷幸一: Koichi Tani. 半導体ビジネスグループ 研究本部 研究第一部 SOI研究第二チーム
- クマール アニール: Anil Kumar. 半導体ビジネスグループ 研究本部 研究第一部 SOI研究第一チーム
- 堂前泰宏: Yasuhiro Domae. 半導体ビジネスグループ 研究本部 研究第一部 SOI研究第一チーム
- 内山章: Akira Uchiyama. 半導体ビジネスグループ 研究本部 研究第一部
- 井田次郎: Jiro Ida. 半導体ビジネスグループ 研究本部 研究第一部