



民生用途に最適な高バンド幅メモリ

佐久間 信三

汎用DRAMは主要用途のPCの高性能化に伴い、大容量化・高速化が要求され続けている。したがって、市場で入手可能なDRAM商品もPC用途からの要求を満足する仕様のDRAMが主流となっている。一方、PC用途以外の民生用途等では、DRAMに要求される仕様は異なることが多いにもかかわらず、主流である上記仕様のDRAMを使用せざるを得ない状況がある。今回、民生用途に特化し最適化した32Mbit SDR SDRAMを開発した。

民生用途DRAMへの要求

PC用途DRAMと民生用途DRAMに要求される仕様の比較を表1に示す。PC用途DRAMには大容量化、高速化が要求される。高速化要求を満たすために、DDRおよびDDR2インタフェースを採用しており、データ転送速度は400MHzから667MHzである。また、メモリモジュール用に複数チップを同時に使用することが前提であるため単体パッケージ品が使用しやすく、1チップの容量も大容量が要求され256Mbitから512Mbit品である。しかし、民生用途としてのDRAM仕様を考えた場合、PC用途に要求される大容量化・高速化が最適とはならない。以下に民生用途におけるDRAMへの要求を示す。

まず第1に、民生用途では基板面積が限られることが多いこと、DRAMは1チップで使用することが多いことから、単体パッケージ品を基板実装することより1つのパッケージに複数のチップを封入するMCP技術を用いたSiPが採用されることが多い。したがっていかにMCP組み立てを容易にできるメモリであるかが重要である。

第2に、必要な容量が小中容量であるアプリケーションが多いことである。要求容量はアプリケーションにもよるが16Mbitから64Mbitで十分とされることが多く、現在の主要なDRAM商品である256Mbitや512Mbitでは容量が大きすぎる場合がある。必要以上に大きい容量はコストを増加させるため、適正な容量であることが望まれる。

第3に、民生用途の成長市場であるTV用途等には約3Gbit/sから約8Gbit/sとDDR仕様と同等のバンド幅が要

表1 PC用途DRAMと民生用途DRAMの要求比較

	PC用途 DRAM	民生用途 DRAM
インタフェース	DDR/DDR2	SDR/DDR
容量	大容量 (256~512Mbit)	適正容量 (16~64Mbit)
使用形態	外付けPKG単体	MCP技術による SiP
データ転送速度	400~667MHz	100~166MHz
バンド幅	10Gbit/s~	3~8Gbit/s

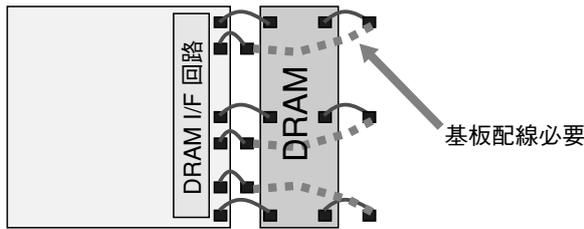
求される。

以上述べたとおり、民生用途の要求を満たすためにはMCP組み立てが容易であり、容量が適性であり、かつ高バンド幅であるDRAMが必要である。

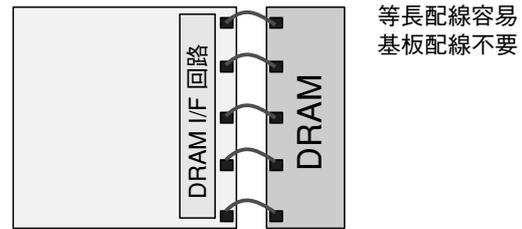
MCP組み立てが容易なDRAM

通常半導体チップは、パッケージおよび他チップとの接続のための接続PADをチップ端2辺もしくは4辺に配置している。DRAMでは一般的にチップ端2辺とすることが多い。このような2辺PADのチップをMCPに組み立てる例を図1に示す。図1 (a) のように一旦基板と接続し、基板を介して接続先のチップを接続するか、図1 (b) のように積層して接続する場合が多い。前者は基板での配線が必要であることより、基板層数の増加、配線抵抗・容量・バラツキの増大が懸念される。これは特に高速動作する場合に動作不具合を引き起こす危険が大きくなる。後者では、接続先チップのPADも2辺に分割しなければならないことよりDRAMインタフェース回路も2辺に分割せざるをえず、接続先チップの回路配置効率を悪化させる。

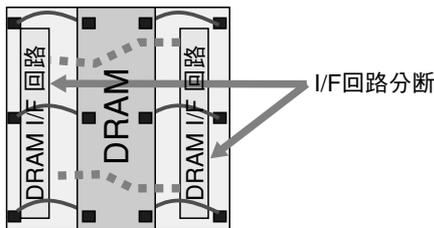
そこで本32Mbit SDRAMではチップ端1辺にPADを配置した。1辺配置PADでの接続例を図2に示す。図2 (a) は横置きに接続先と直接接続する例である。図2 (b) は



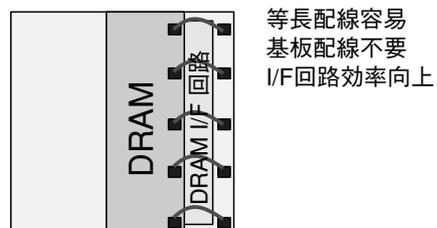
(a)横置きMCP



(a)横置きMCP



(b)積層MCP



(b)積層MCP

図1 2辺PAD チップでのMCP形態例

図2 1辺PAD チップでのMCP形態例

積層した場合の接続例である。両者とも基板配線が無い
ため基板設計への考慮が不要である。このことは基板設計
を容易化させるとともに基板コストの低減、基板リスク
の低減が期待できる。また、ほぼ等長のワイヤにより最短
距離で接続することが可能であることから配線抵抗・
配線容量を最小にするとともに配線間バラツキの低減が
できる。これらの効果により高速信号のインタフェース
が容易になることが期待できる。さらに、接続先チップ
において接続用PADを1辺に配置できることで、DRAM
インタフェース回路も1辺に集中できることから回路配置
効率が向上する利点が期待できる。

以上述べたとおり、DRAMの接続PADを1辺配置とす
ることにより基板リスクおよび高速インタフェースリスク
を低減し、民生用途で多用されるMCP組み立てを容易化
できる。

最適容量の選択

民生用途の代表例として成長が期待されるテレビ用途
に必要な容量とバンド幅を表2に示す。必要なメモリ容量
は

$$\text{容量} = \text{解像度} \times \text{階調数}$$

であらわされる。各解像度での必要なメモリ容量は、XGA
(1024×768)で約18.9Mbit、W-XGA(1280×720)
で約22.1Mbit、SXGA(1366×768)で約25.2Mbit、

HDTV(1920×1080)で約50Mbitである。つまり
HDTVは64Mbit、それより小さい解像度では32Mbitの
容量があればよい。汎用DRAMの容量はSDR品で16Mbit、
64Mbit、128Mbit、DDR品で256Mbit、512Mbitのラ
インナップがある。SDR品では64Mbit以上、DDR品で
は256Mbit以上が要求を満足する。DDR品では全ての解
像度において容量が過剰である。SDR品もHDTV以外に
対して64Mbit品は過剰であり32Mbit品が最適である。こ
れまで、64Mbit品は汎用品で存在するが32Mbit品は汎
用品がないため過剰な容量である64Mbit品の使用を余儀
なくされていた。今回、ローエンドTV用途に最も数量が
多いSXGA以下に1チップで対応できる最適なメモリ容量
として32Mbitを選択した。

表2 TV用途に必要なメモリ容量とバンド幅

	XGA	W-XGA	SXGA	HDTV
解像度 [kbit]	786	921	1,049	2,073
階調数 [bit]	24	24	24	30
必要容量 [Mbit]	18.9	22.1	25.2	50.0
バンド幅 [Gbit/s]	2.3	2.7	3.0	7.5

最適バンド幅

各解像度での必要なバンド幅は
 バンド幅 = 解像度 × 周波数 × 階調数 × 2
 (周波数は60Hzで試算)

であらわされる。表2に示すように、XGAで約2.3Gbit/s、W-XGAで約2.7Gbit/s、SXGAで約3.0Gbit/s、HDTVで約7.5Gbit/sが必要である。ここで各DRAMにおけるバンド幅を表3に示す。DRAMバンド幅を

DRAMバンド幅 = IO数 × IO動作周波数 × 効率
 (効率は0.95で試算)

とすると、SXGA以下であればDDR 400MHz × 16 IO品 (5.6Gbit/s)、もしくはSDR 166MHz × 32 IO品 (5.0Gbit/s) が1チップで要求を満足できる。HDTVではDDR2 667MHz × 16 IO品 (10.1Gbit/s) が1チップ、もしくはSDR 166MHz × 32 IO品を2チップとすることで10Gbit/sを満足できる。

表3 各DRAMのバンド幅

	16M SDR	32M SDR	64M SDR	256M DDR	512M DDR2
IO数 [bit]	×16	×32	×32	×16	×16
IO周波数 [MHz]	166	166	166	400	667
バンド幅 [Gbit/s]	2.5	5.0	5.0	5.6	10.1

ここで選択肢であるSDRとDDRの特性比較を表4に示す。1チップのバンド幅は5.0Gbit/sと5.6Gbit/sとほぼ同等であるが、IOの動作周波数は166MHzと400MHzとSDRの方が半分以下の速度である。一般的に動作周波数が低い方が設計難易度が低いためシステムとしての動作不具合リスクは低い。

DDRの場合、高速にデータを転送するために、接続先チップにおいて高動作周波数に対応するだけの高速なインタフェースを備える必要があり、高速対応のプロセスおよび設計が必要となる。つまりSDRでは接続先チップに対するプロセス性能・高速性能要求レベルが低いため、トータルシステムでのコスト最適化ができる可能性が高いと考えられる。

また、MCP構成を考えた場合、ウエハ状態でDRAMを試験し動作保証しなければならない。しかしウエハ上での試験の場合、事実上実現可能な最大周波数は現時点で140MHz程度である。SDRの方が実速度との乖離が小さ

くリスクが小さいと考えられる。

SXGA以下に必要なバンド幅を満足しかつトータルシステムとしてリスクの少ないDRAMとして、SDRインタフェースの32 IO、動作周波数166MHz仕様を選択した。

表4 SDRとDDR比較

	SDR×32	DDR×16
クロック周波数	166MHz	200MHz
IO動作周波数	166MHz	400MHz
最小動作周波数	なし	約83MHz
電源電圧	3.3±0.3V	2.5±0.2V
ウエハ上での動作保証	○	△
バンド幅	5.0 Gbit/s	5.6 Gbit/s

32Mbit SDR SDRAM

表5に今回開発した、民生用途に特化した32Mbit SDR SDRAMの主要仕様を、写真1にチップ写真を示す。容量は、SXGA以下のTVに対応可能な32Mbitとした。IO数および最大動作周波数はSXGAでの必要なバンド幅3.0Gbit/sを満足するためIO数を32bit、最大動作周波数を166MHzとしメモリバンド幅5.0Gbit/sを確保した。インタフェースはリスクおよびトータルコスト低減可能性のあるSDRインタフェースとした。写真2に接続例を示す通り、接続PADを1辺に配置することでMCP組み立て容易性を高めた。

表5 32Mbit SDR SDRAM主要仕様

容量 (word × bit)	32Mbit(1,04,8576 × 32)
PAD配置	チップ端1辺
最大動作周波数	166MHz
最大バンド幅	5.0Gbit/s
電源電圧	3.3±0.3V

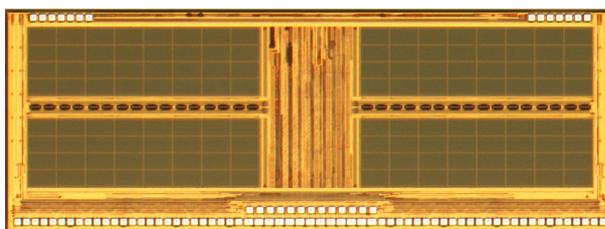


写真1 32Mbit SDR SDRAMチップ

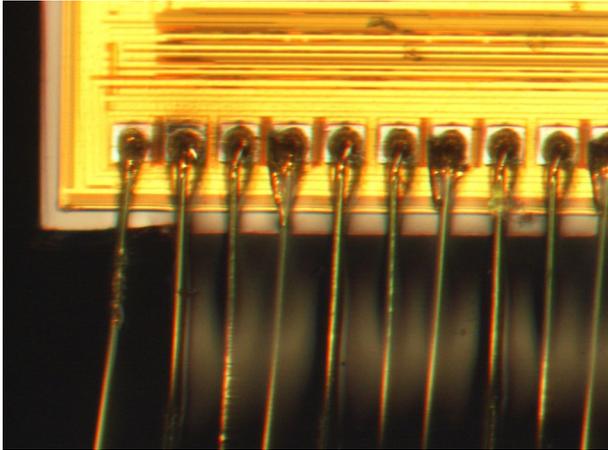


写真2 1辺PAD配線例

ま と め

民生用途に最適化した仕様を備え、MCPへの組み込み容易性を向上させた、使いやすいDRAMとして32Mbit SDR SDRAMを開発した。今後もお客様が真に必要な機能・性能に最適化したメモリを開発・提供していく。



● 筆者紹介

佐久間信三：Shinzo Sakuma. シリコンソリューションカンパニー システムメモリビジネス本部 ASM設計部

TIPS 【基本用語解説】

DDR

クロックの立ち上がり／立下り双方のエッジでデータを入出力する方式のDRAMインタフェース。

SDR

クロックの立ち上がりのみエッジでデータを入出力する方式のDRAMインタフェース。

SiP

1つのパッケージの中にMPUやメモリを挿入しシステムとして構成したもの。

MCP

1つのパッケージに複数のチップを挿入する組み立て技術。