

世界No.1ドライバベンダを目指す OKIのLSI設計環境

柳原 昌志 國田 謙二

昨今、液晶ディスプレイの需要増大に伴い、市場競争が激化し、「画像の高品質化」、「低価格化」、「商品開発サイクルの短縮」の市場要求が高まっている。これらは、液晶ディスプレイの表示パネルを駆動するためのドライバLSI開発においても、その市場要求として同様の期待があることから、大きな課題となっている。

(1) 「画像の高品質化」についての課題

表示パネルを駆動するドライバLSIは、出力回路で高い電圧を使用するが、設計段階で精度良く検証できるようにトランジスタモデルとシミュレーションの精度向上が必要である。

(2) 「低価格化」についての課題

ドライバLSIのチップ面積を縮小化し、シリコン・ウェハ当たりの生産量を最大化するため、搭載するアナログ回路の最適化技術の向上とレイアウトの高密度化が必要である。

(3) 「商品開発サイクルの短縮」についての課題

シミュレーション精度の向上とチップ面積の最小化を考慮し、搭載するアナログ回路の自動最適化と同回路資産の再利用の推進およびレイアウトの自動化が必要である。

本稿では、これらの課題解決に向けて実施した設計環境への取り組みとして、以下の3点について紹介する。

- ① アナログ回路設計における回路定数の自動最適化と回路資産の蓄積
- ② 高耐圧CMOSトランジスタを高精度でシミュレーションするための最新SPICEモデル
- ③ 人手レイアウト設計と同等の高密度レイアウトを短時間で実現する自動配線

設計フロー概要

図1にドライバLSIの設計フローを示す。仕様決定後、回路設計、レイアウト設計等の具体設計に入るが、製造プロセスごとに準備したPDK（Process Design Kit）を使用する。PDKには、設計共通のライブラリとして、回路設計用およびレイアウト設計用の素子シンボル、シミュレーション用モデル、レイアウト検証用ルールファイル

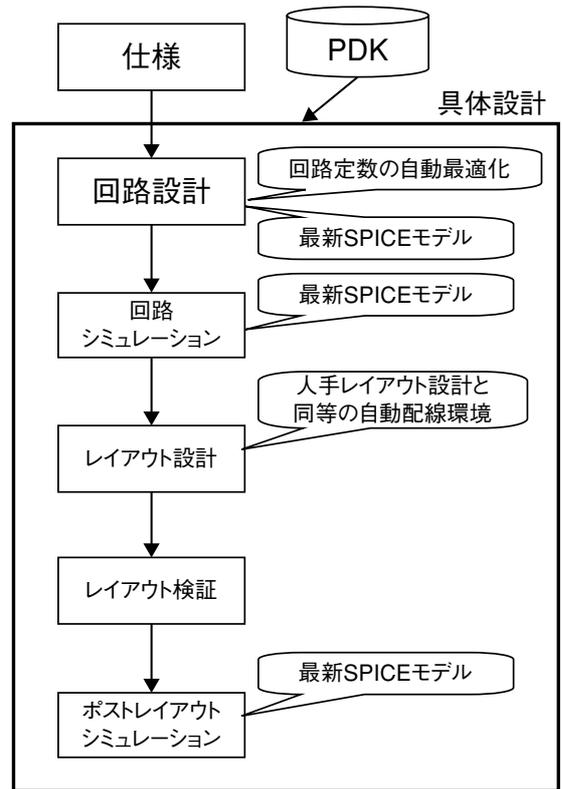


図1 ドライバLSIの設計フロー

等が含まれる。

今回実施した設計環境への取り組みについて、回路定数の自動最適化は、回路設計の工程で、高耐圧CMOSトランジスタの最新SPICEモデルは、回路設計と、回路シミュレーションおよびポストレイアウトシミュレーションの工程で、自動配線はレイアウト設計の工程で、それぞれ実施される。次章から詳細を説明していく。

回路定数の自動最適化

図2にアナログ回路設計における自動最適化の適用範囲を示す。従来手法によるアナログ回路設計では、まず目標仕様から回路トポロジー（素子の接続関係や構成等）を決定する。次にトランジスタ素子のゲート長およびゲート

幅、抵抗素子の抵抗値、容量素子の容量値等の回路定数を大まかに設定する。次に回路シミュレーションによる回路検証を行いながら人手で回路定数を修正し、試行錯誤を繰り返しながら最適な回路定数を決定していた。そのため、アナログ設計者の勤と経験から来る設計スキルの違いから、設計期間の長期化や設計品質にバラツキが生じることが多く、仕様未達による回路方式の変更の必要性が判明するまでに多大な時間を要する等の課題があった。

今回導入した新しい手法は、図2に示す網掛けした範囲の回路定数の最適化工程を自動化した。また、人手による回路設計を単に自動化するだけでなく、熟練設計者のノウハウを最適化時の評価関数として組み込むことができるため、設計期間の短縮と設計品質の向上を同時に達成している。さらに、自動最適化手法を適用して設計した回路については、設計データのIP (Intellectual Property) 化を推進し、異なる製造プロセスを使用した商品開発への流用設計を容易化した。特に再利用時の設計効率が良い。

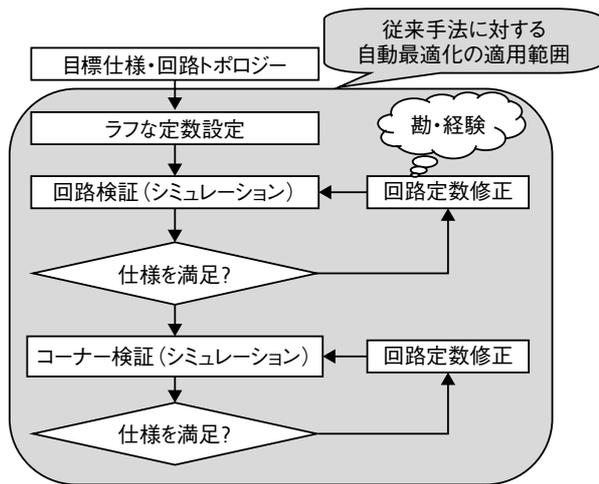


図2 自動最適化の適用範囲

図3に回路定数の自動最適化フローを示す。まず、自動最適化の準備として、回路の接続情報から最適化の対象となるペアトランジスタや抵抗素子等の相関関係とサイジングの対象となる回路定数を設定する。次に、自動最適化で使用するテストベンチを指定する。それから、回路定数の最適化結果を合否判定するためのアナログ回路特性（たとえば、位相余裕、スルーレート、消費電流、周波数、遅延時間など）の評価関数と、その目標値を設定する。

最適化の準備完了後、回路定数の最適化（サイジング）を行い、最適化完了後は実行結果のレポートと波形情報を

OKI回路設計環境 | 回路定数の自動最適化環境

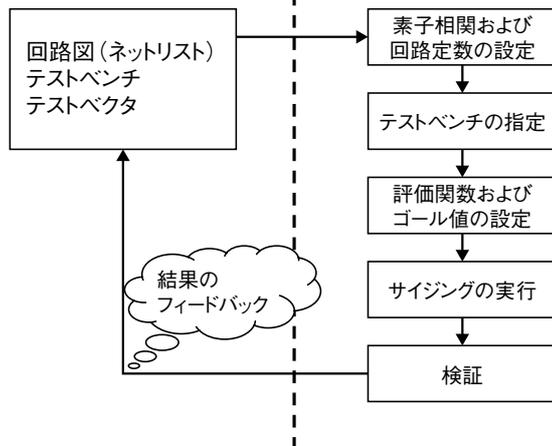


図3 回路定数の自動最適化フロー

の確認を行う。問題が無ければ回路図情報に結果をフィードバックする。

ドライバLSIでは、回路定数の自動最適化手法の適用開始から、これまでに出力ドライバ用オペアンプ、レベルシフタ、オシレータ、ディレイバッファ等を回路IPとして蓄積し、商品開発で再利用している。

本手法を導入した結果、回路定数の自動最適化手法を適用した際の設計期間は、平均すると新規回路設計の場合では従来の1/5に、回路資産を流用した設計の場合では従来の1/10以下に短縮できる効果がある。

高耐圧CMOSトランジスタの最新SPICEモデル

ドライバLSIでは、負荷となる液晶パネルを高い電圧で駆動するため、通常電圧で動作するCMOSトランジスタ（以降、CMOSと呼ぶ）と、通常電圧に比べて高い電圧で動作する高耐圧CMOSトランジスタ（以降、HVMOSと呼ぶ）とを混在させて使用する。

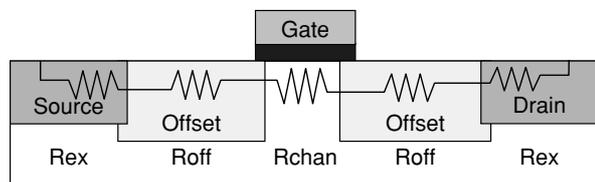


図4 HVMOSのデバイス構造

図4にHVMOSの簡単なデバイス構造を示し、その特徴を説明する。HVMOSの特徴はトランジスタ内部の抵抗モデルを用いることで説明が容易となる。ここで、チャンネル部分の抵抗成分をRchan、オフセット（Offset）部

分の抵抗成分を R_{off} 、ソース (Source) ・ドレイン (Drain) 部分の抵抗成分を R_{ex} とする。HVMOSは、①トランジスタのオン抵抗 ($R_{on} = R_{chan} + 2 \times (R_{off} + R_{ex})$) が通常トランジスタに比べて大きい、② R_{chan} が R_{off} に比べて小さいため、高い電圧の領域で相互コンダクタンス $G_m (\Delta I_d / \Delta V_g)$ が飽和し、耐圧、電流特性が大きく変化し易い、③オフセット部分の抵抗成分にバイアス依存性を有する、④基板効果 (V_b 依存性) は、 R_{off} を増加させ、⑤自己発熱効果 (V_d 依存性) は、 R_{chan} 、 R_{off} 、 R_{ex} の全ての抵抗成分を増加させる、⑥高 V_d 領域で基板への漏れ電流が発生する等、特有のデバイス特性を示す。

従来のドライバLSI設計では、回路シミュレーションにおいて、HVMOSもCMOSと同様のBSIM3と呼ばれるトランジスタモデルを使用していたが、HVMOS特有のデバイス特性が十分に表現されていなかったため、シミュレーション結果と実際のLSIの測定結果との間に30%~40%もの誤差が生じ、再設計が必要となるケースが多発していた。この課題を解決すべく、OKI標準となるHVMOSの最新SPICEモデル (以降、最新HVMOSモデルと呼ぶ) の導入に至った。最新HVMOSモデルは、HVMOS特有のデバイス特性が十分に考慮され、シミュレーション結果と実際のLSIの測定結果との誤差を数%以内に収めることが可能となり、精度面での大幅な改善効果を達成した。また、再設計の回数が減少したことから開発期間についても、従来の1/2に短縮することが可能となった。最新HVMOSモデルについては、導入以来TFT (Thin Film Transistor) ドライバ、OLED (Organic Light Emitting Diode, 有機EL) ドライバ等の商品開発に適用されている。

人手レイアウト設計と同等な自動配線環境

従来、ドライバLSI等のカスタムLSIでは、チップ面積を可能な限り小さくしなければならないことから、人手レイアウト設計が不可欠であった。しかし、人手レイアウト設計は膨大な工数を要するため、ポストレイアウトシミュレーション等の後工程の工数を圧迫するといった問題も発生していた。そのため、設計期間の短縮を図るべく、レイアウト設計の自動化についての検討が行われてきたが、抜本的な解決には至らなかった。その理由として次の2点の問題があった。第1は、システムLSI用の自動レイアウトツールでは、レイアウト用ライブラリの準備が整わないとレイアウトに着手できない上、面積や品質においても人手と同等のレイアウトを実現できない。第2は、従来のカスタムLSI用の自動配線ツールでは、不要な配線の乗換えや不要なジョグが多く、迂回配線もできてしまうことから、人手修正に工数を要する。

図5の自動配線フローに示す自動配線環境は、前記2点の問題を解決している。まず、レイアウト用ライブラリに、最低限自動配線で使用する端子図形が付加されている。OKI標準レイアウトツールで子セルまたはブロックの配置実施後、自動配線環境で自動配線または人手配線が可能である。配線結果については、再度OKI標準レイアウトツールに取り込めるため、確認が容易である。また、人手による配線作図の特徴 (ノウハウ) を専用スクリプトに作り込んで適用することにより、自動でありながら、配線レイヤの乗換えやジョグ、迂回配線等を最小化できる。そのため、人手と同等の高品質なレイアウト設計を実現できる上、レイアウト検証からの手戻りを大幅に削減できる。

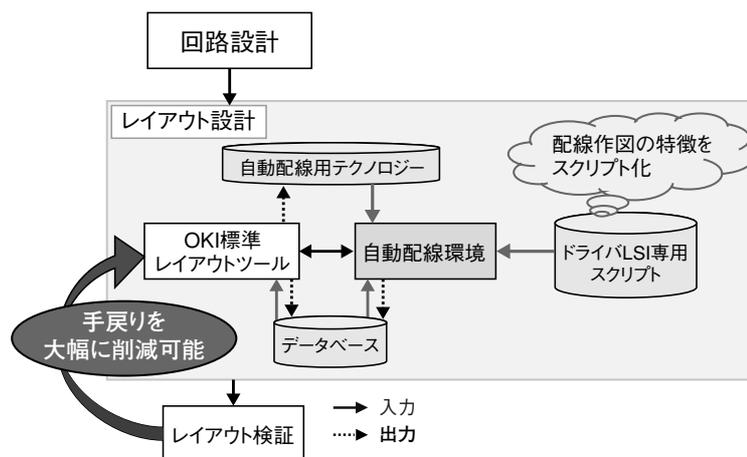


図5 自動配線フロー

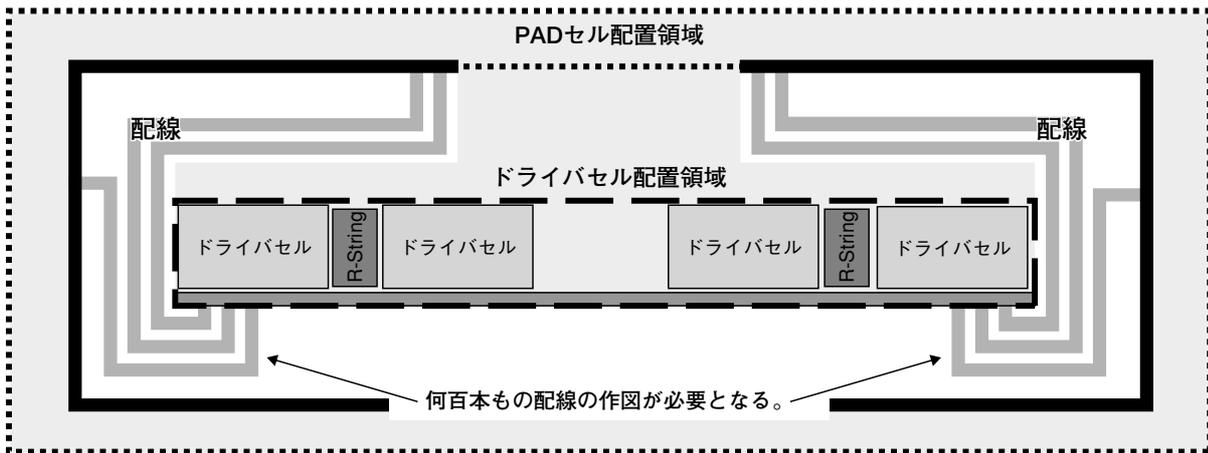


図6 自動配線適用領域

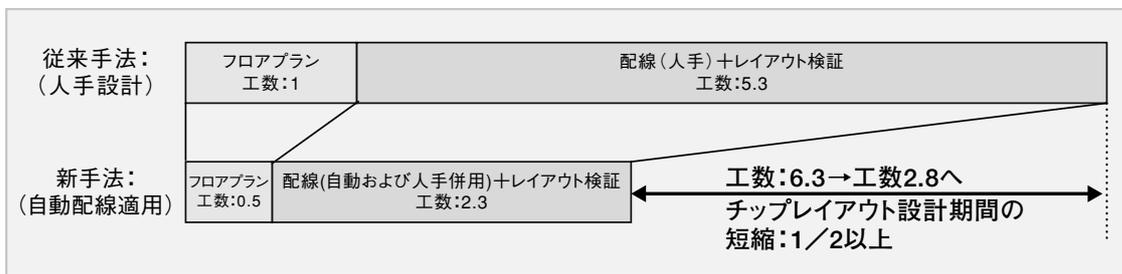


図7 自動配線フロー適用結果

現在、自動配線環境は、図6に示すドライバLSIのドライバーセル配置領域とPADセル配置領域間にある何百本もの自動配線とガンマ特性の階調補正用抵抗であるR-Stringの自動配線に適用されている。

従来工数と自動配線環境を適用した工数とを比較すると、図7のようになり、チップレイアウトの設計期間が従来の約1/2となった。ただし、ドライバLSIの場合、顧客対応の初期段階でチップサイズが決定し、ブロックサイズも確定していることから、フロアプランにはドライバーセル設計の工数は含んでいない。

ドライバLSIへの自動配線環境の適用を開始して以来、ドライバーセルとPADセル間の配線においては、従来工数の70%以上の削減を実現した。

まとめ

OKIドライバLSIの新しい設計環境は、従来の設計環境と比較して、設計期間の短縮と高品質設計の相反する市場要求を同時に達成しており、ドライバLSIのファミリー展開の推進に多大な効果を上げている。

今後は、ドライバLSIの製造プロセスについても、より

微細化したプロセスの開発が進み、プロセスの製造ばらつきを考慮した設計環境の構築が必要となることが予想される。また、パートナー会社とのスムーズな協業を実現するために、回路シミュレーションで使用する最新HVMOSモデルの標準化を推進する必要がある。

世界No.1のドライバベンダとなるため、継続して設計環境における課題解決を図っていく。 ◆◆

● 筆者紹介

柳原昌志：Masashi Yanagihara. シリコンソリューションカンパニー 共通技術本部 LSI設計技術部

國田謙二：Kenji Kokuda. シリコンソリューションカンパニー 共通技術本部 LSI設計技術部