

Mixed-Modeシミュレーションを用いたESD保護設計手法の開発

林 洋一
福田 浩一

黒田 俊一
馬場 俊祐

加藤 且宏
福田 保裕

近年、半導体デバイスのESD（Electrostatic Discharge：静電気放電）耐性は、急速なデバイス性能向上と縮小化要求に対する構造変更により低下し、新規保護素子構造や新規保護回路の提案が必至となっている。しかし、従来のような新たな保護素子案をTEG（Test Element Group）として設計、搭載、評価して、保護回路を設計する方法では、開発TATの短縮、多くのプロセス変更などに対応していくことが困難である。そこで、当社では各ESD-Eventに対する保護素子、被保護素子の動作特性からESDパラメータを抽出し、その値でキャリブレーションしたMixed-Mode（デバイス・回路混合）シミュレーションを用いる新しいESD保護設計手法の開発に取り組んでいる。ESD保護回路で使用する全ての素子特性にキャリブレーションしたパラメータを用いることで、回路ネットワーク上の電流経路の予測が可能になる。本手法を用いて、ESD耐性への配線抵抗の影響を調査した結果、電源間保護素子のESD耐性が十分高い場合でも、配線抵抗が増加するにつれて、内部回路にESDサージ電流が流れやすくなることがわかった。

はじめに

従来のTLP（Transmission Line Pulsing）測定法¹⁾では、素子破壊や発熱による特性変化等によって、瞬間的な動作特性を精度よく観測し、ESD-Eventに対する保護素子、被保護素子のESDパラメータを抽出することが技術的に難しかった。しかし、近年TLP測定方法に改良を加えたTDR（Time-Domain-Reflection）TLP測定法¹⁾により、かなり精度良くESD特性を測定することが可能になってきた。各素子の精度の良いESDパラメータ抽出が可能ならば、Mixed-Modeシミュレーション²⁾を用いたESD耐性見積り、最適化検証が可能になる。

本稿では、TDRを含めたTLP測定によるESDパラメータ取得とシミュレーションを用いたESD保護の最適化手法について述べる。その応用例として、ESD保護設計における電源間保護素子に繋がる配線抵抗の影響について報告する。

Mixed-Modeシミュレーションを用いたESD保護設計

図1に、Mixed-Modeシミュレーションを用いたESD保護設計の概念図を示す。

不純物プロファイルとキャリアの移動度モデルパラメータは、インバースモデリング技術を用いて³⁾、DC特性から抽出される。ESDパラメータを取得するために、ESD保護ネットワークで使用する各々のデバイスのゲート長やゲート幅など変更可能な寸法が系統的に備わっているTEGを用いて実験を行う。ここで、ESDパラメータとは、ブレイクダウン電圧（ V_{t1} ）、保持電圧（ V_{hold} ）、スナップバック特性の傾き（ R_{on} ）、破壊電流（ I_{t2} ）などである。これらパラメータは、TLP測定結果から抽出する。

その他のMixed-Modeシミュレーションのモデルパラメータは、ESDパラメータを用いて、 V_{t1} からインパクトイオン化係数を、 V_{hold} から基板抵抗を、 R_{on} からソース/ドレイン濃度と抵抗をそれぞれ抽出する。

抽出したモデルパラメータセットは、ESD保護回路ネットワークの最適化に利用され、得られた情報はレイアウト設計に反映される。

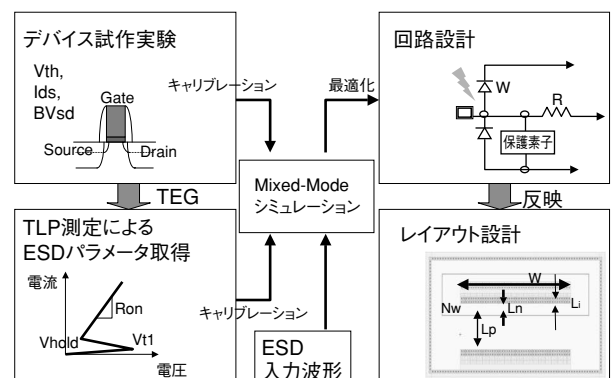


図1 Mixed-Modeシミュレーションを用いたESD保護設計手法の概念図

ESD保護ネットワークの最適化

図2に、ESD保護ネットワークの最適化検討に用いたテスト回路を示す。PADからプラスのESDパルスによって発生するサージ電流の経路は、保護抵抗を通して内部回路に流れる経路1と、Up Diode、配線抵抗、電源間保護回路に流れる経路2がある。内部回路を保護するためには、サージ電流が経路2に流れることが望まれる。Up Diodeは順方向特性を利用するために、ほぼフラットバンド電圧で素早く動作するため、電源間保護回路の応答と配線抵抗が、サージ電流を経路2に流すための鍵となる。

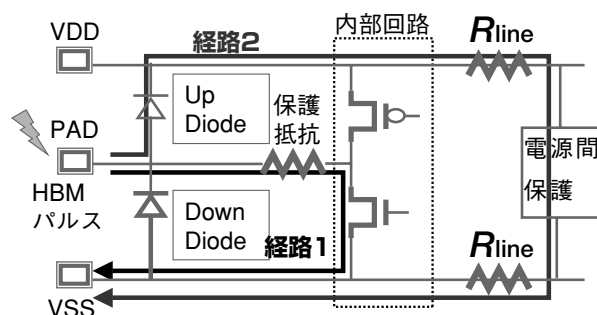


図2 ESD保護ネットワークの最適化に用いたテスト回路

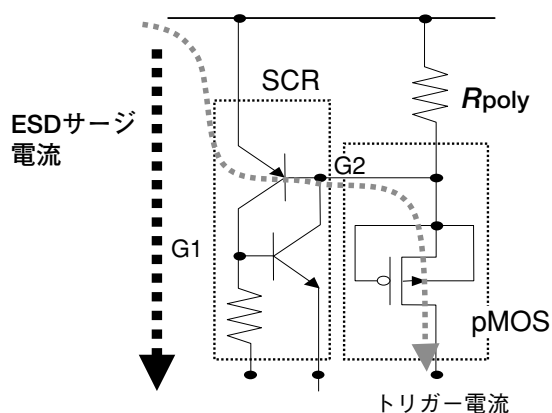
図3 pMOSトリガーSCRを用いた電源間保護回路⁴⁾

図3に、電源間保護回路としてのpMOSトリガーSCR (Silicon Controlled Rectifier) 回路を示す⁴⁾。回路の動作原理は、VDDライン上の電位が上昇すると、pMOSトランジスタがブレイクダウンし、トリガー電流が流れる。これによって、Nwell (G2) 電位が低下し、SCRがターンオン、SCRを通して、ESDサージ電流が流れる。

図4に、pMOSトランジスタのスナップバック特性のチャネル幅 (W) 依存性を示す。シミュレーションで扱

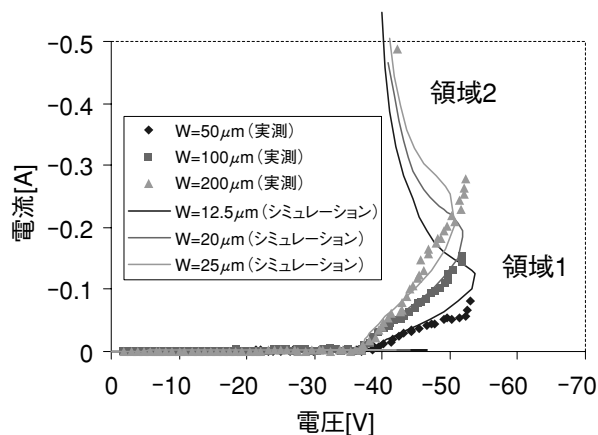
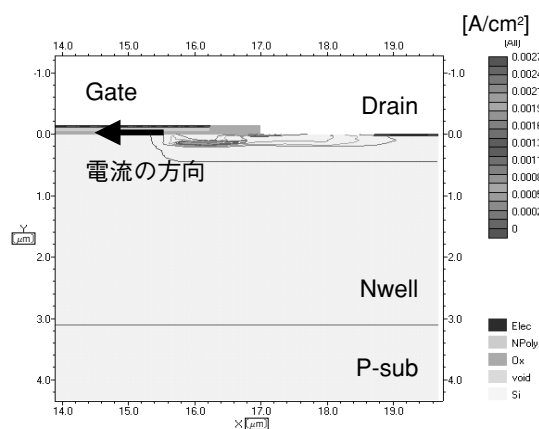
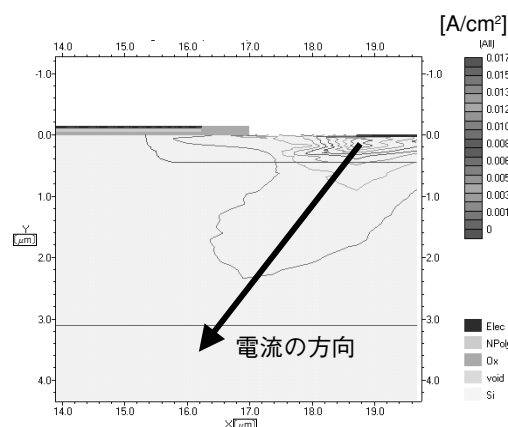


図4 pMOSトランジスタのスナップバック特性



(a) 領域1



(b) 領域2

図5 領域1と2での正孔電流密度分布図

う実効Wの比較は、W方向に均一に電流が流れないため、実際のWより狭くなる傾向にあり、文献⁵⁾と一致する。

図5 (a) (b) に、図4の領域1、2における正孔電流密度分布を示す。図5 (a) の領域1ではpMOSトランジスタ

のチャンネルに沿って流れる電流でW依存が見られるが、領域2はDrain/Nwell/P-subで構成される縦型バイポーラが動作することによって、弱い接合部分に集中して電流が流れるため、W依存性がなくなる物理をよく説明している。よって深い領域の不純物プロファイルがシミュレーション精度を保証する上で重要になる。図6に示すように、本解析では、SIMS測定結果から抽出した不純物プロファイルを、Mixed-Modeシミュレーションに利用する全ての素子に対して用いた。

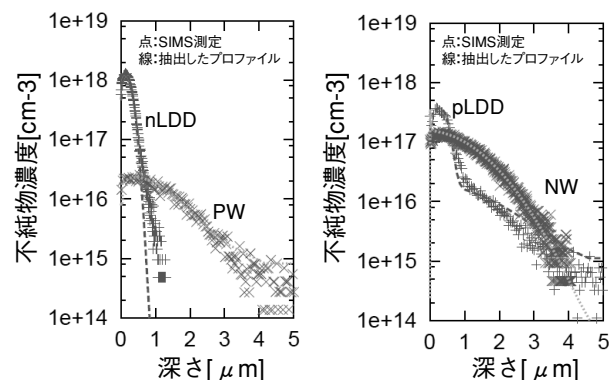


図6 SIMS測定結果と抽出した不純物プロファイル

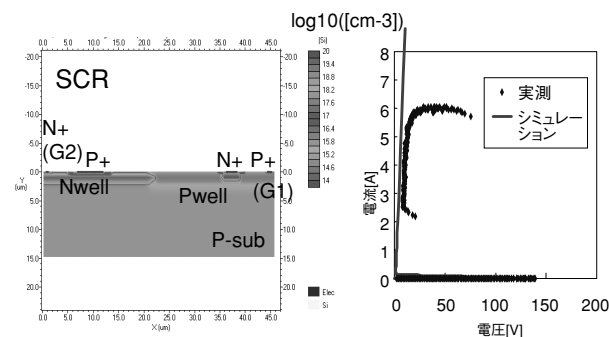


図7 SCR構造とスナップバック特性
(N+ (G2) /P+とN+/P+ (G1) 間の電流-電圧特性)

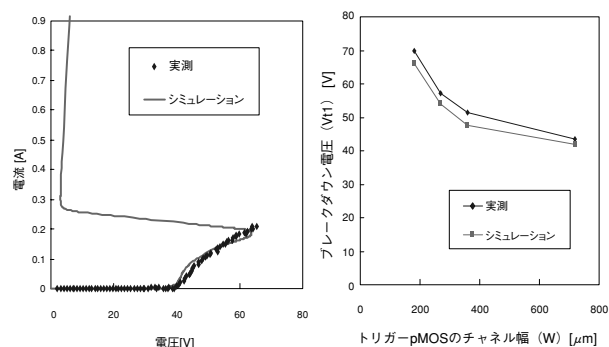


図8 電源間保護回路のTLP測定結果とシミュレーション

図7と図8に、SCRと電源間保護回路のTLP測定結果とキャリブレーション済みのモデルパラメータを用いたシミュレーション結果との比較を示す。スナップバック特性、ブレークダウン電圧のpMOSトランジスタのW依存性共に、シミュレーションは実測を良く再現できている。上記結果から、シミュレーション精度が保証できたので、ESD保護設計における配線抵抗の影響を調査する。

図9に、図2の経路2におけるスナップバック特性の電源-グランド間に繋がる配線抵抗 (R_{line}) 依存性を示す。 R_{line} が増加するにつれて、 R_{on} が大きくなる様子がわかる。

それは、配線抵抗が少し増加するだけで、保護回路の応答が遅くなることを意味する。

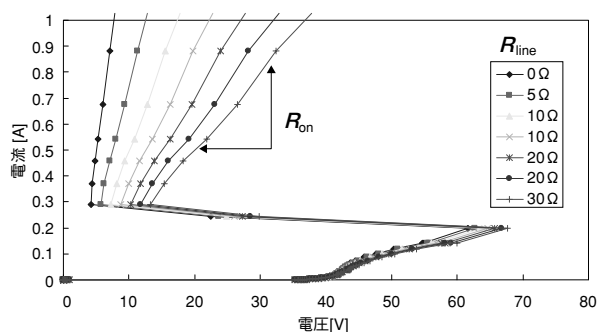


図9 経路2におけるスナップバック特性の配線抵抗依存性

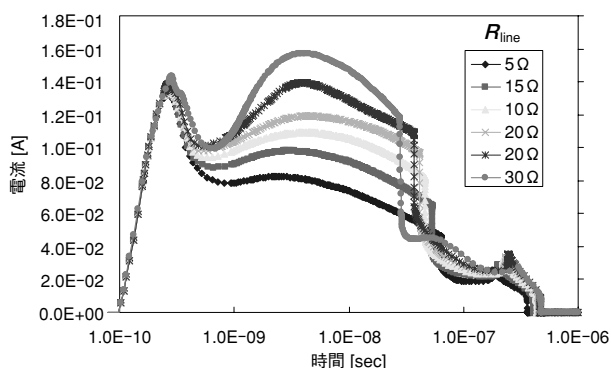


図10 HBM2000Vにおける経路1に流れる電流

HBMパルス2000Vを印加した場合の経路1に流れる電流の経時変化の様子を図10に示す。 R_{line} が5Ωの場合、経路1には0.3nsec付近で一瞬過渡的な電流が流れるが、その後はほぼ80mA程度に抑えられている。しかし、 R_{line} が増加するにつれて、経路1に流れる電流が増加し、 R_{line} が30Ωでは0.14A以上になる様子がわかる。

次に、 R_{line} を5Ωにした場合の経路1に流れる電流のHBMパルス依存性を図11に示す。HBMパルスが増加するにつれて、内部回路に流れる電流が増加する様子がわ

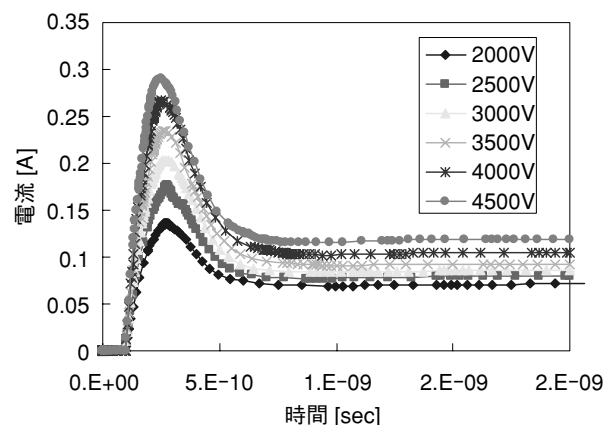


図11 配線抵抗5Ωにおける経路1に流れる電流のHBMパルス依存性

かる。したがって、 R_{line} を小さくできれば、保護回路の保証できるESD許容値をより高いレベルに設定できる。

Mixed-Modeシミュレーションの実際の利用においては、素子に流れる電流あるいは平均電力が、 t_2 あるいは臨界電力以上になる場合には破壊に至ると推測して、保護回路ネットワークを最適化する。また、本手法はMixed-Modeシミュレーションを介してプロセス/デバイス設計と回路/レイアウト設計の同時開発が可能になる。

本手法を用いて検討したESD保護回路において、高耐圧ドライバーのESD保護ターゲット（HBM2000V、MM200V）を達成できた。

あ と が き

TLP測定によるESDパラメータ取得とMixed-Modeシミュレーションを用いたESD保護設計の最適化手法を提案し、その有用性を検証した。本手法を用いて、ESD保護設計における配線抵抗の影響について調査した結果、配線抵抗は、保護回路のESD耐性に大きく影響することがわかった。保護素子と内部素子のブレイクダウン電圧のマージンが小さい場合などには配線抵抗の影響に注意が必要である。

ESDパラメータの回路/レイアウト設計への展開とデバイス内部の物理解析などに対するMixed-Modeシミュレーションの利用は、ESD保護ネットワークの電流パスを最適化するために不可欠である。◆◆

参考文献

- 1) 福田保裕：先端半導体デバイスにおけるESD保護対策, 静電気学会講演論文集, 16aE-7, pp.179-184, 2004年
- 2) SEQUOIA Design systems Inc.: Device designer ESD User's Guide, Sequoia Design Systems, 1998-2005
- 3) H. Hayashi *et al.*: Inverse Modeling and Its Application to MOSFET Channel Profile Extraction, IEICE, Vol.E82-C, No.6, p.862, 1999
- 4) B.Keppens etc: "ESD Protection Solutions for High Voltage Technologies", 26th Annual EOS/ESD Symp proc. 4B7, 2004
- 5) K-Hoon Oh *et al.*: Non-Uniform Conduction Induced Reverse Channel Length Dependence of ESD Reliability for Silicide NMOS Transistors, IEDM, session 13, 2002

●筆者紹介

- 林洋一：Hirokazu Hayashi. 半導体事業グループ 研究本部 設計技術研究開発部 TCAD技術推進チーム サブリーダー
 黒田俊一：Toshikazu Kuroda. シリコンマニュファクチャリングカンパニー 複合デバイス部 開発第一チーム
 加藤且宏：Katsuhiko Kato. シリコンソリューションカンパニー デザイン本部 ESD設計チーム マネージャ
 福田浩一：Koichi Fukuda. 半導体事業グループ 研究本部 設計技術研究開発部 TCAD技術推進チーム マネージャ
 馬場俊祐：Shunsuke Baba. 半導体事業グループ 研究本部 設計技術研究開発部長
 福田保裕：Yasuhiro Fukuda. シリコンソリューションカンパニー デザイン本部 ESD担当