



ローリーク設計手法の開発

奥平 隆敏 中西 義直

近年、微細化技術の進展に伴い、LSIの高速化、高集積化が実現される中で、その消費電力の増大への対策が課題となっている。ここで言う消費電力とは、動作時消費電力と静止時消費電力に分けることができ、微細化に伴いクローズアップされているのは、静止時消費電力に含まれるトランジスタのサブスレッショルドリーク電流（以下リーク電流）である。特に、携帯機器等に搭載するLSIを開発する当社にとって、携帯機器の動作時間を左右する消費電力の抑制は重要な課題であり、リーク電流削減技術を確立することは大きな付加価値と考えている。

従来、動作時消費電力削減のため、ゲートドックロック手法等¹⁾が構築され、動作時消費電力削減に寄与しているが、LSIの動作とは関係なくオフ状態でも発生するリーク電流を削減するには、別のアプローチが必要となる。

リーク電流は、トランジスタ・チャネルを介したソースとドレイン間の導通に起因しているため、トランジスタのしきい値電圧（Vth）の低下に伴って増加する。そこで、しきい値電圧の異なるトランジスタにより構成された評価用ライブラリを準備し、このライブラリを効果的に使用して待機時消費電力を削減するためのローリーク設計手法を検討した。本稿ではその設計手法と試行結果について述べる。

リーク電流対策

リーク電流の削減対策は、いろいろな側面からのアプローチが可能である。プロセスからのアプローチは、完全空乏型SOI（Silicon On Insulator）の適用²⁾、マルチVthの適用等が考えられる。LSI設計からのアプローチは、動作しないブロックの電源遮断（パワーゲーティング）、バックバイアス電圧を印加するしきい値制御（バイアスコントロール）等が考えられる。ライブラリ開発からのアプローチは、トランジスタを多段構成にした複合ゲートの開発、多段バッファの入力側トランジスタのサイズ最小化、トランジスタのゲート長を長くして短チャネル効果を抑制する方法等が考えられる。この中で、実用的かつ効果が期待できる、マルチVthに着目して試行を行った。

マルチVthライブラリ概要

マルチVthを適用する場合、それに対応したライブラリが必要となる。そこで、以下に示す方針で評価用ライブラリの準備を行った。

- ① ローリーク、低消費電力であること（トランジスタ数の削減、ディメンジョン最適化等）
- ② レイアウトのしやすさを考慮すること（外形、ポート位置等）

このライブラリは、しきい値電圧が低いトランジスタにより構成されたもの（以下、ノーマルライブラリ）と、しきい値電圧がそれよりも高いトランジスタにより構成されたもの（以下、ローリークライブラリ）の二種類に分類できる。ノーマルライブラリは動作速度が速く、消費電力やリーク電流が大きい。ローリークライブラリは動作速度が遅く、消費電力やリーク電流が小さいものとなる。この両者を合わせてマルチVthライブラリと呼ぶ。

表1に、準備した評価用ライブラリの概要を示す。

なお、リーク電流、動作速度、面積、消費電力はノーマルライブラリを基準として表現した。

表1 マルチVthライブラリ概要

項目	ノーマルライブラリ	ローリークライブラリ
しきい値(Vth)	低	高
リーク電流比	1	0.05
動作速度比	1	0.5
面積比	1	1
消費電力比	1	0.7

設計フロー概略

図1に、通常の設計フロー概略を示す。論理合成フェーズでは、RTL（機能記述）と設計制約、論理ライブラリを用いて論理合成を行い、レイアウト用ネットリストおよび設計制約を作成する。この際、作成されたゲートレベ

ルネットリストは制約違反がないことが条件である。配置配線フェーズでは、それらの入力データおよびレイアウトライブラリを用いてタイミングドリブン配置・クロック生成・タイミングドリブン配線等のレイアウトを行い、最終ネットリストおよび遅延情報を作成する。それらの結果を用いてスタティックタイミング解析を行い、制約違反の有無を確認する。

マルチVthライブラリを用いた設計フローでは、論理合成フェーズおよび配置配線フェーズで、タイミング制約違反を起こさずに、ローリークライブラリの占有率を上げることがリーク電流削減のキーとなる。

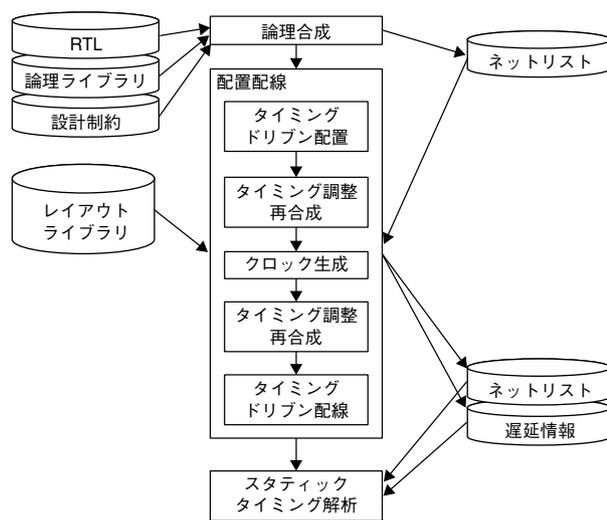


図1 設計フロー概略

論理合成での削減効果

図2に、マルチVthライブラリを使用した論理合成フローを示す。

設計者は、RTLと設計制約、マルチVth論理ライブラリを用いて論理合成を行う。通常は、設計制約にタイミング制約を与えるが、マルチVthライブラリを使用する場合、リーク電流制約も設定する。これは、論理合成ツールの持つリーク電流削減機能を利用するためである。これにより、ローリークライブラリが適切に選択される。ただし、リーク電流削減がクリティカルパスを悪化させる等、所望の結果を生成できない場合は、ブロックごとにローリーク/ノーマルライブラリの選択を行い、ビルディングブロック方式で論理合成する等の工夫が必要となる。また、リーク電流制約は、設計制約としての優先順位はタイミング制約よりも低いので、ある程度の削減効果が期待できない。

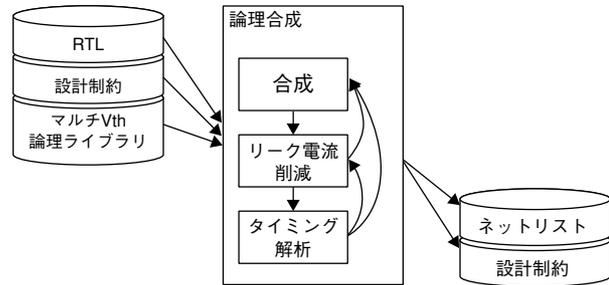


図2 論理合成フロー

テストデータを用いた評価で、30%のリーク電流削減を確認した。

配置配線での削減効果

図3に、マルチVthライブラリを使用したレイアウトフローを示す。

通常のレイアウトフローと異なる点はタイミングドリブン配線前に、配置配線ツールの持つリーク電流削減機能を利用することである。ここで、ノーマルライブラリとローリークライブラリを入れ換えを行い、ローリークライブラリ占有率を上げることが可能である。また、ある程度タイミングに余裕のある非クリティカルパスが対象となるので、ローリークセル入れ換え後の遅延時間増加のインパクトを最小限にとどめることが可能となる。また、入れ換え後のスタティックタイミング解析によるTAT増加を防止することも可能である。もちろん、クリティカルパスは入れ換え対象外のため、処理の前後でクリティカルパスが悪化することはない。さらに、代表セルライブラリについては、同一外形、同一ポート位置となるよ

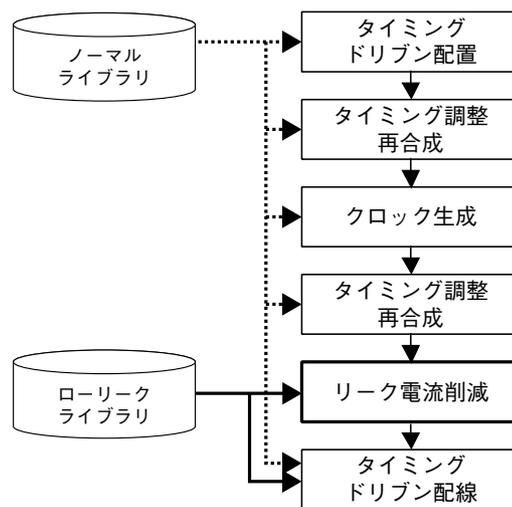


図3 マルチVthレイアウトフロー

うライブラリの準備を行ったので、タイミングドリブン配線後もリーク電流削減機能を利用することが可能である。

上記レイアウトフローをテストデータに適用し、50%のリーク電流削減を確認した。図4に、ライブラリ分布例を示す。クリティカルパスにはほとんどローリークライブラリが使われていないことを示している（図中実線で囲んだ部分）。

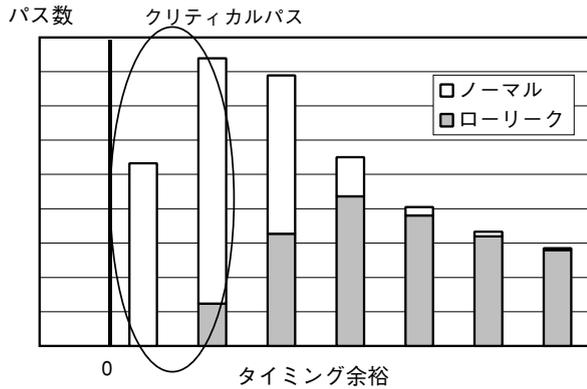


図4 ライブラリ分布例 (1)

が、ノーマルライブラリで構成されていれば、タイミングバイオレーションが起こるが、レイアウトフロー中のタイミング調整、再合成の処理部にてノーマルライブラリを用い、タイミング収束させる。図6に、タイミングバイオレーションを起こしたライブラリ分布例を示す。この改良フローの利点は、通常マルチVthレイアウトフローでは対象にならなかったクリティカルパスまで、ローリークライブラリを使用できる点にある。

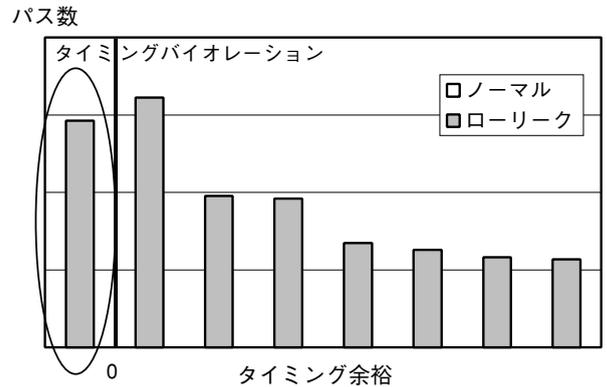


図6 ライブラリ分布例 (2)

配置配線改良フロー

図5に、改良マルチVthレイアウトフローを示す。さらなるリーク電流削減のため、前記フローを改良した。

本改良フローの特徴は、レイアウト前のネットリストに対してライブラリスイッチング処理を施すことにある。一旦、すべてのライブラリをノーマルライブラリからローリークライブラリに入れ換えを行う。クリティカルパス

タイミング調整・再合成の処理部では、タイミング制約違反を起こしているパスのみを対象にしてタイミング収束を回り、制約違反を解消した時点で処理を終了させる。

上記改良レイアウトフローをテストデータに適用することにより、80%のリーク電流削減を確認した。図7に、ライブラリ分布例を示す。クリティカルパスであってもローリークライブラリが使われていることを示している。

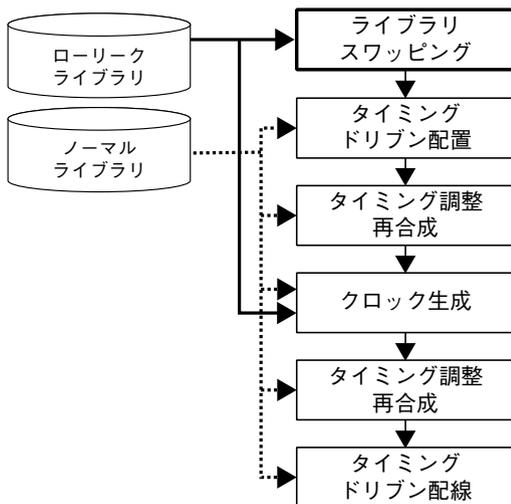


図5 改良マルチVthレイアウトフロー

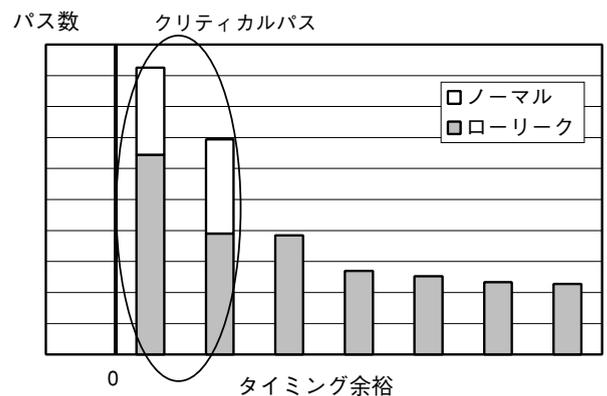


図7 ライブラリ分布例 (3)

クロック生成

クロック生成は、クロック信号を理想波形から実波形へ展開するため回路規模が増加する設計フェーズである。そしてタイミング収束に使用する設計制約とは別の制約を使用するため、別のアプローチも併用できる。具体的には、クロックレイテンシ（クロック遅延）、クロックスキュー（クロック遅延差）、クロックスリュー（クロック波形鈍り）等の制御によるクロックバッファ数の最小化である。本マルチVth手法では、ローリークライブラリを使用してクロック生成を行うが、上述したクロック生成制約を満たせない場合は、ノーマルライブラリを組み合わせ、リーク電流削減を実現できる。このため、以下に示す手順を選択できるようにした。

- ① ローリークライブラリを使用したクロック生成を行う
- ② ノーマルライブラリを混在させたクロック生成を行う
- ③ ノーマルライブラリを使用し、挿入バッファ数が最小となるクロック生成を行う

上記②をテストデータに適用し、25%のクロックバッファ数削減、2%のリーク電流削減を確認した。

あ と が き

表2に、今回の試行結果のまとめを示す。

表2 試行結果まとめ

適用フロー	リーク電流削減効果[%]
論理合成のみ	30
論理合成+レイアウトフロー	50
論理合成+改良レイアウトフロー	80

今回は、マルチVth手法の適用効果を検討し、80%のリーク電流削減を確認した。これは待機時の電池寿命が4倍延びたことを意味する。

ただし、最先端プロセスになると、サブスレッショルドリーク電流だけでなく、ゲートリーク電流等が顕著化することが予想され、さらにいろいろな角度からのアプローチが必要となる。◆◆

参考文献

- 1) 菊池他：0.16um低消費電力システムASIC，沖テクニカルレビュー190号，Vol.69 No.2，pp.32-35，2002年4月
- 2) 馬場：次世代低消費電力SOIデバイス，沖テクニカルレビュー190号，Vol.69 No.2，pp.40-45，2002年4月

筆者紹介

奥平隆敏：Takatoshi Okudaira. シリコンソリューションカンパニー デザイン本部 レイアウト設計部
 中西義直：Yoshinao Nakanishi. シリコンソリューションカンパニー デザイン本部 レイアウト設計部