

# シリコン・オン・サファイア (SOS) 技術を用いた 高周波無線回路の開発

藤田 研 倉持 隆  
佐藤 雅克 伊藤 秀二

サファイア上シリコン (Silicon On Sapphire : SOS) とは、CMOSのソース・チャンネル・ドレインをサファイア表面に形成する技術である<sup>1)</sup>。SOSにはシリコン基板上のCMOSにない特徴が二つある。ひとつは、トランジスタのソース対地間・ドレイン対地間の浮遊容量がないことである。シリコン基板上に通常の回路を搭載する場合、トランジスタのソース・ドレインはそれぞれ基板と接合容量を介してつながっている。ソース・ドレインを通過する高周波信号は、その電力の一部が基板を通じ、対地側に漏洩してしまう。SOSの場合、高周波信号が基板を介して電力を損失することがない。また、トランジスタがオフのとき、基板を介してソースからドレインに信号が漏洩することもなく、トランジスタの遮断特性が優れている。SOSのもうひとつの特徴は、SOS上にインダクタを形成した場合、磁場が基板の渦電流で減衰しないことである。サファイアが絶縁性なので、基板内に渦電流が発生せず、インダクタでの電力損失が少ない。SOSトランジスタの浮遊容量がないことと、インダクタの渦電流発生がないことは、高周波無線回路の設計で電力の損失を抑制するのに有利である。

SOSは、研究当初、トランジスタのキャリアが格子欠陥に捕獲されてトランジスタ特性が劣化し、回路作製に耐えがたかった。キャリアの捕獲は、シリコン/サファイアヘテロ界面の、あるいは、エピタキシャルシリコン結晶中の格子欠陥で起きた。その後、結晶成長技術の発達でエピタキシャル層中の格子欠陥が減少し<sup>2)</sup>、また、近年の青色レーザー用基板の需要からサファイア表面の平坦性と清浄度が向上し、ヘテロ界面の欠陥も減少した。これら技術の発展に支えられ、SOSはチャンネル部分の結晶性が回路作製に耐えうるまでに向上した。本稿では、SOSの高周波無線回路の開発例を紹介し、SOS技術の特徴について述べる。

## アンテナスイッチ

アンテナスイッチは、SOSの特徴、つまり高周波信号がトランジスタのソース・ドレインを通過するとき、信

号の損失が少ないという性質が端的にあらわれる。ここではアンテナスイッチの用途と要求性能、SOS基板上に作製したアンテナスイッチの特性について述べる。

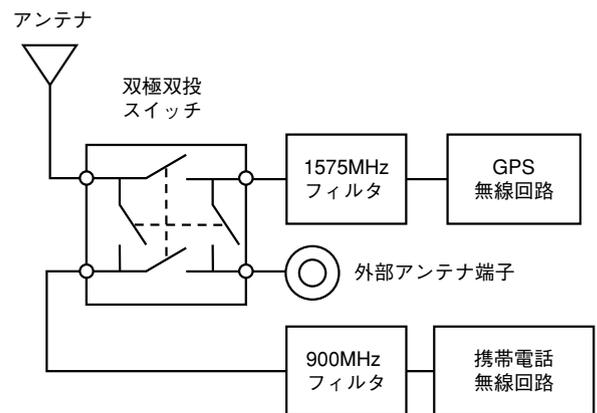


図1 アンテナスイッチの仕様例

携帯電話の多機能化により、端末一台が周波数も信号規格も異なる電波を複数送受信するようになった。たとえば、図1に示すように、携帯電話端末に全地球測位システム (Global Positioning System : GPS) を搭載する例を挙げる。携帯電話の周波数、たとえば900MHzに対し、GPSの周波数は1575MHzであり、無線集積回路は、それぞれの規格に応じたものを個別に搭載する。おのおの集積回路は周波数の異なる帯域通過フィルタを介してアンテナに接続する。ここでアンテナとフィルタの間にスイッチが必要となる。

アンテナスイッチは、規格の異なる電波を無線集積回路に振り分ける必要から、挿入損失、遮断特性に厳しい値が要求される。信号がスイッチトランジスタのソース・ドレインを通過するので、SOSで電力損失の少ないことが、挿入損失の低減につながる。

表1に、SOSで開発した双極双投 (Double-Pole Double-Throw : DPDT) スwitchの特性を示す。作製は0.5 μm SOS-CMOSプロセスによる。スイッチの開閉は、図2に示す状態ふたつのいずれかを、制御端子電圧

表1 アンテナスイッチの特性

|       |                   |                |
|-------|-------------------|----------------|
| 挿入損失  | 900MHz<br>1900MHz | 0.5dB<br>0.7dB |
| 遮断特性  | 900MHz<br>1900MHz | 20dB<br>14dB   |
| 反射損失  |                   | -20dB          |
| 高調波発生 |                   | -75dBc         |
| IIP3  | 900MHz<br>1900MHz | 60dBm<br>60dBm |
| 電源電圧  |                   | 3V             |
| 電源電流  |                   | 15 $\mu$ A     |

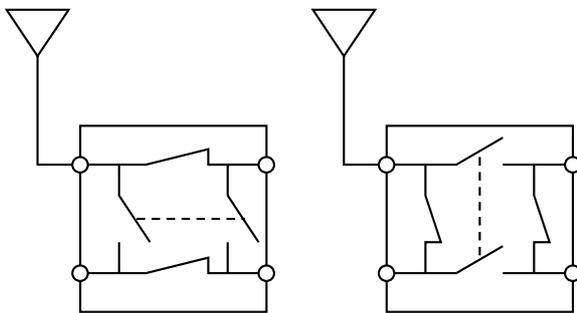


図2 双極双投アンテナスイッチの開閉動作

で選択する。図2で制御端子は省略した。

挿入損失0.7dBという値は、化合物半導体で製造したスイッチと同等であり、サファイア基板が絶縁性であるという特徴が如実にあらわれている。スイッチに入力できる電力は3.5W以上であり、携帯電話の送信電力に充分耐えうる。

### 無線受信集積回路

すでに述べたようにSOSの特徴は、インダクタのQ値が高いことである。Q値とは、振動系が一周期に蓄積するエネルギーを一周期に散逸するエネルギーで割ったものである。集積回路上のインダクタの場合、基板による電力の散逸が少ないほどQ値は大きい。インダクタは無線集積回路では、増幅器の入出力インピーダンス整合、増幅器の負荷、発振器のLC共振部などに使う。Q値が大きいほど、インピーダンス整合の周波数選択性が強い、増幅器の利得が高い、共振器のスペクトルが鋭いという特性を示す。

インダクタのQ値は、電力損失の主な原因が直列抵抗と仮定すると、インダクタにかかる信号の角周波数を $\omega$ 、インダクタンスをL、インダクタの直列抵抗をRとして、 $Q = \omega L / R$ となる。Q値を大きくするには、理想的な場合、インダクタの配線を太くし、直列抵抗を小さくすればよい。しかし、実際にはシリコン基板中に渦電流が発生するの

で、配線を太くすると渦電流の基板抵抗による減衰も増加し、Q値は10程度にしかならない<sup>3)</sup>。ところが、基板がサファイアの場合、サファイアの絶縁性のため基板中の渦電流発生がなく、配線幅によりQ値は30程度まで大きくなる。

SOS上のインダクタの特徴に注目し、全地球測位システムの無線受信集積回路をSOSに作製した。図3に無線受信集積回路の高周波部分のブロックを示す。作製は0.25 $\mu$ m SOS-CMOSプロセスによった。n型MOSトランジスタにはしきい値が0Vと0.7Vの二種類があり、いずれも回路設計に使った。

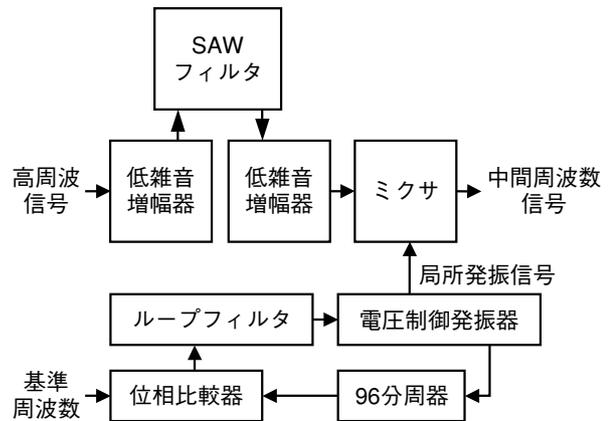


図3 SOS技術で開発した全地球測位システム無線受信回路 (高周波部分のみを示した)

全地球測位システムの衛星からの電波（周波数1575.420MHz）は、地上で1pW未満と微弱である。初段の低雑音増幅器には、衛星の電波を信号／雑音比を可能な限り維持しながら増幅する、つまり、増幅器の雑音指数を小さくすることが要求される。信号は、初段の低雑音増幅器で増幅してから、集積回路外付けの表面弾性波（Surface Acoustic Wave : SAW）フィルタで周波数1575.420MHzの成分を選別し、二段目の低雑音増幅器で再度増幅する。この時点で、受信信号の電力は熱雑音に比べ十分に大きくなり、信号／雑音比は後段の回路が発生する熱雑音の影響をあまり受けない。増幅後の信号は、ミキサによって局所発振（周波数1571.328MHz）との差周波をとり、搬送周波数1575.420MHzが中間周波数4.092MHzに変換される。局所発振は電圧制御発振器と位同期ループ（96分周器、位相比較器、ループフィルタからなる）によって発生する。集積回路は、さらに中間周波数回路として帯域通過フィルタとリミッタ増幅器を持つが、図3では省略した。

以下では、図3のブロックの中から、初段の低雑音増幅

器と電圧制御発振器をとりあげ、その特性を紹介する。

### (1) 低雑音増幅器

表2に初段の低雑音増幅器の特性を示す。回路はカスコード型ソース接地の単相差動変換回路であり<sup>4)</sup>、インダクタは、入力インピーダンス整合用とトランジスタの負荷に使用した。

表2 低雑音増幅器の特性

|       |           |
|-------|-----------|
| 中心周波数 | 1575MHz   |
| 利得    | 16-20dB   |
| 雑音指数  | 2.5dB     |
| 遮断特性  | 25dB      |
| 反射損失  | -10dB     |
| IIP3  | -14dBm    |
| 電源電圧  | 1.5V      |
| 電源電流  | 1.0-2.0mA |

低雑音増幅器は消費電力3.0mWで利得16dB、雑音指数2.5dBを示す。利得は調整機能により20dBまで上げられる。この利得は初段の増幅器として十分であり、SOS基板上のトランジスタとインダクタの低電力損失性により消費電力は低い。シリコン基板上の低雑音増幅器では、入力信号パッドからシリコン基板間への電力散逸が利得を下げ、それにともない、雑音指数が増加した<sup>5)</sup>。SOSの場合、パッドの寄生容量を無視できるので、静電破壊保護素子を低雑音増幅器の入力端子に接続しても、増幅器は十分な利得と雑音指数を示す。IIP3（三次の入力インターセプトポイント）は-14dBmと比較的大きな値であり、電源電圧が1.5Vと低いにもかかわらず、入出力電力の間に十分な線形性がある。

この低雑音増幅器は、入力にアンテナ、出力にSAWフィルタを接続するので、入出力インピーダンスは50Ωでなければならない。50Ωへの整合回路は集積回路内部にあり、外付けの整合部品を必要としない。一般に、全地球測位システムの周波数（1575MHz）では、入力インピーダンスを整合するには10nH以上の大きなインダクタンスが必要である。シリコン基板の場合、大きなインダクタを作製すると、巻き数の増加により配線の直列抵抗や寄生容量の増加、基板で生じる渦電流損の増加を引き起こし、集積化することが難しい。この低雑音増幅器では、SOSの特徴により、インダクタンス18nH、Q値16という大きなインダクタが使用でき、インピーダンスを集積回路上で整合できた。

### (2) 電圧制御発振器

表3に電圧制御発振器の特性を示す。回路はCMOS負性低抗、インダクタ、n-MOS可変容量、分周器・ミキサを駆動するバッファからなる。インダクタは、インダクタンスが3.7nH、Q値が15である。

表3 電圧制御発振器の特性

|       |                   |
|-------|-------------------|
| 発振周波数 | 1440-1880MHz      |
| 位相雑音  | -114dBc/Hz (1MHz) |
| 電源電圧  | 1.5V              |
| 電源電流  | 1.4mA             |

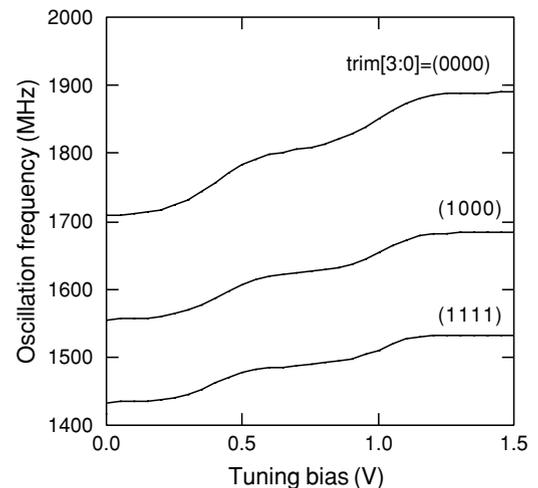


図4 電圧制御発振回路の発振周波数

発振器は直流消費電力2.1mWで発振する。この値はバッファの消費電力も含んでおり、発振器全体としては低消費電力である。発振周波数は、図4に示すように、トリミング容量と制御端子電圧を変えることで1440から1880MHzの範囲にある。トリミング容量とは、トランジスタの製造ばらつきにより発振周波数が変動するのを補償するためのもので、集積回路を起動したときに自動的に最適容量値が選ばれる。図4で、発振周波数は制御電圧が0.5と1.0Vの付近で大きく変化する。これは可変容量にしきい値の異なる二種類のMOS容量を用いたことによる。発振周波数は、位相同期ループによって周波数ロックがかかり、図5に示すような中間周波数におけるスペクトルが得られる。

位相雑音は、離調周波数1MHzにおいて-119から-114dBc/Hzである。位相雑音の主な発生原因はスペクトルの解析からトランジスタのフリッカー雑音であることがわかっている。フリッカー雑音とはチャンネル中の結晶欠陥やヘテロ界面の電子準位がキャリアを捕獲・放

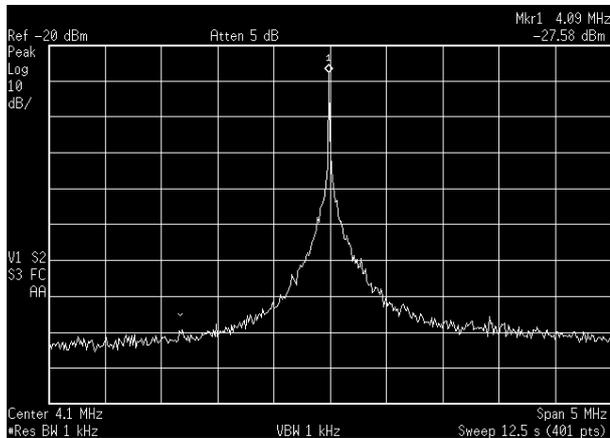


図5 位相同期ループによる中間周波数のスペクトル

出することで発生する<sup>6)</sup>。SOSの場合、サファイア/シリコンヘテロ界面のミスフィット転位の存在が避けられない。シリコン層中の貫通転位はシリコンの固相成長で低減するが、皆無ではない。また、固相成長時に残る点欠陥がバルクに比べ多い。SOSによる電圧制御発振器の位相雑音をさらに抑制するには、回路の工夫に加え、サファイア上シリコン層の結晶性をバルクと同程度にし、トランジスタチャネル内の電子準位を減らすことが重要と考えられる。

## まとめ

サファイア上シリコン（SOS）の高周波無線回路の開発例として、アンテナスイッチと全地球測位システムの低雑音増幅器、電圧制御発振器を紹介した。これらの回路は、SOS技術の特徴、つまり、トランジスタの対地浮遊容量がないことと、インダクタのQ値が大きいという特徴により、電力損失が少ない。SOS回路の電力損失の少なさは、回路が扱う無線周波数が高くなるほど、シリコン基板上の回路と差別化が顕著となると考えられ、今後の展開が期待される。◆◆

## 参考文献

- 1) S. M. Sze: "Physics of semiconductor devices", 2nd edition, John Wiley & Sons, Inc., pp.493-494, 1981
- 2) S. S. Lau, *et al.*: "Improvement of crystalline quality of epitaxial Si layers by ion-implantation techniques", Appl. Phys. Lett., Vol.34, No.1, pp.76-78, 1979
- 3) Kenneth O: "Estimation methods for quality factors of inductors fabricated in silicon integrated circuit process technologies", IEEE J. Solid-State Circuit. Vol.33, No.8, pp.1249-1252, 1998
- 4) T. H. Lee: "The design of CMOS radio-frequency integrated circuits", Cambridge University Press, 1998

5) 松澤昭: 「CMOSのRF応用」, 応用物理, 第71巻, 第3号, pp.318-321, 2002年

6) D. M. Fleetwood and J. H. Scofield: "Evidence that similar point defects cause  $1/f$  noise and radiation-induced-hole trapping in metal-oxide semiconductor transistors", Phys. Rev. Lett., Vol.64, No.5, pp.579-582, 1990

## 筆者紹介

藤田研: Ken Fujita.シリコンソリューションカンパニー デザイン本部 RF商品開発部

倉持隆: Takashi Kuramochi.シリコンソリューションカンパニー デザイン本部 RF商品開発部

佐藤雅克: Masakatsu Satoh.シリコンソリューションカンパニー デザイン本部 RF商品開発部

伊藤秀二: Shuji Itoh.シリコンソリューションカンパニー デザイン本部 RF商品開発部