

シリコン・オン・サファイア (SOS) デバイス技術

中村 稔之
長友 良樹

松橋 秀明

シリコン・オン・サファイア (SOS, Silicon on Sapphire) デバイス技術開発の歴史は古く、1960年代にまでさかのぼる¹⁾。SOSデバイスは高速、低消費電力動作を実現できると考えられていることから注目を集めてきた。しかし図1に示すように、SOSウェハには支持基板となるサファイア (Al_2O_3) とシリコン (Si) との結晶格子間に最大で12.5%の格子不整合が存在しているため、結晶欠陥の少ないSi層を形成するのが非常に困難であった。このことがSOSデバイス製品化拡大には大きな障壁となり、研究開発レベルに留まっていた。

1990年代に入り、米国Peregrine Semiconductor社は、UTSi[®] (Ultra Thin Silicon) と呼ばれるサファイア基板上的Si膜の結晶性を大きく改良する技術の実用化に成功し²⁾、SOSデバイスの製品化が加速された。当社ではPeregrine Semiconductor社からこのUTSi[®]技術を含む

SOSデバイス技術を導入し、さらに発展させるべくプロセス開発に着手した。現在、 $0.50\mu\text{m}$ 、 $0.25\mu\text{m}$ 、2世代のSOSプロセス開発をおこなっており、 $0.50\mu\text{m}$ SOSプロセスはデバイス量産段階に、 $0.25\mu\text{m}$ SOSプロセスは製品開発に適用する段階に到達できた。本稿では、SOSデバイスの作製プロセスに関して紹介するとともに、バルクSiなど他のデバイスと比較してSOSデバイスの特徴や優位性を示す。

SOSウェハ作製技術

UTSi[®]技術を用いたSOSウェハ作製プロセスに関して、図2を用いて説明する。図2 (a) に示すように、まずサファイア基板の上にSi膜をエピタキシャル成長させる。この時、堆積したSi膜はサファイアとの格子不整合により、結晶欠陥が多く入った状態となっている。次に図2 (b) に示すように、Si膜中にSiイオンを注入し、サファイア基板との界面に近いSi膜の結晶性を一度破壊し、アモルファス化させる。その後、図2 (c) に示すように酸化雰囲気中で熱処理を行うことで、欠陥の少ない表面近傍の

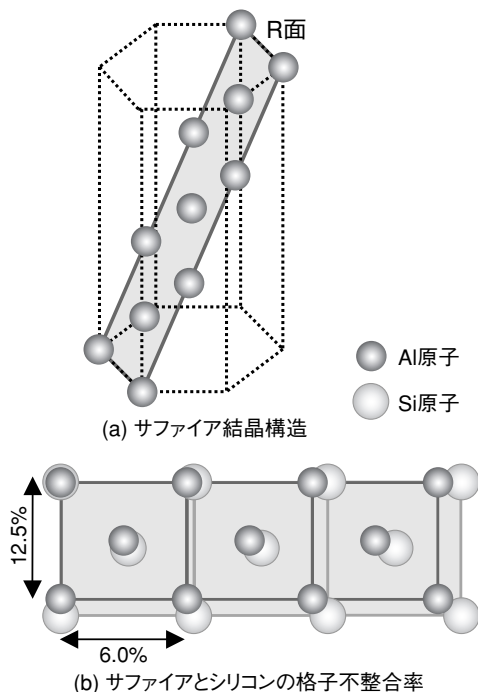


図1 (a) サファイアの結晶構造 および
(b) シリコン結晶との格子不整合

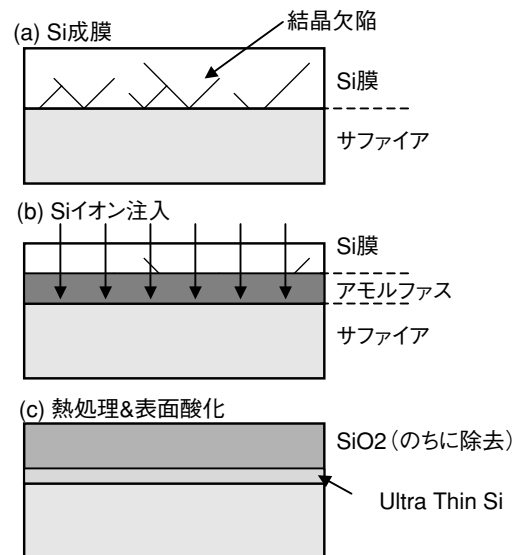
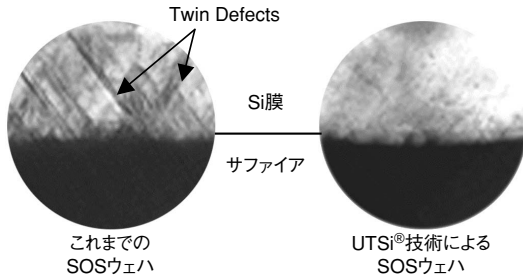


図2 SOSウェハ作製フロー

図3 SOSウェハ断面TEM写真³⁾

Si膜から固相エピ成長させてアモルファス化したSi膜を再結晶化し、欠陥の少ないSi膜を形成する。この後、酸化膜を除去することで所望のSi膜厚を得る。

図3には、SOSウェハの断面TEM写真を示す。これまでのSOSウェハでは主に“Twin”と呼ばれる結晶欠陥が多数存在していたが、上述したUTSi®技術を用いて作製したSOSウェハでは結晶欠陥の少ない良好なSi膜が形成できていることが確認できる。UTSi®技術を用いることで、サファイア基板上に100nm程度の薄い膜厚でも結晶性の良いSi膜を形成することが可能となった。

SOSデバイスの構造と作製プロセス

SOSデバイスの断面TEM写真を、図4に示す。SOSデバイスは図5 (a) のように絶縁体であるサファイア基板のSi膜にMOSFETを形成する。絶縁基板上に素子を形成することから、ソース・ドレイン領域の対基板容量、つまり接合容量が構造的に非常に小さい。また、LOCOS (Local Oxidation of Silicon) などの素子分離により各素子を完全に分離することが可能である。したがって、図5 (b) に示すようなバルクSiデバイスでは不可欠な低不純物濃度のウエル領域を形成する必要がなく、シンプルで小さな構造となる。

図6には、レイアウト設計の観点から構造を比較した図を示す。上述のようにSOSデバイスではウエル領域が不

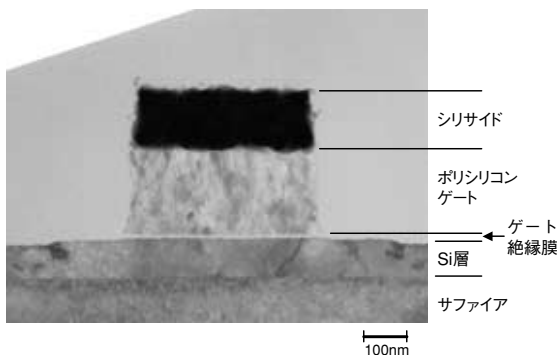


図4 SOS MOSFETデバイス断面TEM写真

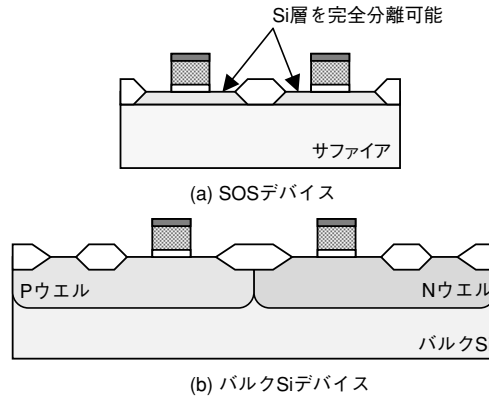


図5 SOSデバイスとバルクSiデバイスのMOSFET断面構造比較図

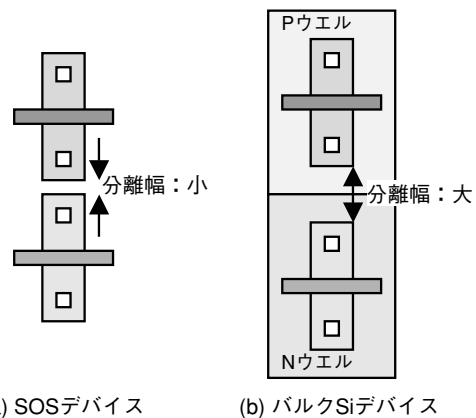


図6 SOSデバイスとバルクSiデバイスのレイアウト構造比較図

要なため、NMOSFETとPMOSFETとの素子分離間隔が縮小できる。また、ウエル領域の電位を固定するためのコンタクトも必要ないことから、バルクSiデバイスよりもSOSデバイスの方が集積度の向上が可能である。

SOSデバイスの作製プロセスフローを、図7を用いて説明する。まず図7 (a) に示すように、LOCOSにより素子分離領域を形成する。引き続き、図7 (b) に示すように閾値電圧 V_t を決めるための不純物注入をそれぞれ行う。次に図7 (c) に示すように、ゲート電極を形成する。図7 (d) に示すように、サイドウォールを形成した後、不純物を注入してソース・ドレイン領域を形成する。その後、コンタクトを形成し、所望の回路を形成するための配線を行う (図7 (e))。

このようなSOSデバイス作製プロセスは、Si基板上に埋込酸化膜層と薄いSi層を形成したSOI (Silicon on Insulator) 基板上にMOSFETを形成するSOIデバイスと同じプロセスである。当社は、従来から、完全空乏型SOIデバイス技術を確立し、超低消費電力LSIに適用してきた実績がある。SOSデバイス技術は、このSOIデバイス技術と親和性が高いといえる。

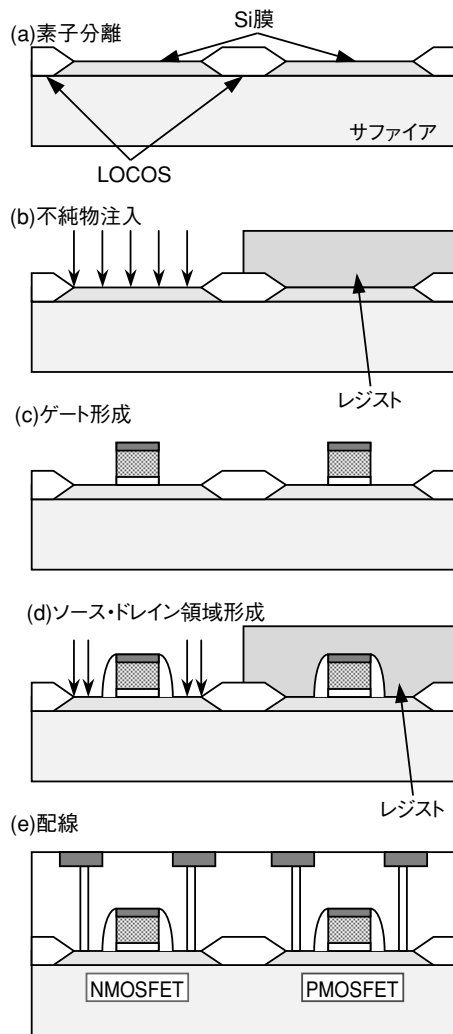


図7 SOSデバイス作製プロセスフロー

以上のように、SOSデバイスはSOIデバイスと同様にバルクSiデバイスと同じ装置を用いて、実績のあるバルクSiデバイスプロセスをそのまま適用可能である。

SOSデバイスの特性

SOSデバイスの I_{ds} - V_{gs} 特性を図8に示す。 I_{ds} - V_{gs} 特性から、 I_{ds} を1桁増加させるために必要な V_{gs} の変化分、サブスレショルド特性（S値）が評価できる。S値はその値が小さいほど優れた特性を意味する。SOSデバイスのS値は、NMOSFETで70mV/decade、PMOSFETでは71mV/decadeと良好な特性を示していることがわかる。さらに、一般的にバルクSiや部分空乏型MOSFETでは85mV/decade程度の値を示すことから、SOSデバイスは完全空乏動作しているものと考えられる。

図9には、SOSデバイスとバルクSiデバイスのトランジスタ高周波特性に関する比較図を示す。トランジスタ

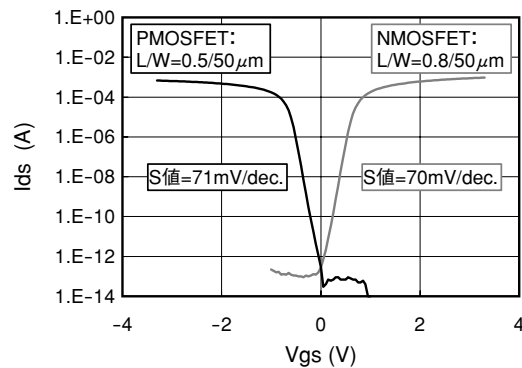


図8 ゲート長 0.5 μ m SOS MOSFETの I_{ds} - V_{gs} 特性

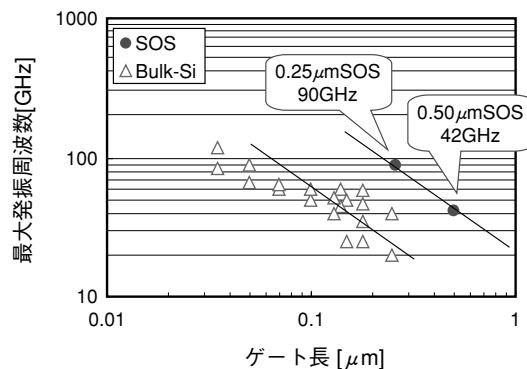


図9 SOSデバイスとバルクSiデバイスのトランジスタ高周波特性比較

の高周波特性は、最大発振周波数（ F_{max} ）でその性能を端的に比較することができる。SOSデバイスでは、ゲート長0.50 μ mで F_{max} =42GHz、0.25 μ mでは F_{max} =90GHz以上が達成できる。SOSデバイスはバルクSiデバイスと比較して約4倍の F_{max} が得られることになる。

受動素子に関しては、インダクタのQ値（Quality Factor）を用いて高周波特性を比較する。Q値は、エネルギーの損失数を表し、高い値ほど優れた特性を意味する。図10に作製したインダクタのQ値とインダクタンスLの周波数特性の一例を示す。バルクSiデバイスでは1.7GHzでQ値=8.7を示すが、SOSデバイスでは6.5GHzにおいてQ値=14.7が達成できた。SOSデバイスは絶縁基板上に受動素子を作製することから、バルクSiデバイスよりも高い周波数領域で高いQ値を得ることができる。

SOSデバイスの特徴

SOSデバイスの特徴をまとめると、

- 完全空乏型MOSFETトランジスタ
- 素子間を完全に分離可能
- 接合容量が極めて小さく、高周波性能、低消費電力特

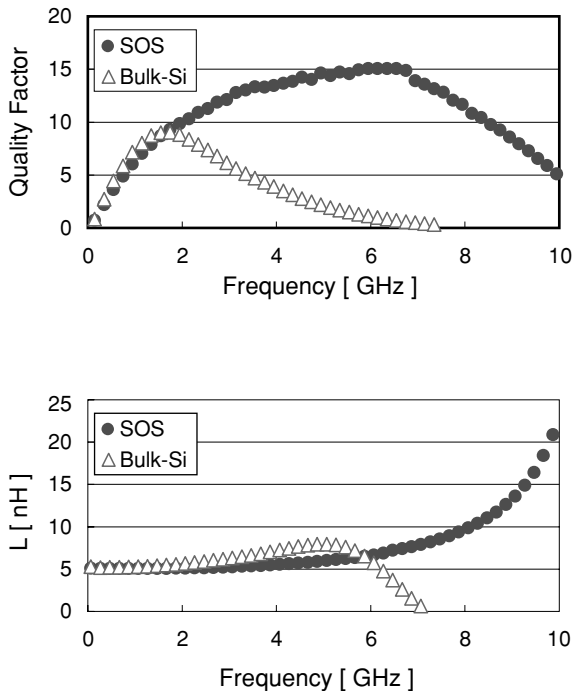


図10 SOSデバイスとバルクSiデバイスのインダクタンス高周波特性比較

性に有利

- 高性能な受動素子（インダクタなど）の実現が挙げられる。また、サファイアを基板とするため
 - 耐放射線性が極めて高い
 - 低クロストーク
 - プロセス完了後の素子が透明
- なども特長として挙げられる。

表1に、SOSデバイスとバルクSi、SOI、Bi-CMOSやGaAsデバイスとの特性比較を示す。SOSデバイスは、完全絶縁基板であるサファイア上に作製され、完全空乏動作MOSFETであることから、高周波性能、低消費電力特性の点で有利である。さらに受動素子でも、より高い周波数領域で高いQ値を示すインダクタを作製できることが

表1 各種デバイス特性比較図

	SOS	バルク Si	SOI	Bi-CMOS	GaAs
高周波性能	◎	△	○	◎	◎
高Qインダクタ	◎	×	○	×	○
集積度	△	◎	◎	○	×
低消費電力	◎	△	◎	×	×
コスト	△	◎	△	△	×

ら、他のデバイスに比べて大きな優位性を持つ。

反面、現状ではサファイアウェハの表面平坦性がやや劣っていること、UTSi^{®1}技術を用いてSOSウェハの品質が格段に向上しても僅かに格子欠陥が残ってしまうことなどから、バルクSiやSOIデバイスのように高集積化、チップサイズの大面積化を図ることが困難である。また、大口径サファイアウェハの価格は非常に高価であり、デバイスコストを引き上げる要因となっている。しかしこれらの問題もSOSデバイスの需要増加とともにSOSウェハの品質の向上や低価格化が進むと予想され、更なるSOSデバイスの優位性が確保できると考えられる。

おわりに

SOSデバイスは、既存のバルクSiデバイスを作製する装置を共用でき、実績あるバルクSiプロセスによって作製できるデバイスである。また、GaAsデバイスよりも高集積化が可能で、バルクSiやSOIデバイスよりも高周波性能、低消費電力特性に優位性がある。さらに、バルクSiやBi-CMOSデバイスよりも高い高周波特性を持つインダクタなどの受動素子を作製することが可能である。

現在は通信用の製品を開発しているが、今後は高周波性能や低消費電力特性の利点を活用した多くのアプリケーションへの応用が期待できる。また、サファイアが透明であるため、光デバイスを混載したモジュールの実現の可能性もある。SOSデバイスはこれらの利点を生かし、ユビキタス時代のキーデバイスになると考えられる。



参考文献

- 1) H.M.Manasevit and W.I.Simpson: "Single-Crystal Silicon on a Sapphire Substrate" JAP Vol.35 pp.1349-1351, 1964
- 2) M.L.Burgener and R.E.Reedy: "Minimum charge FET fabricated on an ultrathin silicon on sapphire wafer" United States Patent No.5,416,043, 1995
- 3) 長友良樹, ロナルド・E・リーディ: "SOS (シリコン・オン・サファイア) 技術の最新動向", 電子材料Vol.42, No.5, 2003年

●筆者紹介

中村稔之: Toshiyuki Nakamura. シリコンソリューションカンパニー 研究本部 新技術研究開発部

松橋秀明: Hideaki Matsuhashi. シリコンソリューションカンパニー 研究本部 新技術研究開発部

長友良樹: Yoshiki Nagatomo. シリコンソリューションカンパニー 研究本部 新技術研究開発部 部長