

# システムLSIソリューション

堀口 勝治

私達の生活を豊かにする21世紀の高度情報通信社会の構築には情報通信機器の高度化がキーになり、それには装置・機器の主要な構成要素であるシリコンLSIの技術革新が不可欠となっている。微細化技術に代表される大規模シリコンLSI技術の進展により、LSIチップに搭載できるシステムの範囲が急速に拡大し、システムLSIと同義語として使われるSoC (System on a Chip) 時代到来とも言われている。システムLSIへの期待はそれを使用するシステムのコンパクト化、低消費電力化、高機能化、低廉化などさまざまである。しかし、システムは多様であり、複雑であり、なおまた大規模であるが故に、システムLSIの設計や試験には困難性の問題が付きまとう。また、大規模集積と高性能とを両立させるケースでは消費電力増大が大きな課題として浮上する。さらに、システムごとに特化するシステムLSIは特注品(カスタム品)になるため、マイクロプロセッサ(MPU)やメモリに代表される汎用品のような少品種・大量生産品とは異なり、多品種・少量生産品になる傾向が強いかにかに経済的に実現するかが大きな課題になる。本稿ではシステムの中核となるシステムLSIが抱えるこのような課題解決に向けた取り組みの動向を解説するとともに沖電気での取り組みの現状を紹介し、今後を展望する。

1970年代初頭に商品化され、LSI技術の革新とともに高性能化・大規模化が目覚しく進展したMPU/DRAMに代表される汎用LSIの流れと、ASSP (Application Specific Standard Products) やASIC (Application Specific Integrated Circuits) のような特定用途向けLSIの流れとに大別される。システムへはこれらのLSIが適宜組み合わせられて適用され、システムの抜本的革新を伴う小型/軽量化、コスト/パフォーマンスの向上、機能高度化などが推進されてきた。

この背景には図2に示すようにシステムの中核となるLSIの最小線幅、集積規模、コスト等のファクタが30年以上に渡って指数関数的に改善されてきたという事実がある<sup>1)</sup>。今後のLSI技術動向に関してもITRS (International Technology Roadmap for Semiconductors) のロードマップに見るように、10~15年に渡って同様な傾向が期待できる<sup>2)</sup>。図2はロジックのゲート単価やメモリのビット単価がこの30年間で5桁以上のコストダウンが行われてきたことを示しており、また、1チップに10<sup>8</sup>個以上のトランジスタ(機能)を搭載できるようになったことを意味する。このようなLSIの技術革新がシステムに与えたインパクトは枚挙にいとまがない。たとえば、情報処理システムにおけるメインフレームコンピュータベース

## システムLSIへの展開

システムLSIへの発展過程を簡単に振り返ってみよう。システムに組み込まれるLSIとしては図1に示すように、

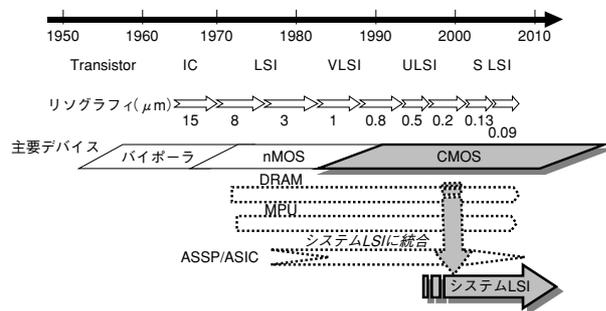


図1 LSI技術開発の推移とシステムLSIへの進化の流れ

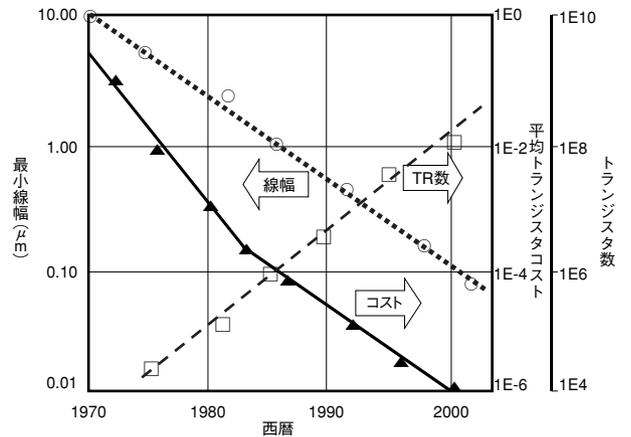


図2 LSIの最小線幅,トランジスタ数,平均トランジスタコストの年次推移

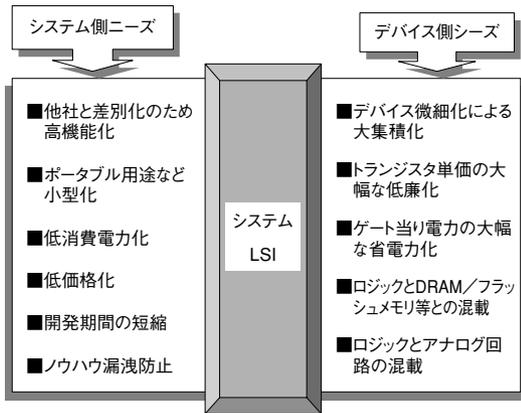


図3 システムLSIへのニーズとシーズ

の集中処理システムからパソコン等をベースとするインテリジェントな分散処理システムへの革新的な進化、固定電話から何時でも何処でも誰とでも通信を可能にする通信ネットワークと携帯型の電話・情報端末への進化、安価なメモリが大量に使えることを背景にした高級言語をベースとするソフトウェアの革新等々である。このように、システム技術革新とLSI技術革新とは不可分の関係にあり、相互に刺激しあいながら今後もさらなる進化して行くものと予測される。

システム側ニーズとデバイス側シーズとの対比を図3に示す。これらのニーズとシーズとを整合させ、LSIチップ上にシステムに必要な中核機能を搭載したものがシステムLSIである。したがって、システムLSIは図1に示した汎用のMPUや特定用途向けのASSP、ASICとは異なり、対象とするシステム機能の中核機能を備えていることを必要条件とし、システムごとにカスタマイズが必要な典型的なカスタムLSIと定義するのが一般的である。

### システムLSI実現上の課題

システムLSI構成のイメージを図4に示す。CPU (Central Processing Unit)、DSP (Digital Signal Processor) やメモリ、各種通信インタフェースなどのシステムの中核機能を備えたLSIである。CPUはMPUで



図4 システムLSIのイメージ

表1 システムLSI実現上の幾つかの課題

技術上の課題	ビジネス上の課題
<ul style="list-style-type: none"> <li>□集積規模増大のスピードに見合った設計生産性向上が困難</li> <li>□デザインサイクルの長期化により、商品が必要とするTime To Market(TTM)との不整合を惹起</li> <li>□集積規模の増大、性能向上により、消費電力が増大</li> <li>□集積規模の増大や機能の複雑性が増し、試験・診断が困難</li> <li>□システム仕様を提示するシステム側と仕様をLSIにインプリメントするデバイス側との乖離を防ぎ、協調を促進する開発環境が不備</li> </ul>	<ul style="list-style-type: none"> <li>□少量・多品種の製品ではロットサイズが小さく、汎用品のような量産効果によるコストダウンが困難</li> <li>□製品寿命の短い製品では、設計・開発コストの比重が増大するため、コストアップを招来</li> <li>□製品のターゲット領域が広範囲に陥りやすく経営資源の選択と集中が困難</li> <li>□製品開発サイクルの長期化により、市場における製品サイクルと不整合</li> <li>□異種技術混載LSI(例:DRAMとロジック)はそれぞれを最適化すると生産コストが増大</li> </ul>

ある場合やキャッシュメモリ、メモリ制御機能やバス制御機能などの機能も備えたMCU (Micro Controller Unit) の場合もある。こうした複数の機能を一つのLSIチップ上に集積して実現するシステムLSIをSoCと呼ぶ。一方、たとえばCPUとメモリ等を別チップにした複数チップを高密度パッケージに実装することにより、パッケージ単位でシステムLSIを実現する形態をSiP (System in Package) と呼ぶ。SiPはその実現形態からMCP (Multi Chip Package) と呼ぶこともある。

システムLSIを実現する上での課題を表1にまとめる。特にSoCでは、技術上の課題だけでなくビジネス上の課題も大きな問題としてクローズアップしている。技術課題の中でも最大の課題は、設計生産性向上のスピードが微細化がもたらすLSIに搭載可能な集積規模増大のスピードに追従できていない点である。さらに、超大規模化と高性能化による消費電力の問題としては、動作時電力だけでなく微細CMOSデバイスのリーク電流等によるスタンバイパワー (待機時電力) の問題が顕在化してきている。一方、ビジネス上の課題としては、システムLSIはシステムごとに特化したカスタムLSIという性格上、多品種になる宿命を帯びており、また一部のキラーアプリケーションを除いては、少量生産というハンディキャップを背負う。このため現状の少品種・大量生産に向けたバッチ処理LSI生産システムでは生産コストの高騰を回避することは困難と言わざるを得ない。さらに、設計生産性との関連では、製品開発サイクルの長期化と開発費用の増大が、特に製品寿命が短いシステム製品に対しては致命的な問題として浮上する。

### システムLSI実現上の課題解決に向けた取組み状況

システムLSI実現上の課題解決に向けた取り組みとして設計生産性向上、低消費電力化、実現手法 (SoC/SiP)

の3つの観点から、それらの動向を述べる。

第一の設計生産性向上策の有力な方法の一つは、IP (Intellectual Property) の活用である。たとえば図4で、ユーザロジックと雑回路を除く機能・回路は、他のシステムLSIにも適用可能な機能である。これらをIPとして設計システムのデータベースに登録しておくことにより、他のシステムLSIを設計する際に再利用できる。改めて設計する必要がなくなる分、設計生産性を向上させることができる。他方、メモリはシステムごとに必要な容量やビット/ワード構成が異なる場合が多いため、その構成に柔軟性を持たせる必要がある。このためメモリコンパイラなどのCADを利用して自動生成したメモリマクロを使用することが多い。IPは自社製以外にも、VSI (Virtual Socket Interface) アライアンスなどを通して流通するIPを利用できる環境が整いつつある。課題として、デバイス・プロセスを変更すると、IPはそれに合わせて再設計が必要のためIPの品質保証やその維持管理等に多くのリソースを要する点である。

IP再利用の手法をさらに発展させ、システムLSI構成の定型化範囲を拡大することにより、設計の効率化を図る手法の一つとして、プラットフォームが注目されている。図5にプラットフォームの考え方を示す。プラットフォームはソフトウェア階層、ハードウェア階層、プロセス階層の階層構成とするのが一般的である。また、システムLSI構成要素として、システムLSIに共通的に使用することを目的とする共通プラットフォームとシステムLSIごとにユニークとなる個別IPで構成する。共通プラットフォームはCPUとOS (Operating System) を含む場合が多い。共通プラットフォームの中にCPU周辺機能を何処まで取り込むかは、適用を想定するシステムの条件により決めることになる。個別IPには、ハードウェアIPに加えて、共通プラットフォームのCPU資源を活用してソフト

階層構成	共通プラットフォーム	個別IP
ソフトウェア	標準OS	アプリケーションソフトウェア ミドルウェア ドライバーソフトウェア
ハードウェア	CPU キャッシュメモリ 外部・割り込み制御ユニット バスアーキテクチャ DSP	通信IP (SIO/PIO/USB/ IEEE1394等) アナログIP (ADC/DAC等) 各種デジタル入出力IP PLL/クロックジェネレータ
プロセス	標準CMOSライブラリ 標準CMOSプロセスフロー 標準CMOSデザインルール	ロジック・DRAM混載 ロジック・フラッシュ混載 ロジック・アナログ混載 SOI-CMOS/SiGe-BiCMOS

図5 システムLSIのプラットフォームと階層の例

ウェアでさまざまな機能を実現するミドルウェアやドライバソフトウェア等のソフトウェアIPが加わり、システムLSI実現形態を多彩化できる。共通プラットフォームを適用できる応用システム範囲が広ければ、課題となっているシステムLSI開発期間短縮に極めて有効な手法となり得る。また、たとえば共通プラットフォームのLSIを予め準備しておき、FPD (Field Programmable Device) 等と組み合わせることにより、テストベンチ上に設計対象のシステムLSIをエミュレートできる環境を比較的容易に実現できる。この環境を用いればシステム側のシステム開発やアプリケーションソフトウェア開発とデバイス側のシステムLSI開発とを同時進行させることができ、総合的にシステム開発スピードを向上させることが可能になる。

プラットフォーム手法の課題は、共通プラットフォームの適用範囲を拡大しようとする性能や機能で階層化した何種類かの共通プラットフォームを用意する必要があり、プラットフォーム開発に多くのリソースを必要とする点である。それに加えて、プロセス階層が変わるとデザインルールに合わせて共通プラットフォームの再設計が必要になるなどハードウェアIPと同様に、維持管理に多くのリソースを必要とする点である。

システムLSI設計生産性向上のもう一つの重要な手法はCADの上位化である。現状では、システム仕様を機能記述言語で記述し、論理回路を自動合成する手法が確立されており、論理LSIの設計生産性向上に大いに貢献している。しかし、システム仕様からシステムLSIに必要な機能記述に展開する際、システム仕様記述と機能記述との間にギャップがあるため、システム仕様を完璧に機能記述に書き下すことはなかなか厄介な問題である。上位設計フェーズでの設計バグはシステムLSIに対し、致命的な欠陥となる場合が多い。したがって、設計リワークを必要とするため開発期間や費用面で大きな損失を招くことになる。この問題に対応するため、C言語ベースで書かれたシステムの動作レベルの仕様から、機能記述を自動生成できるCADシステムが開発されている。このような上位CADを活用する手法の利点として、ソフトウェア・ハードウェアの協調設計が効率化されるという効用もあり、システムLSI開発期間短縮に役立つ。

上記3つの設計手法はそれぞれ独立に意味を持ち、設計効率化に役立つことは言うまでもない。これらを適宜組み合わせ合わせて相乗効果を高めることができれば、さらなる設計生産性の大幅な向上が期待できよう。

次に大規模・高性能化に伴って増大するシステムLSIの消費電力をいかに抑制するかという課題への取り組み状況について簡単にふれる。微細化に伴ってCMOS-LSIの

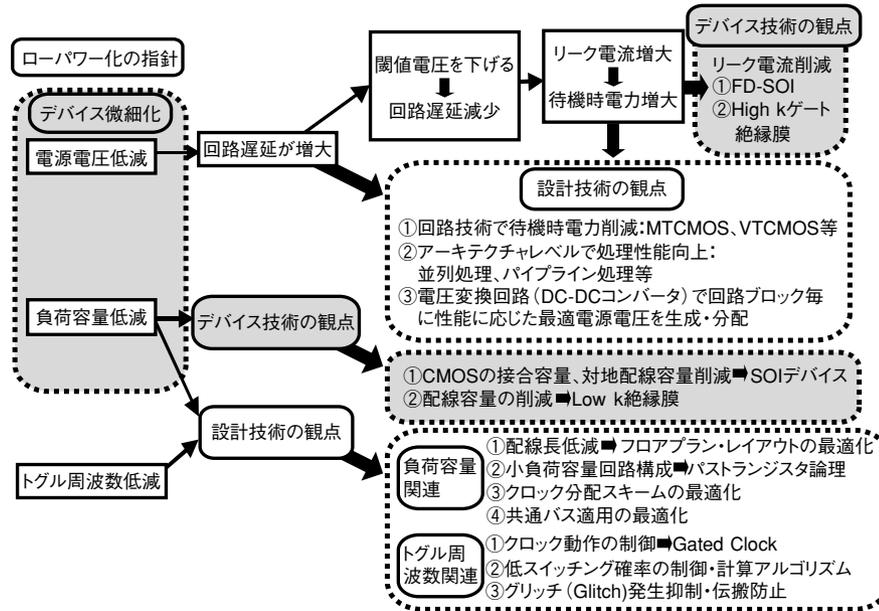


図6 CMOS-LSIローパワー化の技術体系

電源電圧をスケールリング則にしたがって下げ、内部電界を一定に保つようにすれば、微細化・大規模化を進めても、LSIの消費電力はほぼ一定になるはずである。しかし、現実に使用する電源電圧はスケールリング則で定義されている電圧値より高く設定されていることが、消費電力問題を大きく浮上させた最大の原因である。CMOS-LSIの消費電力は動作時の消費電力とリーク電流等によるスタンバイ（待機時）電力とで構成される。動作時の消費電力は良く知られているように、電源電圧の2乗、負荷容量、トグル周波数の積に比例する。また、リーク電流はMOSTランジスタのドレインからソースに向かって流れる電流やゲート絶縁膜を通してドレインからゲートに向かって流れる電流（ゲート酸化膜厚 $T_{ox}$ の指数関数に反比例）等で構成される。スケールリング則と消費電力に関する上記の指針から、図6に示すようなCMOS-LSIの低消費電力化技術体系が得られる。デバイス技術と設計技術の両面からさまざまな手法が実用化され、また研究開発されている。これらの体系を貫いている基本的な考え方は、電源電圧を下げることにより消費電力を低減すること、その場合でも性能を落とさないようにすること、そしてリーク電力を抑制することの3点を如何に目的に合わせて実現するかに尽きると言っても過言ではないだろう。このようにシステムLSIの消費電力は実現すべき機能・性能に対し、消費電力低減に効果のある設計技術・デバイス技術を総合的に駆使することにより、必要最小限の消費電力になるよう抑制する。

この項の最後に、システムLSI実現形態としてSoCと

SiPの利害得失について考察する。表2にSoCとSiPの実現上の特徴に基づいてそれらの利害得失の比較をまとめる。一般的にSoCは、開発期間が長期化する方向にあり、開発コストも高くなる傾向にある。また、少量生産では生産コスト高になる傾向にあるため、大量生産を必要とするようなキラーアプリケーションへの適用が望ましい。その一方で、たとえばゲーム機などでは高性能なグラフィック処理を必要とするため、超広帯域のメモリバンド幅が必要となる。このためDRAMとCPUを同一チップ内に集積するSoCの実現形態が向いている。また、SiPとの相对比较では消費電力は低く抑えることができる場合が多く、特に低消費電力を重視するシステムにはSoCが向いていると言えよう。一方、SiPはLSIチップの組合せが自由であり、最適なプロセスで生産した低コストチップを使用できる。また、たとえばMPUや大容量DRAMあるいは大容量フラッシュメモリなど既存チップで構成するSiPでは、

表2 システムLSIにおけるSoCとSiPの利害得失

システムLSI	SoC	SiP
システムLSIの実現形態	複数チップを1チップ化	複数チップを1パッケージ化
開発期間	大規模化・複雑化のため長期化	既存チップを使う場合には短期化が可能
開発コスト	開発の長期化により多くのリソースが必要	既存チップを使う場合には低コスト
性能	1チップ内に機能が集約できるため高速化が可能	性能律則要因がチップ間にまたがる場合は不利
消費電力	1チップ内に全ての機能を収容するためSiPより小	チップ毎に消費電力大のI/O回路がつくため、SoCより大
生産コスト	大量生産に向いており、少量生産ではコスト高	少量生産でもコストを低く抑制
多機能化	シリコンLSI上で混載できる機能の範囲に限定	光素子など異技術製品との組合せも可能

開発期間はパッケージへの実装設計に集約され、短期間で開発が可能になる。この場合には開発費用も抑制可能であることは論を待たない。したがって、SiPは開発期間の厳しい製品や少量生産製品あるいはSoCで1チップに收容するには向いていない機能を実現するのに向いていると言えよう。このように、表1に示したシステムLSI実現する上での技術あるいはビジネス上の課題はSoCあるいはSiPを適宜使い分けることによって解決できると言って良いだろう。

## システムLSI実現に向けての 沖電気の取組みの現状

沖電気では、システムLSIに対し短納期、高品質さらには開発投資の抑制に対するお客様からの要求に応えるべく、1997年以来SPA (Silicon Platform Architecture) と称するプラットフォームを提唱し、システムLSIの開発を行ってきている<sup>3)</sup>。SPAのコンセプトは、対象とするアプリケーション領域に対し、共通プラットフォームに当る部分のシステムアーキテクチャを標準化し、専門知識を個別IPとして集約しておくことにある。お客様からの具体的なシステムLSI開発要求があった場合には、システム仕様に対応するカスタマイズを行うことで設計を完了させるという考え方に立っている。共通プラットフォームのコアCPUには32ビットRISC (Reduced Instruction Set Computer) プロセッサとして広く普及しているARM<sup>\*1)</sup>を採用している。このような沖電気固有のシステムLSIの共通プラットフォームをμPLAT<sup>\*2)</sup>と呼んでいる。

図7に沖電気のシステムLSIプラットフォーム(μPLAT)の構成例(μPLAT-7B)を示す。コアプロセッサとしてARM7TDMI<sup>\*1)</sup>を使用しており、0.25μmバルクCMOSプロセスでクロック周波数33MHzで動作させている。システムバス、周辺バスはARM社が提供しているAMBA<sup>\*3)</sup> AHB (Advanced High-performance Bus), AMBA APB (Advanced Peripheral Bus) をそれぞれ採用している。本構成に見るようにμPLATではCPUだけでなくCPUの直接周辺機能を包含した構成にしてある。それと同時にプラットフォームをCPUを中心とした共通プラットフォームに該当するコア部(μPLAT-7B)と周辺機能を包含した(ML674000)階層構成にしてある。周辺機能を拡張したり変更することで容易にさまざまなシステムLSIに展開できるように工夫されている。

\*1) ARM7TDMI, ARMはARM社の登録商標です。 \*2) μPLATは沖電気工業(株)の登録商標です。  
\*3) ARM9, AMBAはARM社の商標です。

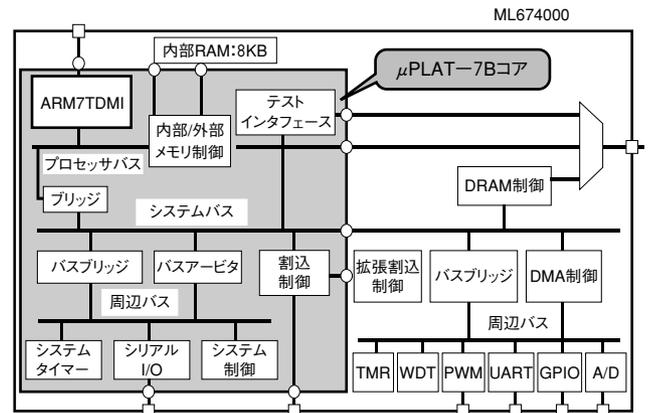


図7 沖のプラットフォーム(μPLAT)構成とシステムLSIへの展開例

MCUタイプのプラットフォームの利点として、タイミング設計が厳しいCPU周辺の設計やリアルタイムOSを搭載するためのプリミティブな機能設計、外部メモリアーキテクチャ設計、外部インタフェースの設計等が不要になり、ユーザサイドでは、より付加価値の高いアプリケーション開発に注力できることになる。ML674000を適用したアプリケーション例として、PHS (Personal Handy-phone System) やDVD (Digital Video Disc) 制御等がある。ML674080はML674000と機能ならびに端子互換性を持たせ、デバイスとして0.2μm完全空乏型SOI (FD-SOI:Fully Depleted-Silicon On Insulator) を採用したファミリである。同一のクロック動作周波数(33MHz)に対して、電源電圧を1.8Vに低下できることにより、消費電力をバルクCMOSタイプ(電源電圧:2.5V)の1/3に低減できた。

ARM7をコアとするμPLATのファミリ展開として、デバイス技術の進展に合わせて、より高速化・低消費電力

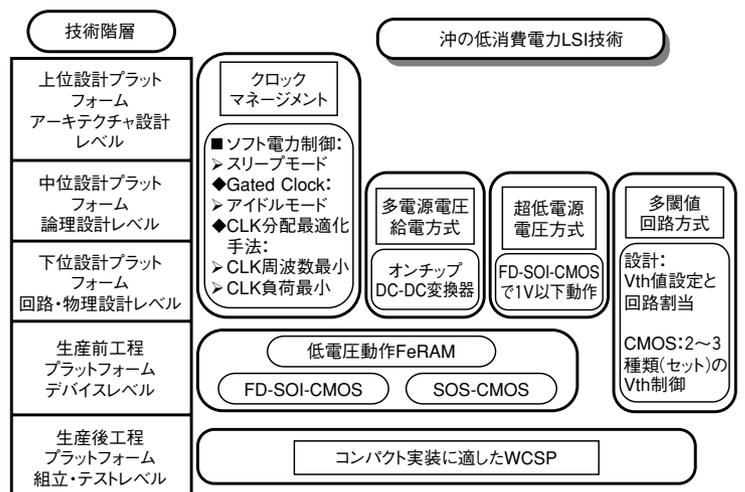


図8 沖の低消費電力システムLSI技術の体系

化を進めている。それと同時に、より高機能・高性能なARM9<sup>\*3)</sup>をコアCPUとするμPLAT-92の商品化(133MHz, 1.8V, 0.16μm)も完了させた。こうしたμPLATファミリの拡張により、VoIP (Voice over Internet Protocol) システム、各種デジタルオーディオシステム、DSC (Digital Still Camera)、移動通信端末機器など各種システムへ幅広く適用できるようになった。

次に、沖電気が取り組んでいるシステムLSI低消費電力技術について述べる。現在実用フェーズになっている沖電気のシステムLSI低消費電力技術体系を図8に示す。技術を階層化し、大きくは設

計、デバイス・プロセス、組立・テストの3階層としている。さらに設計階層を詳細化し、アーキテクチャ設計レベル、論理設計レベル、トランジスタ回路・レイアウト (物理) 設計レベルの3階層に分類する。設計階層間にまたがる技術例としてはGated Clockやクロック分配、配置・配線などの工夫により負荷を極力小さくするクロックマネジメント手法をCADベースで実現している。適用するLSIの動作に依存するが30~50%の電力削減効果が期待できる。

ソーラバッテリー給電方式の超低消費電力腕時計用LSIに適用した技術の特徴を以下に示す。

- ①リーク電流抑制と必要な動作速度確保とを両立させることが可能な完全空乏型SOI技術
- ②回路ブロックごとに速度と消費電力とを最適化するため、回路動作に必要な最小電源電圧を給電するDC-DCコンバータ内蔵による多電圧給電方式
- ③リーク電流の抑制、動作速度と消費電力低減とを並立させる多閾値トランジスタ回路方式
- ④超低電圧 (0.7V) ・超低電力回路動作方式

デバイス技術面ではSOI技術の他に、高周波領域 (GHz帯) でのLSI低消費電力化を狙いにしてSOS-CMOS (Silicon On Sapphire) 技術の開発を行っている。一方、メモリの低消費電力化では、図9に示すように、FeRAM (Ferroelectric Random Access Memory: 強誘電体RAM) の開発を進めている。FeRAMは不揮発性のRAMで、フラッシュメモリやEEPROMなどと比較し、①高書き込みスピード、②高書き換え回数、③低消費電力という特徴がある。沖電気では強誘電体材料としてSBTを採用し、これを薄膜化することにより2V以下の低電圧動作を可能にした。本FeRAMは超低消費電力なロジック回路との混載用途に向いている。

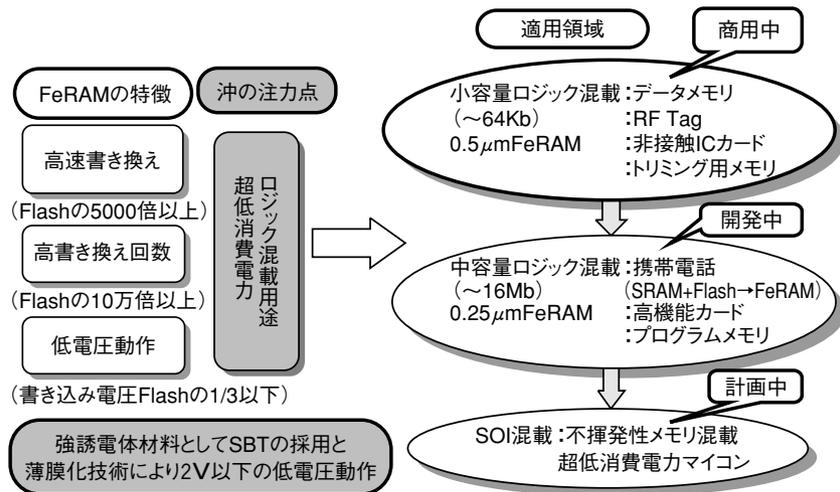


図9 沖の低消費電力FeRAM技術の特徴と適用領域

最後に、SiP技術として、システムLSIやP2ROM (Production Programmed ROM) 応用製品等に対し、①新規商品開発の短納期化、②開発投資の抑制、③複数チップの積層により実装面積の縮小を狙いとしてチップ積層タイプMCPを開発し、量産化している。

#### システムLSIソリューションの今後の展開

上述したさまざまな技術開発の流れは今後のシステムLSIの主力技術として一層高度化が加速されるであろう。一方、ユビキタス時代に呼応したRF、光、温度差等をエネルギー源とするバッテリーレスの超低消費電力LSI技術の開発が進むであろう。また、システムLSIへの入出力手段として、電気以外の手段 (たとえば光や化学反応等) へのニーズが増し、これに対応するためシリコンLSIと各種センサーやMEMS (Micro Electro-Mechanical System) との融合が進み、ロボット、医療など新しいアプリケーション領域の創成が期待できる。◆◆

#### 参考文献

- 1) G.E.Moore; "No Exponential is Forever: But " Forever Can Be Delayed" ", 2003 ISSCC Digest of Technical Paper, Vol.46, pp.20-23
- 2) International Technology Roadmap for Semiconductors:2001 Edition
- 3) SPA特集, 沖電気研究開発184号, VOL.67 No.3, 2000年10月

#### ● 筆者紹介

堀口勝治: Shoji Horiguchi. シリコンソリューションカンパニー 理事