

40Gbit/s光通信用InP系HEMT技術

大島 知之
伊藤 正紀

星 真一
角谷 昌紀

森口 浩伸
市岡 俊彦

近年、インターネットに代表されるネットワーク技術の急速な発展により、通信の高速、大容量化への要求が高まっており、10Gbit/s光通信システムの普及、拡大が進められている。しかしながら、動画や音楽などコンテンツの多様化により、通信トラフィックは爆発的に増大し続けており、既に次世代光通信システムとして、より伝送容量の大きい40Gbit/s光通信システムの研究開発が始まっている。

40Gbit/s光通信システムの実現には、信号処理を高速に行う超高速送受信ICの開発が必要となるが、一般に光通信用送受信ICを構成するトランジスタには、少なくともビットレートの4~5倍の遮断周波数 (f_T) が求められる。すなわち、40Gbit/s光通信用送受信ICの実現には、 f_T が160~200GHzのトランジスタを適用する必要がある。このような優れた高周波特性を実現できる可能性のあるデバイスとして、現在、SiGe-HBT (シリコンゲルマニウム-ヘテロ接合バイポーラトランジスタ)、InP-HBT (インジウムリン-ヘテロ接合バイポーラトランジスタ)、InP-HEMT (インジウムリン-高電子移動度トランジスタ)の開発が進められている。SiGe-HBTはシリコンの最先端プロセス技術を核とした高集積、多機能化に有利なデバイスであるが、コレクタ耐圧が低く光通信用送受信ICのキーとなるアナログICへの適用が難しい。また、InP-HBTは駆動能力が高くICの低消費電力化に有利な反面、ベース-コレクタ間寄生容量の影響が大きく、トランジスタ寸法微細化による高速化のメリットを十分に引き出すのが困難である¹⁾。

我々は、これらのトランジスタの中で最も高い f_T が実現可能であり、さらに、沖電気の保有する10Gbit/s光通信用GaAs-HEMT (ガリウムヒ素-高電子移動度トランジスタ) プロセス技術^{1) 2)}の適用が可能なInP-HEMTに着目し、40Gbit/s光通信用超高速送受信ICの基本デバイスとして開発を進めてきた^{3) 4) 5)}。

本稿では、我々の開発したInP-HEMTの高耐圧、かつ、高速なデバイス特性、および、本デバイスを用いて作製した超高速ICの特性について概説する。

ダブルリセス構造InP-HEMT

InP-HEMTは、InPに格子整合する $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 層、 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 層を、InP基板上に積層した構造から成り、その優れた高周波特性は、チャンネル層として用いる $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 層の高い電子移動度 ($10,000\text{cm}^2/\text{V}\cdot\text{s}$)、InGaAs/InAlAsヘテロ接合界面に形成される高濃度の二次元電子ガス ($3\times 10^{12}\text{cm}^{-2}$)、さらに、 $0.1\mu\text{m}$ にまで縮小された微細ゲート電極形成技術によって実現されている。しかしながら、ゲート長の短縮によりチャンネル内の電界強度が強くなるのに伴い、InP-HEMTではドレインコンダクタンス (g_d) の著しい増加やドレイン-ソース間破壊耐圧 (BV_{ds}) の低下といった問題が顕著になる。これは $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ チャンネルのバンドギャップが 0.75eV と小さく、衝突イオン化率が高いことに起因するものである。この問題を解決するため、我々はダブルリセス構造の適用によりInP-HEMTの高耐圧化を図った。

図1に、我々のInP-HEMTの断面構造を示す。メサエッチングにより素子間分離したデバイス領域に、ソース、ドレイン電極、および、ゲート長 $0.1\mu\text{m}$ のT型ゲート電極を形成した構造となっている。通常、HEMTの作製プロセスにおいては、ゲート電極形成前にリセスエッチングを行い、ドレイン電流 (I_{ds}) やしきい値電圧 (V_{th}) などデバイス特性の合わせ込みを行う。ダブルリセス構造の

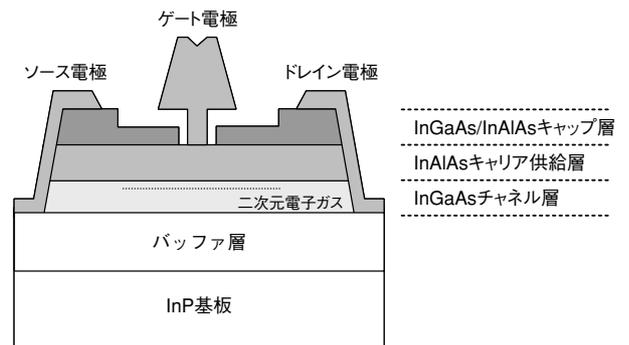


図1 InP-HEMTのデバイス構造断面図

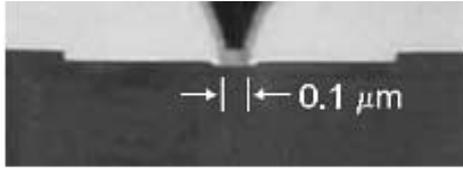


写真1 ゲート電極近傍の断面TEM写真

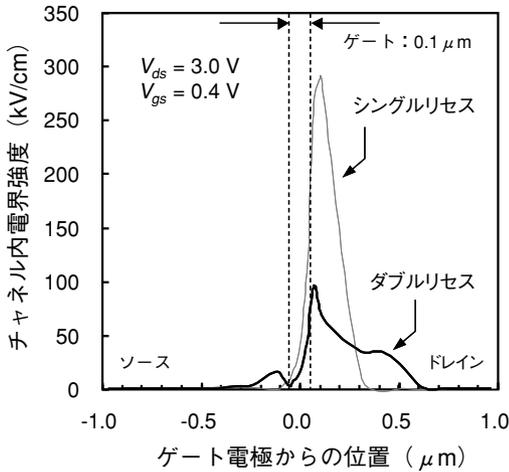


図2 チャンネル内電界強度分布の計算値

デバイスでは、本リセスエッチング工程を2度行うことにより、ゲート電極近傍に2段階のエッチング段差を形成する。我々は、InAlAs層をエッチングストップとするInGaAs層の選択ウェットエッチング技術を用い、キャップ層領域のリセスエッチングを2度行い、ダブルリセス構造を形成した。写真1に、ゲート電極近傍の断面TEM（透過型電子顕微鏡）写真を示す。平坦な表面を持つ2段階のエッチング段差が、ゲート電極近傍に形成されているのが確認できる。

ダブルリセス構造のHEMTでは、2段のリセスエッチング部それぞれに対しリセス幅やリセスエッチング深さを調整することで、ゲート電極近傍の電子濃度分布を任意に設計することができ、これによりドレイン電圧 (V_{ds}) 印加時のチャンネル内の電界強度を大きく緩和することが可能となる。図2は、エッチング段差が1段のシングルリセス構造、および、2段のダブルリセス構造のInP-HEMTに対し、それぞれ V_{ds} を3V印加した際のチャンネル内電界強度分布を、二次元デバイスシミュレータを用いて計算した結果である。ダブルリセスの形状については、電界強度の緩和を図ると同時に、 g_m や f_T などデバイス特性を損なわないように最適化したパラメータを用いた³⁾。図2に示した通り、ダブルリセス構造を採用することにより、チャンネル内最大電界強度を、シングルリセス構造の場合の約1/3程度にまで低減可能なことが分かる。

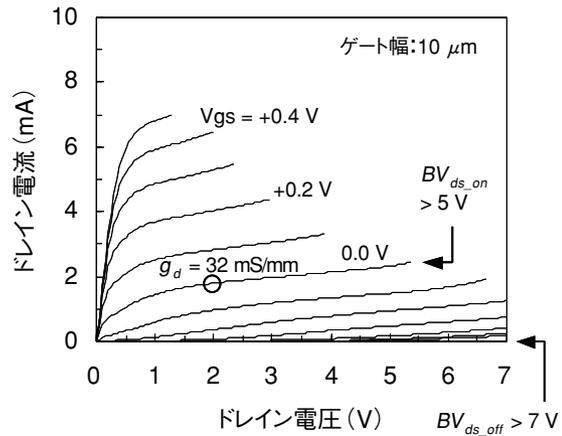


図3 InP-HEMTの V_{ds} - I_{ds} 特性

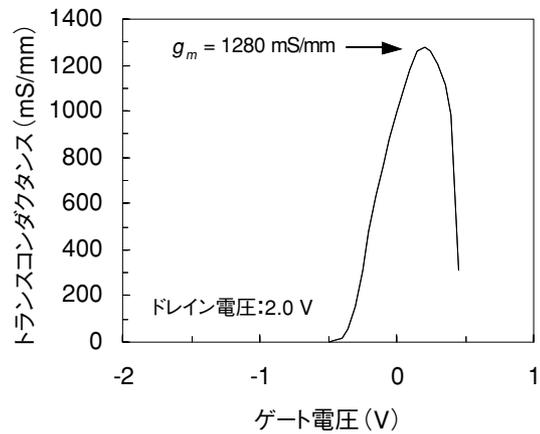


図4 InP-HEMTの V_{gs} - g_m 特性

ダブルリセス構造InP-HEMTのデバイス特性

最適化されたダブルリセス構造を適用したInP-HEMTの、ドレイン電圧-電流 (V_{ds} - I_{ds}) 特性を図3に、ゲート電圧-トランスコンダクタンス (V_{gs} - g_m) 特性を図4にそれぞれ示す。0.1 μm という微細ゲートにも関わらず、良好な飽和特性とピンチオフ特性が達成されている。 g_m は最大で1280mS/mmという高い値が得られており、同時に g_d は32mS/mmと低く抑えられている。電圧ゲインとなる g_m/g_d 比は40という大変高い値となった。耐圧もオン状態の BV_{ds} (BV_{ds_on}) で $>5\text{V}$ 、オフ状態の BV_{ds} (BV_{ds_off}) では $>7\text{V}$ という高耐圧特性が達成された。ダブルリセス構造の採用によりチャンネル内電界強度を緩和することで達成したこのような高耐圧特性は、光通信用送受信ICの中でも最も耐圧の必要とされる、EA変調器（電界吸収型変調器）ドライバICへの適用にも十分に耐えうるもので

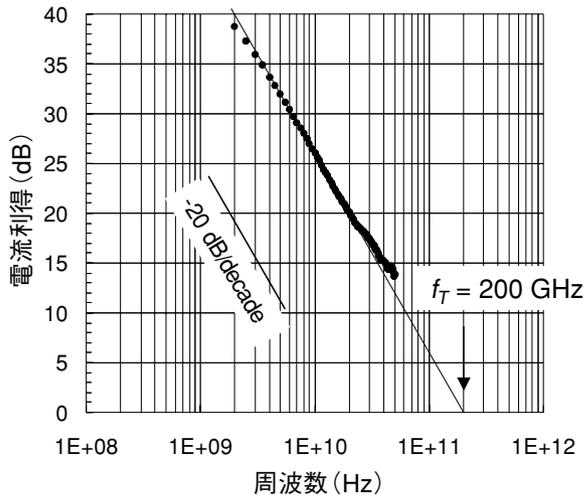


図5 InP-HEMTの電流増幅率の周波数依存性

ある。

図5に本InP-HEMTの電流利得 (h_{21}) の周波数特性測定結果を示す。 h_{21} は-20dB/decadeの傾きをもって減少し、その外挿線の周波数軸との交点から f_T が求まる。高耐圧特性と同時に、 f_T は200GHzという高い値が得られており、40Gbit/s光通信用超高速送受信ICへ適用可能な優れた高周波特性が実現されている。

ダブルリセス構造InP-HEMTの超高速ICへの適用

ダブルリセス構造を有するInP-HEMTの高速動作特性を評価するために、SCFL (Source-Coupled Field Effect Transistor Logic) インバータを基本論理素子として構成したリング発振器を作製し、インバータ遅延時間 (t_{pd}) の評価を行った。図6に、 t_{pd} の3インチウエハ面内での測定結果をヒストグラムとして示した。 t_{pd} は平均値で5.77ps/gateと非常に高速な値が得られ、InP-HEMTの高速動作特性が確認できた。SCFLインバータにおいては、トランジスタの g_m や f_T と同時に、 g_a がその動作速度に大きく影響する³⁾。ここで得られた高速動作特性は、ダブルリセス構造の採用によって、InP-HEMTの g_a を低く抑えたことにより達成されたものである。また、 t_{pd} の均一性に関して、3インチウエハ面内の標準偏差 (σt_{pd}) で0.05ps/gateと、非常に良好な結果が得られた。これは、ダブルリセス構造を形成するための2度のリセスエッチング工程に、選択ウェットエッチング技術を適用したことによって、エッチング段差を精度良く制御したことによるものであり、インバータを構成する各素子の V_{in} や g_m などデバイス特性が、ウエハ面内で均一に作りこまれていることを示している。

ダブルリセス構造を有するInP-HEMTの安定性を確認

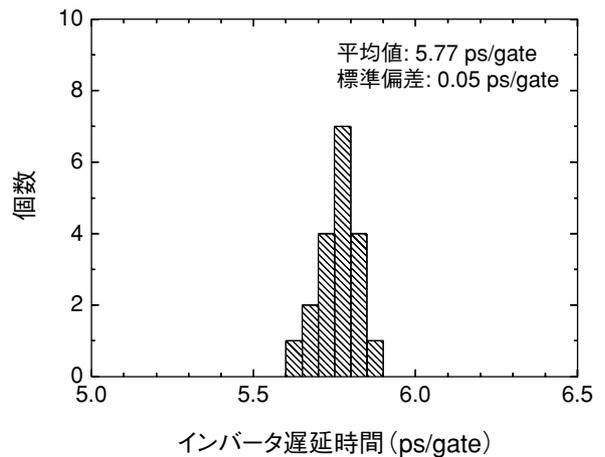


図6 SCFLインバータ遅延時間のヒストグラム

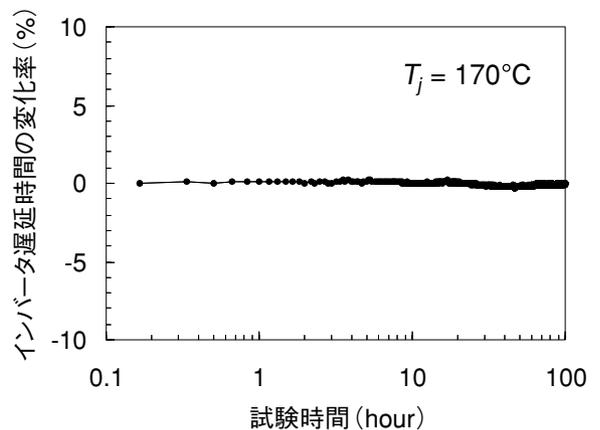


図7 リング発振器の高温動作試験結果

するために、本リング発振器を用いた高温動作試験を実施した。試験は加熱したステージ上にウエハをセットし、リング発振器を動作させた状態で、 t_{pd} を一定間隔でモニタしながら行った。接合温度 (T_j) 170°Cの条件で試験を行った。図7に試験時間に対する t_{pd} の変化率を示す。100時間の試験時間に渡って t_{pd} の変化率は1%以下と小さく、本InP-HEMTの高速、かつ、安定動作を確認することができた。

ダブルリセス構造を有するInP-HEMTの超高速ICへの適用例として、SCFLにより構成した1/2スタティック分周器ICを試作した。ICはトグルフリップフロップ (T-FF)、および、入出力のバッファ段により構成される。配線はシリコン窒化膜を層間膜とした2層配線プロセスにより形成した。図8に試作した1/2スタティック分周器ICの50GHz入力時の動作波形を示す。50GHzとい超高速動作にも関わらず、25GHzに分周された波形歪みの無い良好な出力信号が得られた。この結果は、我々の開発したダ

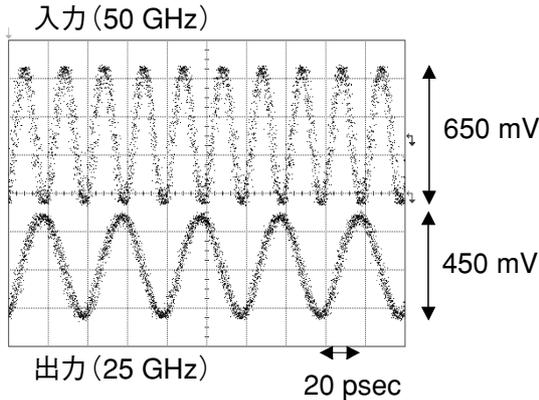


図8 1/2スタティック分周器ICの50GHz入力時動作波形

ブルリセス構造0.1 μm ゲート InP-HEMTが、40Gbit/s光通信用ICの基本素子として、十分な性能を有していることを示すものである。

まとめ

40Gbit/s光通信用超高速送受信ICの基本デバイスとして、ダブルリセス構造を有するInP-HEMTを開発した。最適化されたダブルリセス構造の適用によりチャネル内電界強度の緩和を図ることで、 $g_m = 1280\text{mS/mm}$ 、 $g_d = 32\text{mS/mm}$ 、 g_m/g_d 比=40、 $BV_{ds_on} > 5\text{V}$ 、 $BV_{ds_off} > 7\text{V}$ 、 $f_T = 200\text{GHz}$ という、優れたデバイス特性と高耐圧特性を実現した。また、SCFLを基本論理素子とするリング発振器を作製しインバータ遅延時間の評価を行い、 $t_{pd} = 5.77\text{ps/gate}$ 、3インチウェハ内における標準偏差 $\sigma t_{pd} = 0.05\text{ps/gate}$ という、本デバイスの高速、かつ、均一動作特性を確認した。さらに、リング発振器の $T_j = 170^\circ\text{C}$ における高温動作試験を実施した。100時間の試験時間に渡って t_{pd} の変化は1%以下と小さく、本デバイスの高速かつ安定動作を確認することができた。また、本デバイスを用いSCFLにより構成した1/2スタティック分周器ICの試作を行い、50GHzにおける超高速分周動作を実現した。我々の開発したダブルリセス構造0.1 μm ゲートInP-HEMTが、40Gbit/s光通信用送受信ICの基本デバイスとして、十分なポテンシャルを有することを確認した。

今後、EA変調器ドライバICなど、送受信部のキーコンポーネントであるアナログICを中心に開発を進める予定である。 ◆◆

参考文献

1) T. Kimura *et al.*: GaAs PHEMT technology for optical communication system, Proc. GaAs Manufacturing

Technology, p134, 2002

2) H. Ikeda *et al.*: An auto-gain control transimpedance amplifier with low noise and wide input dynamic range for 10-Gbit/s optical communication systems, IEEE J. Solid-State Circuit, Vol. 36, No. 9, p.1303, 2001

3) S. Hoshi *et al.*: Double-recessed 0.1- μm -gate InP HEMTs for 40 Gbit/s optical communication systems, Jpn. J. Appl. Phys., Vol. 42, No. 4B, p.2367, 2003

4) T. Ohshima *et al.*: 0.1- μm -gate metamorphic high electron mobility transistor on GaAs and its application to source-coupled field-effect transistor logic, Jpn. J. Appl. Phys., Vol. 42, No. 6A, p.3320, 2003

5) H. Moriguchi *et al.*: Isolation degradation of InAlAs/InGaAs/InP HEMTs due to bias stress depending on passivation films formed by PCVD, Proc. Int. Conf. Indium Phosphide and Related Materials 2001, p.489, 2001

筆者紹介

大島知之: Tomoyuki Ohshima. オプティカルコンポーネントカンパニー III-Vデバイス部

星真一: Shinichi Hoshi. オプティカルコンポーネントカンパニー III-Vデバイス部

森口浩伸: Hironobu Moriguchi. オプティカルコンポーネントカンパニー III-Vデバイス部

伊藤正紀: Masanori Itoh. 研究開発本部 先端デバイスラボラトリ

角谷昌紀: Masanori Tsunotani. オプティカルコンポーネントカンパニー III-Vデバイス部

市岡俊彦: Toshihiko Ichioka. オプティカルコンポーネントカンパニー III-Vデバイス部