

# ウェハレベルチップサイズパッケージ (W-CSP) におけるインダクタ内蔵技術の開発

安在 憲隆  
照井 誠

渡辺 潔敬  
大角 卓史

宇津木 知克

携帯機器の小型化・高機能化が進み、さらにコンテンツの容量も増加している。この市場ニーズに応えるための実装技術からのアプローチとして、1つのパッケージに複数の受動部品、LSIチップを搭載するシステムインパッケージ (SiP) が注目されている。なかでも、高周波機器用途には、ウェハレベルチップサイズパッケージ (以下W-CSPと略す) にインダクタを内蔵した超小型かつ高機能のLSIパッケージの開発が必要になる。

高周波機器用途のインダクタをLSI内のアルミニウム配線やモジュール基板上的チップ部品で形成する場合、アルミニウム配線ではQ値は通常10以下であり<sup>1)</sup>、高Q値の確保が難しい。また、チップ部品点数の増加により小型化が難しいことなどの問題がある。

今回、W-CSP再配線の微細化により、小型・高性能のインダクタ形成を実現し、その高周波特性を検証した。

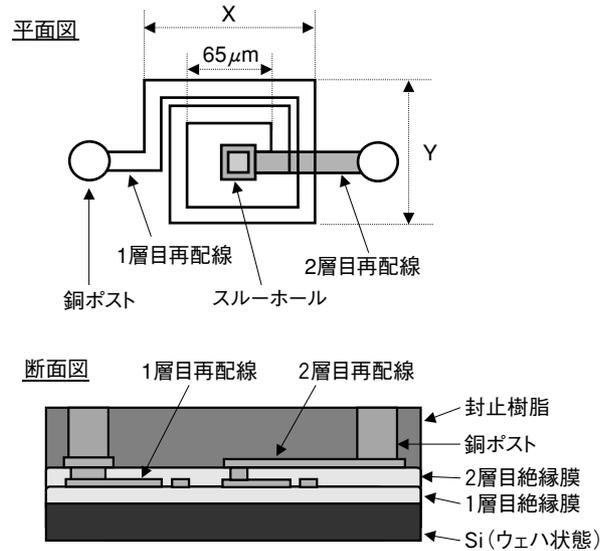


図1 インダクタの概略図

## W-CSP内蔵インダクタ

### (1) 特徴

W-CSPでは、再配線により、LSIのパッドをパッケージの外部端子へ再配置する。この再配線技術を利用し、W-CSP内部にスパイラル形状のインダクタを形成することができる。図1にインダクタ構造の概要を示す。

W-CSPの再配線材料として使用される銅は、LSI内の配線材料として使用されるアルミニウムより、抵抗率が35%小さい。このため、W-CSP内蔵インダクタは、アルミニウムで形成されるインダクタより損失が小さく、高Q値の確保が期待できる。

### (2) 構造

図1にインダクタの構造を示す。1層目再配線にて、四角形のスパイラル形状を形成し、スルーホールを介して1層目と2層目再配線を接続している。

表1に示した配線幅、配線間隔、巻き数、絶縁材料を考慮して、インダクタ構造の最適化を図った。

表1 評価水準

	1	2	3
配線幅	5 μm	10 μm	15 μm
配線間隔	5 μm	10 μm	15 μm
巻き数	4.5巻き	6.5巻き	8.5巻き
絶縁膜材料	A(誘電率3.6)	B(誘電率2.85)	—

### (3) 開発目標

高周波機器に採用されるインダクタを想定して以下のような開発目標を設定した。

- ①再配線の微細化：端子ピッチ0.5mm間にインダクタを形成するための微細化技術の確立 (配線幅15 μm以下、配線間隔10 μm以下)
- ②電気特性：インダクタンス範囲1~10nH、Q値15以上を満たす基本構造の確定。

## 再配線の微細化

### (1) 配線幅

図2に配線の設計値に対する寸法変換差を示す。現状の標準フォトリソ条件では、配線幅10 μm以下では、設計

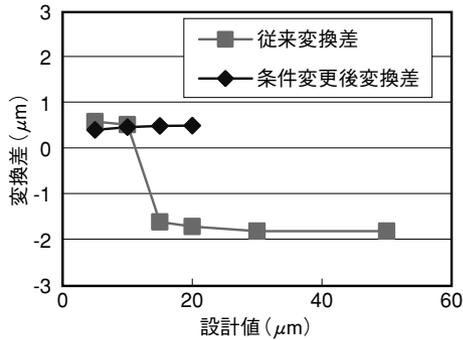


図2 配線設計値と変換差の関係

どおりの仕上りが得られない。フォトレジスト塗布条件、露光条件、現像条件を改良し、寸法変換差をほぼ一定にすることが可能となった。

(2) 配線間隔

配線間隔5,10,15 μmで、配線加工プロセスにおける外観不良（メタルショート）を検証した。従来プロセスでは、配線間隔10 μmで95%、15 μmでも96.7%の歩留まりしか得られなかった。レジスト剥離条件、エッチング条件などを、改良した結果、配線間隔10 μm以上で、歩留り100%が得られ、量産レベルで配線間隔10 μmを実

現するプロセスが確立できた。

以上の結果から、新プロセス条件では現行デザインルールの配線幅20 μm、配線間隔25 μmから、配線幅15 μm、配線間隔10 μmへ微細化することが可能となり、インダクタの占有面積は1/3へ大幅に低減できることが確認された。これは他社のデザインルールに比べ最小の配線ピッチである。

このデザインルールによって、端子ピッチ0.5mmのW-CSP端子間に巻き数が6.5巻きのインダクタを配置できる。

電気特性

内蔵インダクタのインダクタンスとQ値を測定した。

ベクトルネットワークアナライザにより、Sパラメータを測定し、Yパラメータへ変換した後、以下の式により、インダクタンス (L) とQ値を求めた。

$$L = \text{Im} (1/Y_{11}) / 2\pi f \quad (\text{式1})$$

$$Q = 2\pi f \cdot L / R = \text{Im} (1/Y_{11}) / \text{Re} (1/Y_{11}) \quad (\text{式2})$$

ここで、fは周波数、Rは抵抗、Imは虚部、Reは実部である。

(1) 配線幅および配線間隔依存

インダクタンスとQ値の配線幅依存性を図3に示す。

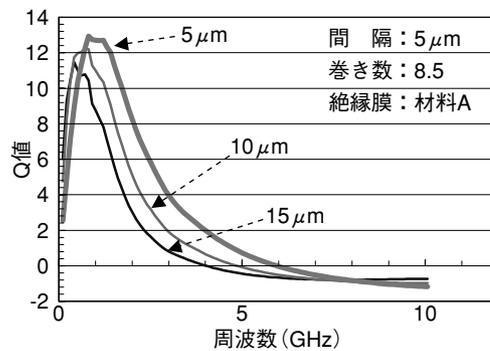
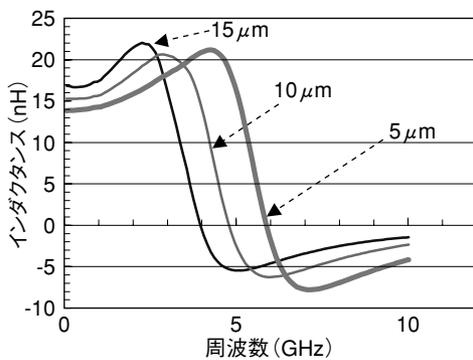


図3 配線幅依存性

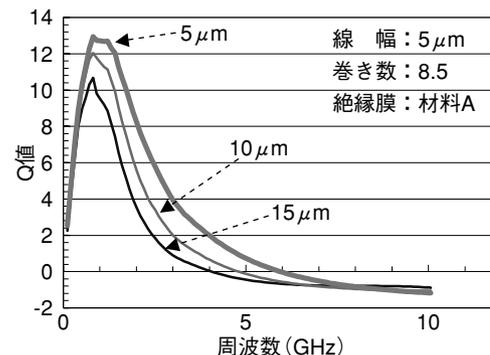
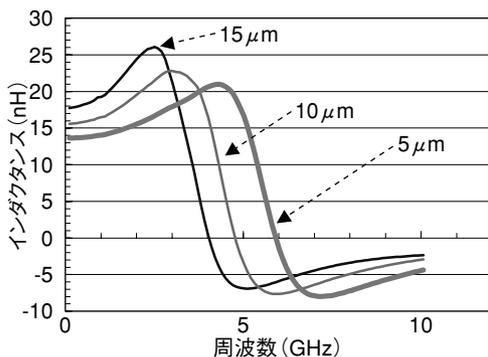


図4 配線間隔依存性

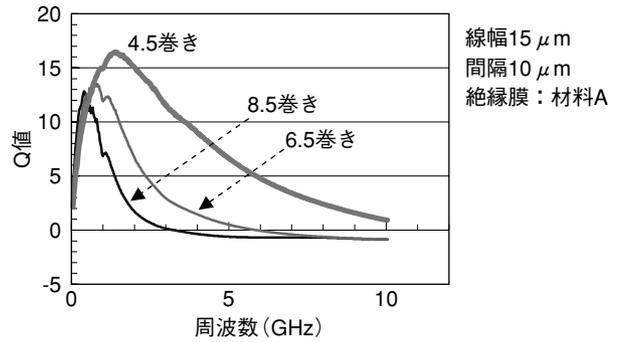
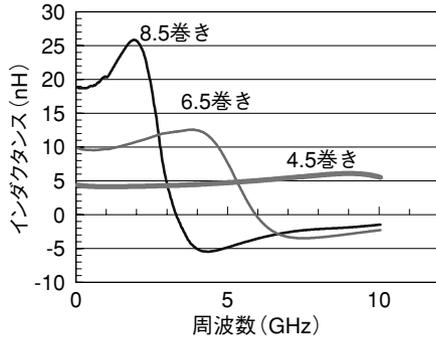


図5 巻き数依存性

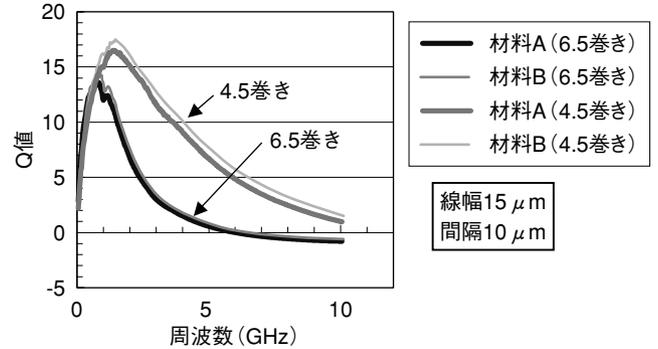
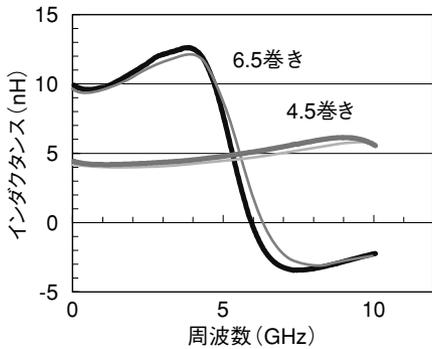


図6 絶縁膜材料依存性

配線幅が広くなると、インダクタの経路が長くなるため、インダクタンスが増加する。また、共振周波数が低周波側へシフトする。Q値は、1GHz以上において、配線幅が狭いほど大きく、最大13を示した。

次に配線間隔依存性を図4に示す。配線間隔が広くなると、インダクタの経路が長くなるため、インダクタンスが増加する。また、共振周波数が低周波側へシフトする。1GHz以上において、間隔が狭いほど、Q値は大きくなる。

### (2) 巻き数依存

巻き数依存性を図5に示す。巻き数が増えると、インダクタの経路が長くなるため、インダクタンスが増加する。1GHz以上において、巻き数が少ないほど、Q値は大きくなる。

### (3) 絶縁膜材料依存

誘電率の異なる2種類の絶縁膜における電気特性を図6に示す。インダクタンスは、誘電率が低い材料Bの方が、共振周波数が高い。(式3)であらわされる共振周波数 $f$ と、誘電率 $\epsilon$ 、容量 $C$ の関係から、材料Bでは、材料Aと比べ、共振周波数が12%高くなると予想されるが、測定(図6)では、9%共振周波数が増加しており、ほぼ合致し

ている。

$$f \propto (1/\sqrt{LC}), C \propto \epsilon \quad (\text{式3})$$

誘電率が2.85~3.6の範囲では、W-CSPの絶縁膜の誘電率がインダクタンスとQ値に与える影響は小さいと言える。

### (4) インダクタンスとQ値の関係

配線幅と配線間隔に着目して、インダクタンスとQ値の関係を調べた。図7に、1GHzにおけるインダクタンスとQ値の関係を示す。このグラフから、配線幅(L)15μm/配線間隔(S)10μmでは、巻き数が少ない方が高Q値で

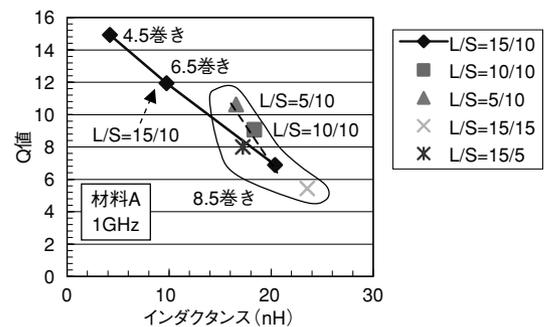


図7 インダクタンスとQ値の関係

低インダクタンスとなる。

また、8.5巻き、配線間隔 $10\mu\text{m}$ の場合、配線幅が狭くなるにつれて、高Q値で低インダクタンスとなる。

#### (5) 測定とシミュレーションの比較

設計、評価の短TAT化を図るため、有限要素法による三次元電磁界シミュレータを用いて、測定結果との差異を検証した。

測定とシミュレーションを比較した結果を図8に示す。標準の解析方法 (Sim1) では、共振周波数が低周波側へシフトしており、測定に合致しない。しかし、測定に使用するプローブやサンプルを搭載するステージなどの測定条件を考慮したシミュレーション条件を用いることにより、1~10GHzの帯域において、インダクタンスの差異を4%以下に抑えることができた (Sim2)。

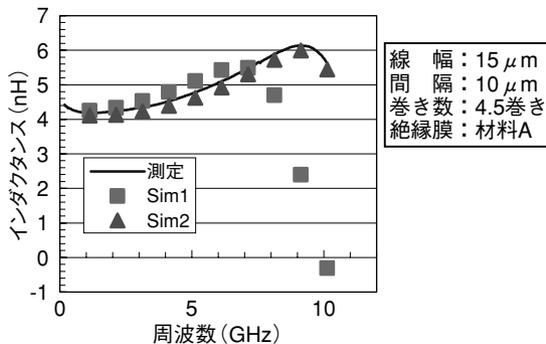


図8 測定とシミュレーションの比較

## TIPS【基本用語解説】

### システムインパッケージ

System in Package (SiP)

1つのパッケージ上に全ての機能を集約して、1つのパッケージでシステムを実現したもの。

例としては、CPUやメモリ、ロジック等の機能を一つのパッケージにまとめたものがある。

### システムオンチップ

System on a Chip (SoC)

1つのチップ上に全ての機能を集約して、1つのチップでシステムを実現したもの。

### ウェハレベルチップサイズパッケージ

Wafer-level Chip Size Package (W-CSP)

ウェハ状態で全ての組立工程を完了させてしまう新しいコンセプトのパッケージ。FBGA (Fine Pitch Ball Grid Array) と同じく、パッケージの裏面に格子状に端子が配列された外形形状である。

## あ と が き

今回、W-CSPの多層再配線によるインダクタ形成技術を開発した。再配線の微細化により、端子ピッチ $0.5\text{mm}$ 内に、インダクタンス $\leq 10\text{nH}$ 、Q値 $\geq 15$ のインダクタを実現した。W-CSP内蔵とすることで、LSI内にアルミニウム配線で作製されたインダクタに対し、50%のQ値向上を実現した。

今後、携帯端末や機器内蔵ワイヤレスなどのニーズに応えるべく、弊社W-CSPビジネスでは、本技術を、超小型かつ高インダクタンス、高Q値が必要なRFIC等に適用していく。◆◆

## 参考文献

1) Yorgos K. Koutsoyannopoulos and Yannis Papananos: "Systematic Analysis and Modeling of Integrated Inductors and Transformers in RF IC Design" IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS-II: ANALOG AND DIGITAL SIGNAL PROCESSING, VOL. 47, NO. 8, pp.699-712, AUGUST 2000

## 筆者紹介

安在憲隆: Noritaka Anzai. シリコンマニュファクチャリングカンパニー ATPビジネス本部 SIP技術部 PKG解析チーム

渡辺潔敬: Kiyonori Watababe. シリコンマニュファクチャリングカンパニー ATPビジネス本部 SIP技術部 W-CSP次世代技術チーム

宇津木知克: Tomokatsu Utsuki. シリコンマニュファクチャリングカンパニー ATPビジネス本部 W-CSP Fab部 配線技術チーム

照井誠: Makoto Terui. シリコンマニュファクチャリングカンパニー ATPビジネス本部 SIP技術部 PKG解析チーム

大角卓史: Takashi Ohsumi. シリコンマニュファクチャリングカンパニー ATPビジネス本部 SIP技術部 W-CSP次世代技術チーム