

次世代強誘電体メモリ集積化技術

林 孝尚
三橋 敏郎

五十嵐 泰史
足利 欣也

猪股 大介
伊東 敏雄

一森 高示
吉丸 正樹

携帯電話、ICカードをはじめとする携帯機器へ不揮発性メモリをプログラムやデータ格納用として搭載することが一般的になってきている。従来不揮発性メモリとしてフラッシュメモリやEEPROM等が使用されてきたが、これらは書き換え回数が少ない、書き込み時間が長い、書き込み電圧が高く消費電力が大きいなどの難点があった。これに対し強誘電体メモリ（FeRAM, Ferroelectric Random Access Memory）は、 10^{10} 回以上の書き換えが可能で、書き込みが読み出しと同じ短時間で可能、書き込みに高電圧を必要とせず消費電力が小さい等の特長を持つ。このためロジックへの混載技術も報告され¹⁾、ICカード等への展開も始まっている。沖電気でも $0.5\mu\text{m}$ ルールを用いた64Kbit FeRAM強誘電体メモリは既に開発を進めている²⁾。今後は一層の高集積化が必要であり、我々は次世代に必須な高集積化技術を開発し、 $0.25\mu\text{m}$ デザインルールを用いた4Mbit FeRAMを試作し大幅な高集積化を実現した。

強誘電体メモリ技術とセル構造

強誘電体メモリはPZT ($\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$) やSBT ($\text{SrBi}_2\text{Ta}_2\text{O}_9$) などの強誘電体材料の持つ分極特性をメモリに応用したものである。これらの強誘電体材料は、ペロブスカイト構造と呼ばれる結晶構造をとる。強誘電体は、図1 (a) に示すように膜の両端に一定レベルの電界をかけることにより結晶格子の原子が電界の向きに移動し分極状態となる。この分極状態は膜の両端の電位を取り去った後も維持される。分極の状態と膜への印加電界の関係は、図1 (b) のようなヒステリシス曲線となる。今回は強誘電体材料としてSBTを用いた。これはPZTに比べ書き換え疲労耐性に優れ且つ低電圧で動作するため、モバイル製品、非接触カード等適用分野が広い。デバイスの高集積化のためには、メモリセルの構造は図2 (a) に示すプレーナ型から (b) に示すスタック型への移行が不可欠である。スタック型セルはトランジスタ直上に拡散層からの接続プラグを介してキャパシタを配置させるセル構造で両者の占有面積をオーバーラップさせることでセル

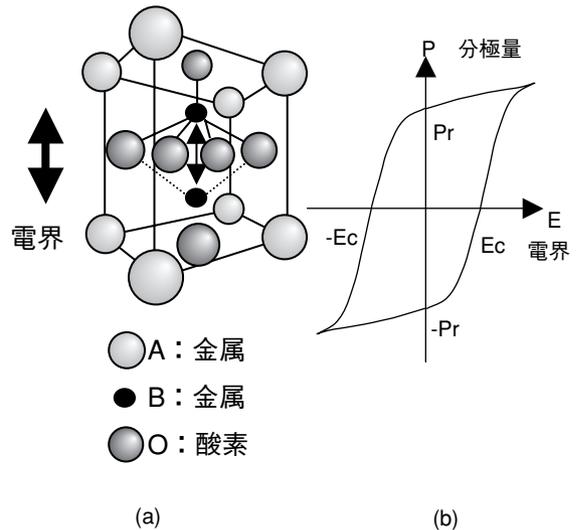


図1 (a) ペロブスカイト ABO_3 構造 (強誘電体の結晶構造)
(b) P-Eヒステリシス曲線

面積を縮小できる。しかし (b) 構造ではさらなるのセル面積縮小が困難であり、また上部電極直上のコンタクトからのダメージが回避できない。これらを解決するため (c) に示す改良型スタックセル (以下台座セルと呼ぶ)³⁾を開発した。

台座型メモリセルの特長

通常の強誘電体キャパシタは下部電極、強誘電体膜、および上部電極を順次成膜した後に各電極のパターニングを行うのに対し、台座型セルは下部電極を加工した後、強誘電体膜、上部電極を形成する。図3を用いて特長を説明する。

- ①台座型では上部電極をプレート線として使用することからプレート線方向の上部電極と下部電極のフォトリソ工程の合わせ余裕を省略できることからセル面積の縮小が可能となる。
- ②従来型では上部電極が実効的なキャパシタ面積となるため、上部電極端からエッチング時の加工ダメージが入る。台座型では下部電極が実効キャパシタ面積とな

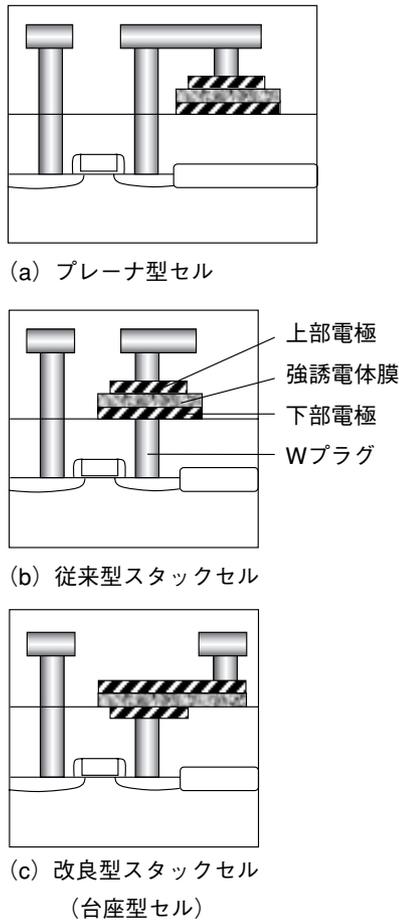


図2 強誘電体メモリのセル構造

るが、上部電極が下部電極を覆っているため加工ダメージが入りにくい。

- ③従来型ではキャパシタごとに上部電極電極コンタクトが形成され、コンタクト形成時のエッチングダメージおよび後工程での水素等、還元性ガスがコンタクトを介してキャパシタに到達し、強誘電体特性を劣化させる。一方台座型ではキャパシタ直上にコンタクトが存在せずコンタクト起因の劣化がない。

台座型セルのプロセス上の課題

スタック型セルをFeRAMに適用する場合、強誘電体形成時の高温酸素雰囲気での熱処理によってキャパシタ下部のタングステン (W) プラグが酸化し導通不良となる。特に台座型は従来型に比べ下部電極加工後に強誘電体を成膜するため、電極端から酸素が侵入しやすい。また強誘電体材料であるSBTは先に述べた利点はあるものの、結晶化温度が750℃前後と高いためスタック型セルへの適用が難しい。これらの課題に対し以下の2つの新しい酸化防止対策を開発した。

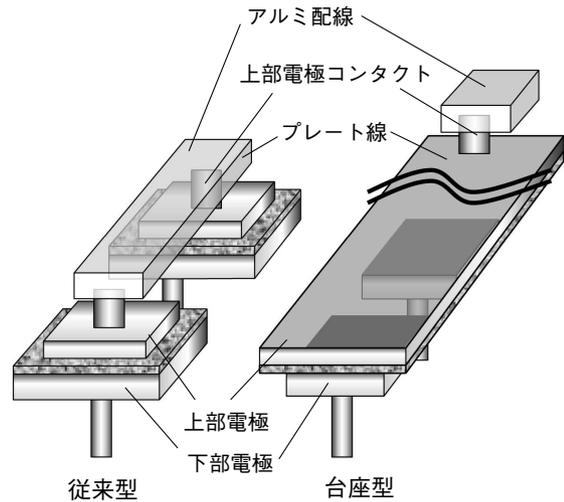


図3 台座型キャパシタの概念図

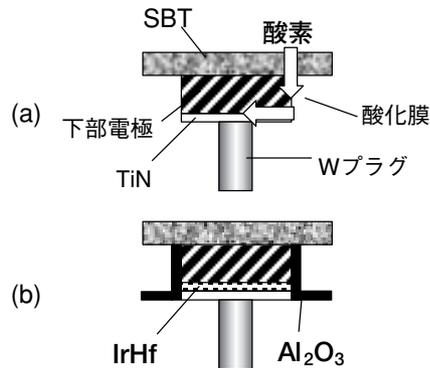


図4 酸素の侵入経路と酸化防止膜

Wプラグ酸化防止膜の適用

台座型電極下のWプラグの酸化は、図4 (a) に示すように酸素がSBTを介して下部電極と埋め込み酸化膜界面から垂直方向に進み、次に下部電極と密着層である窒化チタン (TiN) 界面を水平方向に侵入することで発生する。このため垂直方向の酸化抑制には図4 (b) に示すようにアルミナ (Al₂O₃) 膜を側壁に適用し、水平方向の酸化バリアとしてIrHf合金を適用した。

SBT成膜温度の低温化

SBT膜の成膜は、通常スピコート法によるSBT材料の塗布・乾燥を数回繰り返した後、結晶化アニールを行う。このためトータルの熱負荷は700~750℃、数時間に及ぶ。熱負荷低減のため、LSMCD (Liquid Source Misted Chemical Deposition) 法による成膜とRTA (Rapid Thermal Annealing) による短時間乾燥法を開発し、成

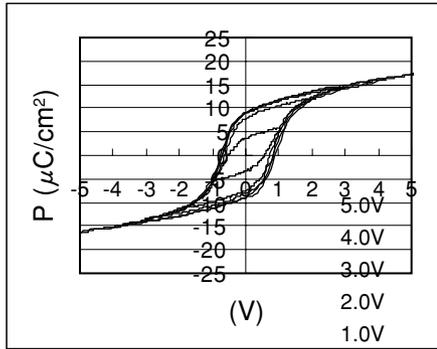
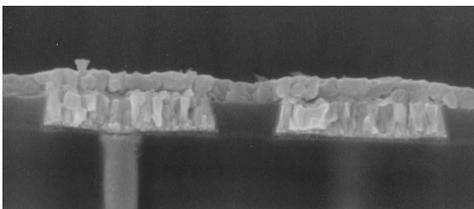


図5 ヒステリシス特性

酸化防止対策適用前



酸化防止対策適用後



Wプラグの酸化

図6 酸化防止対策の効果

膜時トータルの熱負荷を650°C RTA 1分と675°C 60分の結晶化アニールのみに低減できた。

図5に上記条件でのヒステリシス特性を示す。測定に用いたキャパシタは40 μm×40 μm, SBT膜厚は150nm, 下部電極はIr, 上部電極はPtを用い, 従来プロセスと同等の良好なヒステリシス特性を示した。

また, 図6に示すように酸化防止対策前には激しく酸化していたWプラグが対策後には全く酸化はみられなくなっている。

台座型セルを用いた4Mbit FeRAMの試作

この台座型セルを用い, 0.25 μmデザインルールのLogic DRAM プロセスをベースとして4Mbit FeRAMを試作した。図7のメモリセルレイアウトに示すように, キャパシタサイズ0.86 μm×0.95 μm, セルサイズ1.3 μm×2.0 μmを達成した。

図8はメモリセル部の断面TEM写真で, 以下この図を用いてプロセスを説明する。シリコン基板上にワード線,

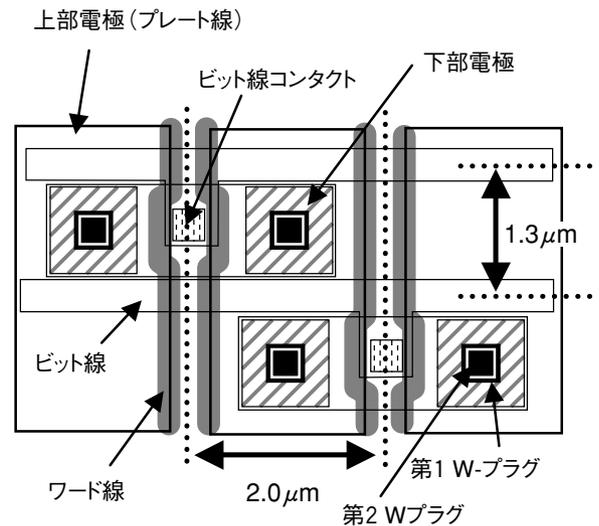


図7 メモリセルレイアウト



図8 4Mbit FeRAMメモリセル部の断面TEM像

ビット線を順次形成した後, トランジスタ拡散層とのコンタクトとなる第1Wプラグを形成する。第1Wプラグはメモリセル以外の周辺回路部にも形成され, ここでは図示しないが強誘電体キャパシタ形成後, 第1Wプラグ直上に第3Wプラグを形成し, 第1アルミ配線へと繋がっている。第1Wプラグ形成後, シリコン酸化膜, シリコン窒化膜およびシリコン酸化膜を順次形成する。ここに用いたシリコン窒化膜は第1Wプラグが強誘電体熱処理工程で酸化されることを防ぐことを目的としており, 先に述べたWプラグの酸化問題は生じないことが確認できている。次にメモリセル領域のみ第2Wプラグを形成する。下部電極はIr (300nm), IrHf (20nm), TiN (15nm) を順次形成した後パターニングする。酸化防止膜 (Al₂O₃) を下部電極側壁に形成した後, 電極間の溝をシリコン酸化膜で埋め込み平坦化した後, SBT膜, 上部電極Ptを堆積し上部

表1 強誘電体メモリの主要緒元

| | |
|-------------|--|
| プロセス | 0.25 μm^2 ポリサイド 2 metal CMOS FeRAM |
| メモリサイズ | 4MBit |
| 電源電圧 | 2.5V |
| アクセス/サイクル時間 | 55 ns/100 ns |
| セルサイズ | 2.6 μm^2 (2 $\mu\text{m}\times$ 1.3 μm) |
| キャパシタサイズ | 0.817 μm^2 (0.95 $\mu\text{m}\times$ 0.86 μm) |
| セル方式 | 1T1C |

電極をパターニングする。SBTは上部電極と共に加工するかまたは後の水素防止膜パターニング時に同時に除去する。水素防止膜は後工程で発生する水素から強誘電体が還元されることを防ぐため用いられ、 Al_2O_3 を用いた。強誘電体キャパシタ上にシリコン酸化膜を堆積、平坦化し、プレート線上のコンタクト、周辺回路第1Wプラグ上の第3Wプラグを形成した後は、通常のメタル配線プロセスを用いている。表1に強誘電体メモリの主要緒元、写真1にFeRAMのチップ写真を示す。電源電圧2.5V、サイクル時間120nsの条件下にて1トランジスタ1キャパシタ(1T1C)メモリセル動作を確認した。

あ と が き

強誘電体材料としてSBTを用いた台座型スタックセルを開発した。本セルはセル面積縮小およびプロセスダメージによる強誘電体特性劣化を抑制することができ、次世代強誘電体メモリ集積化技術として大変有効である。またこの技術を用いて4Mbit FeRAMを作製し、1T1Cセル動作を確認した。

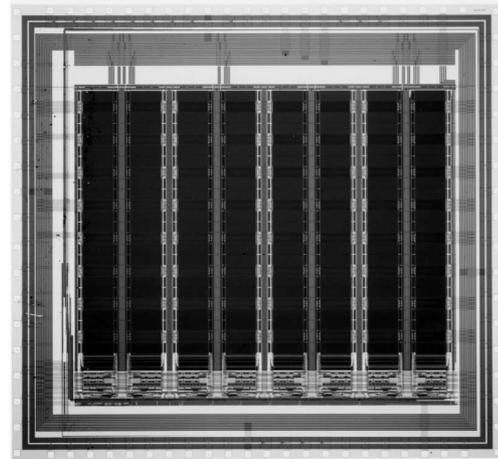


写真1 4Mbit FeRAMチップ写真

謝 辞

本研究は2001年5月～2002年4月までのソニー(株)との0.25 μm 強誘電体メモリに関する共同研究の中で行われた。◆◆

参考文献

- 1) T. Yamazaki *et al.*, "Advanced 0.5 μm FRAM Device Technology with Full Compatibility of Half-Micron CMOS Logic device", IEDM Digest of Technical Papers, pp.613-616, 1997
- 2) 佐久間 他: "携帯機器向け超低電圧動作の強誘電体メモリ", 沖テクニカルレビュー190号, Vol.69 No.2, 2002年4月
- 3) T. Hayashi *et al.*, "A Novel Stack Capacitor Cell for High Density FeRAM Compatible with CMOS Logic", IEDM Digest of Technical Papers, pp.543-546, 2002

筆者紹介

林孝尚: Takahisa Hayashi.シリコンソリューションカンパニー 研究本部 FeRAM商品開発部
五十嵐泰史: Yasushi Igarashi.シリコンソリューションカンパニー 研究本部 FeRAM商品開発部
猪股大介: Daisuke Inomata .シリコンソリューションカンパニー 研究本部 FeRAM商品開発部
一森高示: Takashi Ichimori.シリコンソリューションカンパニー 研究本部 FeRAM商品開発部
足利欣也: Kinya Ashikaga.シリコンソリューションカンパニー 研究本部 FeRAM商品開発部
三橋敏郎: Toshiro Mitsuhashi.シリコンソリューションカンパニー 研究本部 新技術研究開発部
伊東敏雄: Toshio Ito.シリコンソリューションカンパニー 研究本部 FeRAM商品開発部 チームリーダー
吉丸正樹: Masaki Yoshimaru.シリコンソリューションカンパニー 研究本部 FeRAM商品開発部 部長

TiPo 【基本用語解説】

ペロブスカイト構造

ABO_3 という化学式で表され、図1(a)に示すように中央に小さい方の金属原子を含んだ、酸素八面体構造のこと。

スピコート法

ウェハ上に強誘電体溶液を滴下した後、高速回転させ、その遠心加速度によって溶液を吹き飛ばし、薄膜を形成する方法。

1T1C

1Transistor 1Capacitorセルのこと。FeRAMでは1個のメモリセルに対し1個のリファレンスセルを設ける構成が実用になっているのに対し、リファレンスセルを複数個のメモリセルで共有する次世代方式。セル面積の縮小が可能となる。