

# 0.15 $\mu$ m FD-SOI低電力LSI技術

森川 剛一  
御手洗 睦

梶田 陽子

近年、携帯電話をはじめとする電池駆動型の携帯情報端末の爆発的な普及とともに、小型化、高性能化、長時間動作化が強く要求されており、搭載するLSIは低電力化、高速化を実現する必要がある。これらのニーズに応えるため当社では、0.35  $\mu$  m、0.20  $\mu$  m 完全空乏型 (Fully Depleted) SOI CMOSデバイスを実用化し低電力LSI技術の開発を進めてきた。

本稿では、更なる小型化、高速化を目的として微細化した0.15  $\mu$  m FD-SOI CMOSのデバイス開発、および、デジタル回路に適用した場合の回路性能についてまとめた。まず、低電力LSIを実現するための手法について述べ、次にマルチしきい値対応の0.15  $\mu$  m FD-SOI CMOSのデバイス構造、電気的特性などの特徴について述べる。さらに、本デバイスによる低電圧デジタル回路の試作結果を示す。

## LSIの低電力化

一般的なLSIの低電力化手法としては、アルゴリズムレベルからデバイス、プロセスレベルまで数多く提案されており、実用化が進められている<sup>1)</sup>。ほとんどのLSIに適用可能な共通基盤的な低電力化技術としては、消費電力の小さいCMOSデバイスを採用し、消費電力が電源電圧の2乗に比例することを利用して電源電圧の低減を図ることが直接的かつ最も効果的な手法である。そのため、電源電圧を1V以下へと低電圧化し、動作周波数100MHzをターゲットとしたLSIの研究開発が広く行われている<sup>2) 3)</sup>。

FD-SOI CMOSでは、従来のバルクCMOSに対して、寄生容量が低減されることと、トランジスタのサブスレッショルド特性が急峻であることから低電圧動作に対する優位性がある。今回、高速であると同時にスタンバイリーク電流の低減を可能とするマルチしきい値対応の0.15  $\mu$  m FD-SOI CMOSデバイスを開発した。

## 0.15 $\mu$ m FD-SOI CMOSのデバイス開発

MOSデバイスではゲート長の縮小により駆動力は向上するが、短チャネル効果が発生し、しきい値電圧が低下

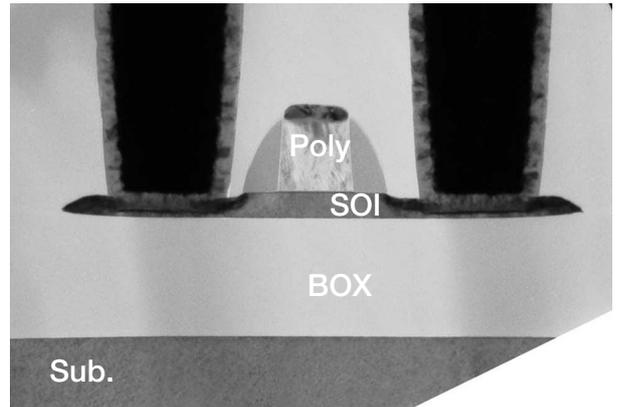


図1 0.15  $\mu$  m FD-SOI トランジスタの断面TEM写真

する。これを抑制するため基板濃度を上げると、駆動力が低下するという微細MOSデバイス一般の課題がある。さらにFD-SOI CMOSではチャネル不純物濃度を増加すると空乏層が縮小して部分空乏化が生じ、前述したようなFD-SOI CMOSの優位性が低減してしまうという課題もある。マルチしきい値対応のFD-SOI CMOSデバイスを実現するには、これらの課題に対する最適解を複数のしきい値電圧に対して品質、コストを考えたシンプルで安定した工程で設定することが必要であった。

図1は0.15  $\mu$  m FD-SOI MOSTランジスタの断面TEM写真である。貼り合わせSOI基板を使用し、埋め込み酸化膜 (BOX) 上のSOI膜厚は40 nm、ゲート酸化膜は2.5nmである。FD-SOI CMOSは非常に薄いSOI層に素子を形成するため、トランジスタ形成工程ではSOI層をできるだけ削らないようにプロセスを設定した。一方、配線工程は既存のプロセス技術および設計資産の活用を目的として、当社汎用0.16  $\mu$  mロジック製品で使用している多層配線技術、設計基準を適用した。

### (1) 薄膜SOIプロセス技術

拡散層を自己整合的にシリサイド化させ低抵抗とするシリサイド技術を薄膜SOIデバイスに適用するためには、SOI層をどこまで薄膜化ができるかについての検討が必要であった。図2はN+ 拡散層のコバルトシリサイドシート抵

抗のパターン幅依存性を示し、SOI膜厚を変えて比較した。ここでのSOI膜厚はチャンネル部分での膜厚であり、拡散層部分の膜厚はさらに薄くなっている。Coのスパッタ膜厚を4nmとした場合、SOI膜厚30nm以上に対しては幅の狭いパターンでもシリサイドによる低抵抗化が可能であることが分かる。25nmで抵抗が上昇している特性は、Siの欠乏によりCoSiが低抵抗のCoSi<sub>2</sub>に相転位できなかったためと考えられる。

また、薄膜SOI上の素子形成では、コンタクト開孔時のオーバーエッチングによってBOX層が欠損し、BOXリーク電流が発生する不良があった。これに対してエッチングプロセスを改良するとともに、CoSiからCoSi<sub>2</sub>へ相転位させる2ndアニール工程の前に開孔するCHEPSA (Contact Hole Etching Prior to the Second Annealing) サリサイドプロセス<sup>4)</sup>を適用した。図3はBOXリークの電流値分布である。ここでの不良判定値を1×10<sup>-11</sup>Aとすると、従来法では20%程度であった歩留まりが100%に改善されたことを示している。図1ではゲート上、拡散層上に膜厚25nmのコバルトシリサイドが形成されており、コンタクト開孔はシリサイド上で停止していることが確認できる。

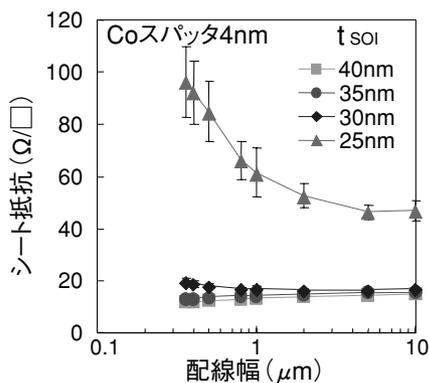


図2 Coシリサイドシート抵抗の配線幅依存 SOI膜厚による比較

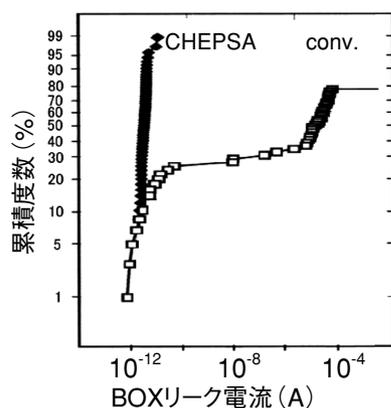


図3 BOXリーク電流値分布のCoシリサイドプロセス比較

## (2) トランジスタ最適化

短チャンネル効果抑制には、バルクデバイスで実績のある、ゲートエッジ近傍の接合付近のみ基板濃度を増加させるポケットインプラを適用した。図4で示すようにポケットインプラによりゲート長に対するしきい値の低下は緩やかになり、ゲート長0.02 μmのばらつきに対するしきい値電圧のばらつきが、ポケットインプラ適用前は最大で270mVであったが、適用後は30mV程度と大幅に小さくなり、NMOS、PMOSとも短チャンネル効果は十分に抑制されることを確認した。

駆動力増加の観点からは、0.20 μm FD-SOI CMOSデバイスまで適用していたLDD構造からS/D extension構造へ変更した。これによりゲートとのオーバーラップ部分の拡散層の不純物プロファイルは浅接合でありながら高濃度となり、寄生抵抗が低減し15%程度の電流増加が得られ、デバイスの高速化が可能となった。

図5に各トランジスタのI-V特性を示す。サブスレッショルド特性を示すS値は全てのトランジスタで75mV/dec前後であり、同世代のバルクCMOSや部分空乏型SOI

ポケットインプラ 適用前 ● 適用後

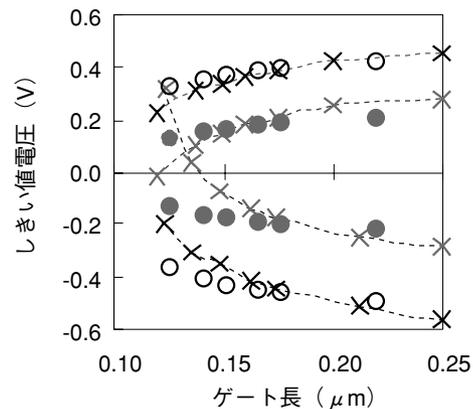


図4 しきい値電圧のゲート長依存 ポケットインプラの効果 (S/D extension構造トランジスタ)

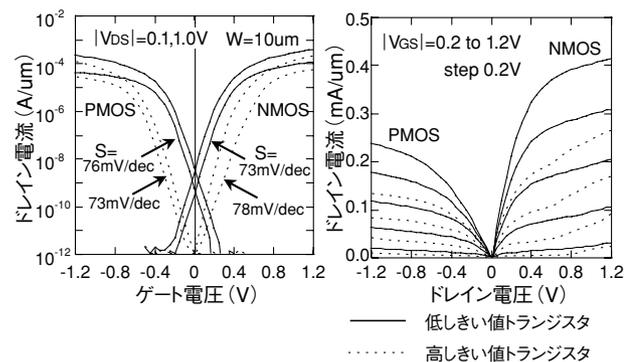


図5 0.15 μm FD-SOI-CMOSのI-V特性

CMOSのS値が概ね85mV/dec以上であるのに対して十分小さく、FD動作による急峻な特性を示すことを確認した。高しきい値NMOSトランジスタではキンク特性<sup>5)</sup>が若干現れているが、これはホットキャリアとして発生したホールにより基板浮遊効果が起き始めているためと考えられる。

## 低電圧デジタル回路の試作

今回開発したマルチしきい値対応の0.15  $\mu\text{m}$  FD-SOI CMOSデバイスをデジタル回路に適用した場合の回路性能を検証した。搭載回路は、32ビット加算回路、64Kb-SRAM、さらに、これらの機能ブロックを用いた16ビットDSPコアである。

### (1) 32ビット加算回路

まず、基本演算回路の性能を把握するために、32ビット加算回路を試作、評価した。回路方式は、32ビットといった多ビット長の加算が高速に実行可能であるバイナリキャリアルックアヘッド方式<sup>6)</sup>を選択した。この方式は、桁上げ伝搬と生成信号を2進ツリーを用いて演算し、各ビットの桁上げ信号を生成することにより、演算速度の高速化を図るものである。演算速度がビット長の対数( $\log_2$ )に比例するため、多ビット長の加算回路に適している。

32ビット加算回路の遅延時間、および、消費電力の評価結果を図6に示す。電源電圧1Vで、遅延時間1.9ns、消費電力1.9 $\mu\text{W}/\text{MHz}$ の性能が得られた。また、最小動作電圧は0.4Vを確認した。

### (2) 64Kb-SRAM

テストチップには、比較のために低しきい値トランジ

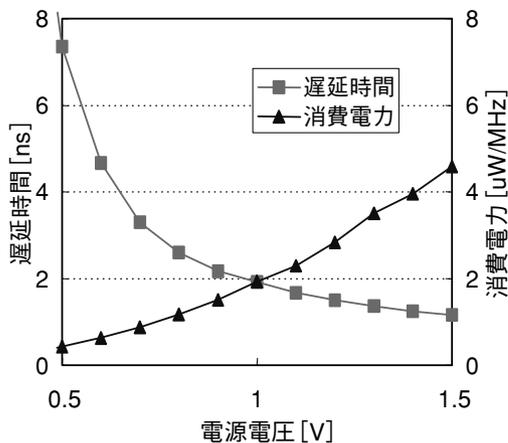


図6 32ビット加算回路 遅延時間および消費電力の電源電圧依存性

スタで構成したSRAM、高しきい値トランジスタで構成したSRAM、および、MT-CMOS構成<sup>1)</sup>としたSRAMを搭載した。MT-CMOS構成は、メモリセルに高しきい値トランジスタ、周辺回路に低しきい値トランジスタを用いて、周辺回路は高しきい値トランジスタによるパワースイッチを介して電源に接続する。メモリセルは、スタンバイ時にデータを保持する必要があるため、電源線に直接に接続する。

図7、図8に、それぞれ64Kb-SRAMのクロックアクセス時間、およびスタンバイリーク電流を示す。電源電圧1.0VでMT-CMOS 構成のクロックアクセス時間は2.9nsであり、高しきい値トランジスタで構成したSRAMの5.3nsに比べて約50%高速化される。また、スタンバイリーク電流は、低しきい値トランジスタで構成したSRAMの0.9mA に対してMT-CMOS 構成のSRAMは2.6  $\mu\text{A}$  であり、約3桁削減される。これらの結果から、MT-CMOS構成の低しきい値トランジスタによる高速化と、

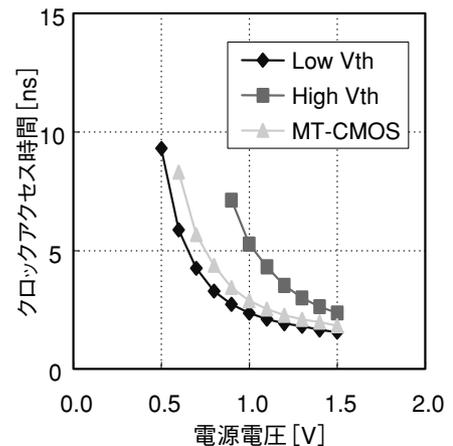


図7 各種トランジスタ構成による64Kb-SRAM クロックアクセス時間の電源電圧依存性

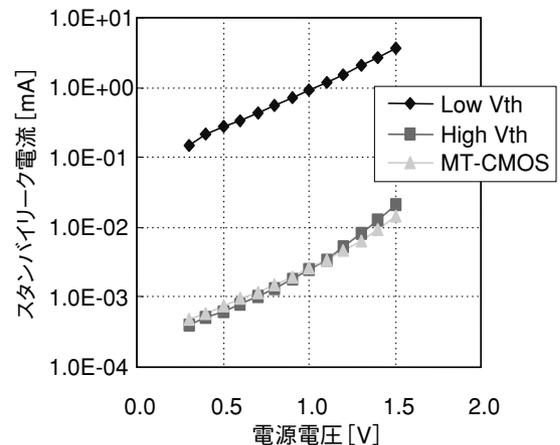


図8 各種トランジスタ構成による64Kb-SRAM スタンバイリーク電流の電源電圧依存性

高しきい値トランジスタによるスタンバイリーク電流低減の効果を確認した。

(3) 16ビットDSPコア

さらに、これらの機能ブロックを用いた16ビットDSPコアの試作、評価結果を示す。図9に示すように、16ビットDSPコアは256Kb (64Kb×4) のデータ・メモリ、データ・ポインタ、16ビット乗算回路と32ビット加算回路から成るマルチブライ・アキュムレータで構成され、2つの16ビット・データをデータ・メモリから読み出し、マルチブライ・アキュムレータにより積和演算処理を実行する。

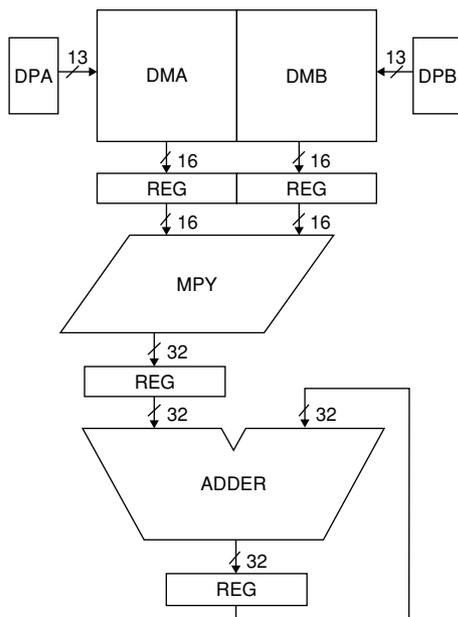


図9 16ビットDSPコアのブロック図

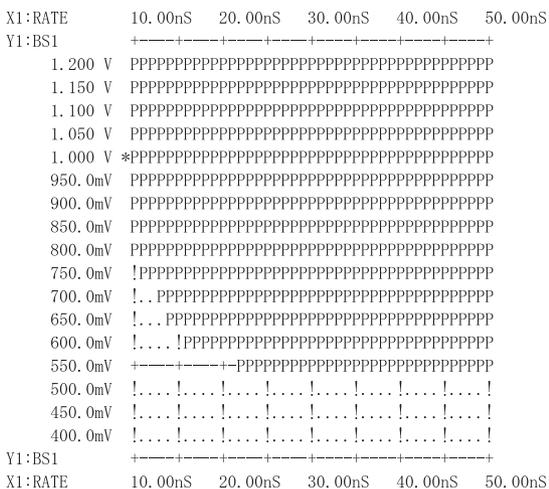


図10 16ビットDSPコアのSHMOOプロット

図10に、電源電圧とクロックサイクル時間に関する動作可能範囲を測定したプロット図 (SHMOOプロット) を示す。0.15  $\mu$ m FD-SOI CMOSデバイスを用いて16ビットDSPコアを試作評価し、電源電圧0.8Vで動作周波数100MHz、消費電力9mWの性能が得られた。

あ と が き

本稿では、マルチしきい値0.15  $\mu$ m FD-SOI CMOSデバイスを開発し、それを用いた回路性能を評価した。32ビット加算回路で0.4Vまで動作が確認され、16ビットDSPコアにて消費電力9mW (@100MHz/0.8V) を実現し、FD-SOI CMOSの低消費電力性の利点を検証できた。今後は、アナログ回路、RF回路なども含めた技術開発を進め、さらに、低電圧化に有効であるというFD-SOI CMOSの特徴を生かして低電力指向のシステムLSIへ展開していく予定である。

なお、本研究は、新エネルギー・産業技術総合開発機構 (NEDO) からの委託研究「極低電力情報端末LSIの研究開発」の一環として行われたものである。 ◆◆

参考文献

- 1) 桜井：低消費電力、高速LSI技術，リアライズ社，1998年
- 2) 山田：低消費電力LSIの研究開発，NTT R&D, Vol.49, No.9, pp.482-488, 2000年
- 3) 道関：極低電圧デジタル回路技術，NTT R&D, Vol.50, No.11, pp.885-889, 2001年
- 4) 一森：ソース・ドレインの全層シリサイド化によるFD SOI MOSFETの高性能化，信学技報，SDM2000-249, p.61, 2001年3月
- 5) J.P.Coling: Silicon-on-Insulator Technology: Materials to VLSI, Kluwer Academic Publishers, p.139, 1991年
- 6) 藤島他：新しいバイナリーキャリアルックアヘッドを用いた高速加算器およびカウンタの構成，電子情報通信学会秋季大会，pp.5-105, 1991年

筆者紹介

森川剛一：Koichi Morikawa.シリコンソリューションカンパニー デザイン本部 設計システム部 ローパワーライブラリチーム  
 梶田陽子：Yoko Kajita.シリコンソリューションカンパニー 研究本部FeRAM商品開発部 FeRAM研究第一チーム  
 御手洗睦：Mutsumi Mitarashi.シリコンソリューションカンパニー デザイン本部 設計システム部 担当課長