

高密度デバイスのシステムLSI化を実現する W-CSP内蔵マルチチップパッケージ

佐伯 吉浩 内田 康文

マルチチップパッケージ（以下MCPと略す）とはパッケージ技術により複数のチップを一つのパッケージに搭載し、システムLSIとしての機能を確保する手段であるシステムインパッケージ（SiP）の一つである。他の手段であるシステムオンチップ（SoC）と比較して、開発期間の短縮および開発コストの低減が可能である。このため製品サイクルが短い携帯小型機器市場を中心として急速に市場ニーズが拡大している。必要な機能を既存のチップ同士の組み合わせや、既存のチップとカスタム機能を実現する簡易チップの組み合わせにより実現し、一から新規チップを開発する場合より期間や費用を削減することが可能である。また複数のチップを積層構造で同一パッケージ内に収納することにより、高密度実装が可能である。

ウェハレベルチップサイズパッケージ（以下W-CSPと略す）内蔵MCPは、携帯小型機器市場向けに同チップサイズの積層を低コストで実現することを目的に開発を行ったパッケージである。以下にW-CSP内蔵MCPの利点、開発結果を述べる。

ワイヤボンディング方式MCPの課題

現在のMCPは、ワイヤボンディング（以下WBと略す）方式が主流である。図1にWB方式MCPの断面構造例を示す。パッケージ基板上に1番目のチップ（以下第1チップと略す）を搭載し、その上に2番目のチップ（以下第2チップと略す）を搭載する。両方のチップと基板端子をワイヤで接続している。WB方式は基板やモールド樹脂のコストを含めた総合コストが安いという特徴がある。

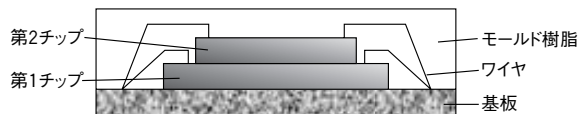


図1 WB方式MCPの断面構造例

しかし、このWB方式は次の2点が課題である。

- ① 同チップサイズの積層が不可能である。
- ② 第1チップがセンターパッドである場合、積層が不可能である。

前者は、図1に示すように、WB方式では第1チップのWB領域を確保する必要がある。そのため、上下が同チップサイズの場合や、第2チップが大きい場合など適用チップサイズ制限がある。例えばロジックLSIとフラッシュメモリの組み合わせでは、ウェハプロセスのシュリンクスピードが異なるため、チップシュリンクによりチップサイズの差が無くなる場合がある。

後者は、DRAM等のデバイスでチップセンターにパッドがある場合、第2チップの積層により第1チップのWB接続ができなくなるという制限がある。

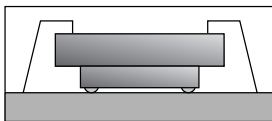
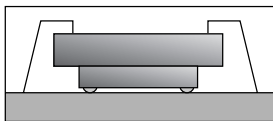
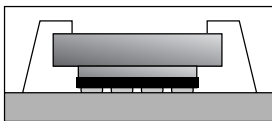
	チップレベルによるFC方式例		W-CSP内蔵
	加熱圧着	金属接合	
概略図			
総合	×	×	○
第1チップ	○ 通常 (WB用と同一)	○ 通常 (WB用と同一)	△ 再配線 (W-CSP)
基板	×	×	○ 2層リジッド基板
アンダーフィル	×	×	○ トランスファー用樹脂
第1チップ実装方法	×	×	○ 一括リフロ (SMT技術)

図2 種々のFC方式MCPの特徴

フリップチップ方式MCPの比較検討

前述のチップサイズおよびパッド位置の制限に関しては、フリップチップ（以下FCと略す）方式のMCPを用いることによって解決することが可能である。FC方式は、パッド上にバンパを生成した第1チップを、直接基板端子と電氣的に接続するように張り合わせる。次いで第2チップをその上に搭載し、基板端子とはWBで電氣的に接続する。FC方式では第1チップの種類と貼り合わせ方により、図2の3つの方法に大別される。

第1の加熱圧着方式は、第1チップのパッド上に生成したスタッドバンパと基板電極を、間に挟んだ接着剤によって加熱圧着し、導通をとるFC方式である。接着剤として、導電粒子を含んだ異方導電性フィルム（ACF）や異方導電性ペースト（ACP）、導電粒子を含まない非導電性フィルム（NCF）、非導電性ペースト（NCF）等が用いられる。

第2の金属接合方式は第1チップのパッド上に生成したスタッドバンパと基板電極に印刷またはメッキした金属と金属接合させて導通を取るFC方式である。基板電極にはAg-Sn等が用いられる。また、第1チップと基板の隙間は液状樹脂を用いている。

これら、第1、第2の方式は共に高密度配線基板が必要である。また、フリップチップボンダを使用した個別実装方式を使っている。

次いで、今回開発したW-CSP内蔵MCPは、第1チップとしてW-CSPを用いており、W-CSP上のはんだバンパを基板電極に金属接合させて導通を取るFC方式である。

使用する第1チップは、WB方式で使用されるペリフェラル配置のパッドを再配線によりアレイ状に再配置している。この結果、パッドピッチを広げることによって高密度配線基板が不要で、一般的な2層両面配線のリジッド基板を用いることが可能である。第1チップと基板の隙間の充填は一般的なトランスファー方式による一括モールドで行っている。他の方式では液状樹脂を隙間に充填する工程と第2チップやワイヤをモールド封止する工程を分けているが、モールド条件の最適化により一括モールドが可能である。W-CSPはパッケージの実装で一般的な一括リフロ（SMT技術：Surface Mount Technology）が可能である。

以上を総合したFC方式MCPのコスト比較を図3に示す。加熱圧着方式の総合コストを100%とした場合、W-CSP内蔵MCPは70%で実現が可能である。

このような利点の他に、電源やグランド配線の強化をW-CSP内の再配線で行うことにより、第1チップのピン数を減らすことが可能である。このようにW-CSPの再配

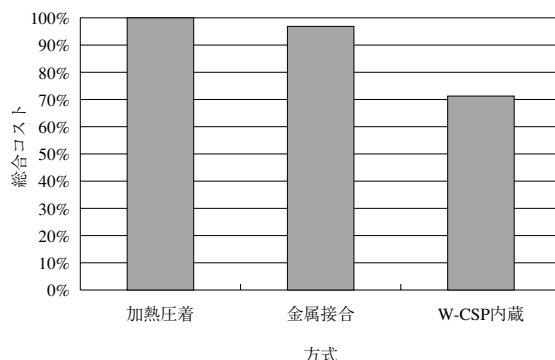


図3 FC方式MCPのコスト比較

線を利用することによって、機能を付加することが可能である。

W-CSPを内蔵する最大の利点としては、高信頼性であることが挙げられる。W-CSPは内部接続部の信頼性を確保するため応力を緩和する構造を取っており、他のフリップチップよりも接合信頼性が高くなると予想している。また、チップ表面を高品質樹脂で封止した構造のため、耐湿性の向上も期待できる。

以上から、同チップサイズ対応のMCPはW-CSP内蔵方式を採用した。

W-CSP内蔵MCPの開発結果

図4にW-CSP内蔵MCPの工程フローを示す。W-CSP内蔵MCP開発においては、この工程フローより、以下の3項目に着目して開発を行った。着目点、および開発結果について以下に記す。

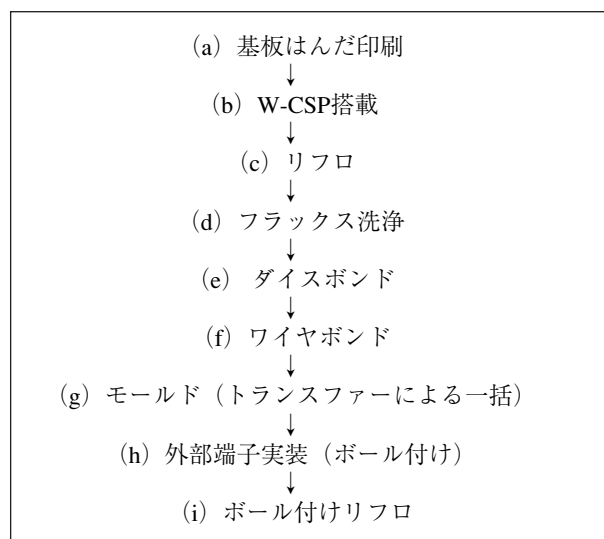


図4 W-CSP内蔵MCP工程フロー

(1) 鉛フリーはんだの適用

環境問題を考慮し、W-CSP内蔵MCPはW-CSPのはんだバンプ、パッケージ実装用の外部ハンダボールに鉛フリーハンダ材料を使用している。鉛フリーハンダは共晶ハンダと比較し融点が高いため、リフロ (c) やボール付けリフロ (i) は高温で実施している。

パッケージング後の実装を想定した耐リフロ性評価では、鉛フリー対応の高温リフロ (Max.533K) でJEDEC (Joint Electron Device Engineering Council) スタンドアートのレベル2 (ドライパック開封後303K/60%RH保管期限1年) を確保できた。W-CSP内蔵MCPリフロ後のハクリやクラック評価は透過型超音波探査装置 (以下透過型SATと略す) を用いている。一般には反射型超音波探査装置で評価が行われているが、W-CSP内蔵MCPは縦構造が多層で複数の界面を持っているため、透過型SATを採用した。図5はリフロ後のパッケージ内部の透過型SAT像である。写真はパッケージ20個をまとめて撮影した結果であり、四角の枠がパッケージ1個分である。観察結果より、ハクリやクラックが発生していない。

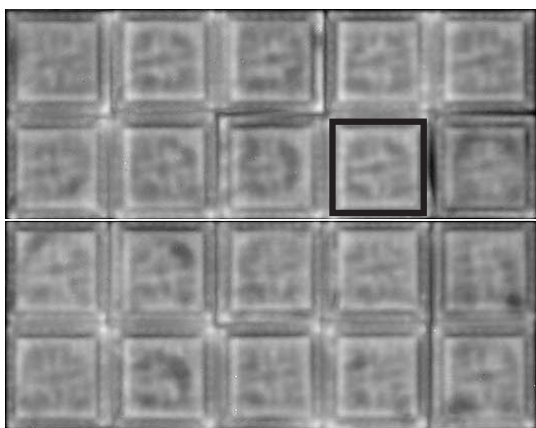


図5 リフロ後の透過型SAT確認結果

(2) ワイヤボンディング

W-CSP内蔵MCPでは第2チップをWBにより組立てている。この場合ははんだ端子がある状態で加熱を行うため、WB温度ははんだの融点以下にする必要がある。このため、ワイヤボンダの超音波を高周波 (120kHz) にし、ワイヤボンダ条件を最適化することによって、低温 (チップ上413K) で安定したWBを実現している。図2に示したW-CSPの構造図のように、第2チップがW-CSPより大きい場合でも同様である。第2チップの金球接合部下にW-CSPが無く浮いた状態の場合、WBで使用する超音波の伝達効率が低下するにもかかわらず、従来と同等の接合強度を確保している。

図6は、第2チップがW-CSPよりも小さい場合のWB結果である。WB条件の最適化により、W-CSPのエッジにワイヤはショートしていない。

以上から、第2チップサイズがW-CSPよりも小さい領域から大きな領域まで対応することが可能である。

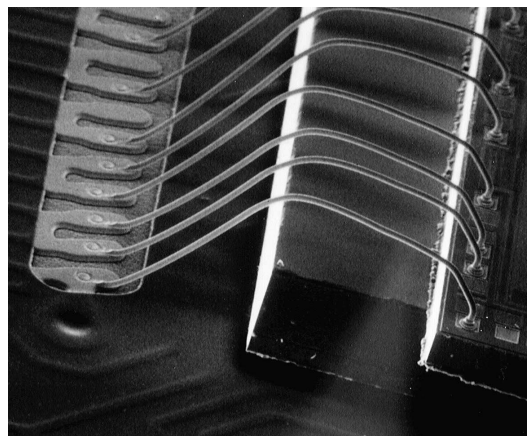


図6 第2チップWB結果 (W-CSP越えワイヤ)

(3) W-CSPと基板の隙間

W-CSPの薄型化には、W-CSPと基板の隙間量を狭くすることが必要である。このためには隙間量の制御と、狭い隙間に対するフラックス洗浄 (d) とモールド (g) が鍵である。

隙間量の制御は、基板はんだ印刷 (a) 時にははんだ量を最適化して行っている。リフロ (c) の加熱ではんだが液化するため、W-CSPの自重によりはんだ量が少ない場合は隙間が確保できず、多すぎる場合ははんだのブリッジが発生するため、条件を最適化している。

リフロ (c) 時に基板とW-CSPの間にフラックスを使用している。このため、フラックス洗浄 (d) 時にW-CSPと基板の隙間に洗浄液が入るように液の流れを制御して行っている。

また、内部端子の接合信頼性を確保するため、W-CSPと基板の隙間に樹脂を充填している。前述したように、他のFC方式は第1チップと基板の隙間は液状樹脂を充填している。W-CSP内蔵MCPはモールド金型内を減圧することによって、標準的に使用している樹脂を既存組立ラインでトランスファモールド封止し、未充填やワイヤ流れが発生しない最適条件を設定することができた。モールド金型内を減圧しない場合は第1チップと基板の間に未充填が発生している。図7は透過型SATによる内部未充填観察結果である。この写真はパッケージ25個をまとめて撮影したものであり、四角の枠がパッケージ1個分である。黒い部分は未充填を示している。

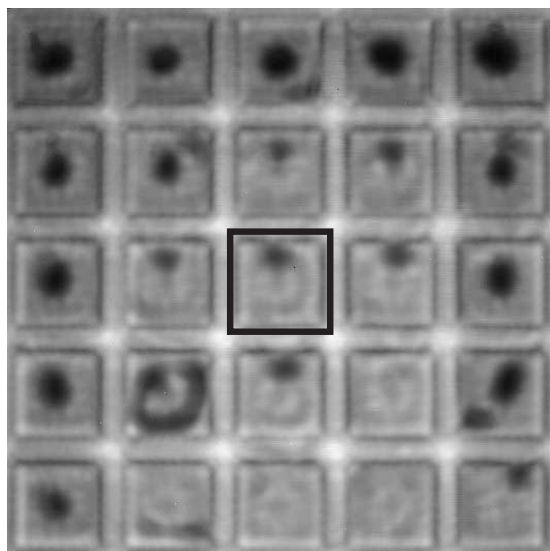


図7 内部未充填観察結果
パッケージ25個分(枠内が1個分)
黒色部：内部未充填

● 筆者紹介

佐伯吉浩：Yoshihiro Saeki.シリコンソリューションカンパニー
生産技術センタパッケージ開発部 MCPチーム

内田康文：Yasufumi Uchida.シリコンソリューションカンパニー
生産技術センタパッケージ開発部 MCPチーム

あ と が き

以上により、鉛フリー対応で同チップサイズ積層可能なW-CSP内蔵MCPを開発した。

この結果MCPに使用できるチップの自由度が増したため、幅広いアプリケーションに対応できるシステムLSIを製品化することが可能になった。

沖電気ではこの他方式のMCPも開発中であり、適切な方式選択により、積極的な製品提案と迅速な商品提供を進める所存である。 ◆◆

TIPS

【基本用語解説】

システムインパッケージ：System in a Package (SiP)

1つのパッケージ上に全ての機能を集約して、1つのパッケージでシステムを実現したもの。

例としては、CPUやメモリ、ロジック等の機能を一つのパッケージにまとめたものがある。

システムオンチップ：System on a Chip (SoC)

1つのチップ上に全ての機能を集約して、1つのチップでシステムを実現したもの。

W-CSP：Wafer-level Chip Size Package

ウェハ状態で全ての組立工程を完了させてしまう新しいコンセプトのパッケージ。FBGA (Fine Pitch Ball Grid Array) と同じく、パッケージの裏面に格子状に端子が配列された外形形状である。

沖電気ではLSIチップのボンディング用パッドを、金属メッキ膜により再配置配線し広げており、端子にははんだボール（または、はんだコート）を付けている。

沖電気のW-CSPは下記の利点がある。

- (1) 再配線によりボールピッチが広がることによって、マザーボードの配線密度を下げてコストを下げると共に、顧客でのボード実装が容易となる。
- (2) はんだボールまたは、はんだコートの下に、金属タワーポスト（メッキ層）が設けて応力を緩和することにより、はんだ接続部の信頼性が向上する。
- (3) チップ上面は、高品質なエポキシ樹脂で封止されているため、実装時のフラックスからチップ表面を保護しているため、フラックス洗浄で特別な処理がいらない。