

システムLSIの高速・低消費電力化を実現する μ PLAT[®]-92

花盛 博幸
藤後 清丈

稲葉 総一郎

μ PLAT[®]*1) は、ARMをCPUとし、リアルタイムOSの動作に必要なタイマ等の周辺機能を組込んだ当社のシステムLSI開発の基本プラットフォームである。W-CDMA (Wideband Code Division Multiple Access) や、PDA (Personal Digital Assistant)、インターネット装置等の携帯端末市場向けとして、高速かつ低消費電力なプラットフォーム μ PLAT[®]-92を開発した。 μ PLAT[®]-92は、ARM920T[®]*2) をCPUとし、OS実行に最小限必要な周辺IOで構成されるハードIP μ PLAT[®]-92コア、パワーマネジメント用IPとプロトタイピングボードに代表されるハードウェア開発統合環境の総称である。これにより、システムLSIの高速・低消費電力化が実現できるだけでなく、増大する大規模システムLSIの開発期間を削減できるとともに、ユーザは独自の差別化となるアプリケーション開発と品質の向上に注力することが可能となる。

μ PLAT[®]-92の開発方針

軽薄短小、高速動作を使命とするシステムLSI設計者の多くは、大規模化するシステムLSIの開発期間削減と品質の維持・向上に努力をしている。しかし、以下の様な悩みが解決できずに苦労していた。

- ・CPU周辺部の高速動作に伴いクリティカルパスが発生し、タイミング設計が収束しない。
- ・高速動作による消費電力の増加が発生する。
- ・高速・低消費電力化・リアルタイムOSに適した周辺IO/外部インタフェース回路設計が必要である(タイマ、割り込み)。

これらの問題のソリューションとして、本 μ PLATを開発することになった。

μ PLAT[®]-92 アーキテクチャー

(1) ハードウェア構成

μ PLAT[®]-92のハードウェア構成を図1に示す。

μ PLAT[®]-92は、 μ PLAT[®]-92コアおよび周辺IP [CGB (Clock Generator Block), PPWC (μ Plat PoWer Control), PDW (Power Down Wrapper) 等] で構成

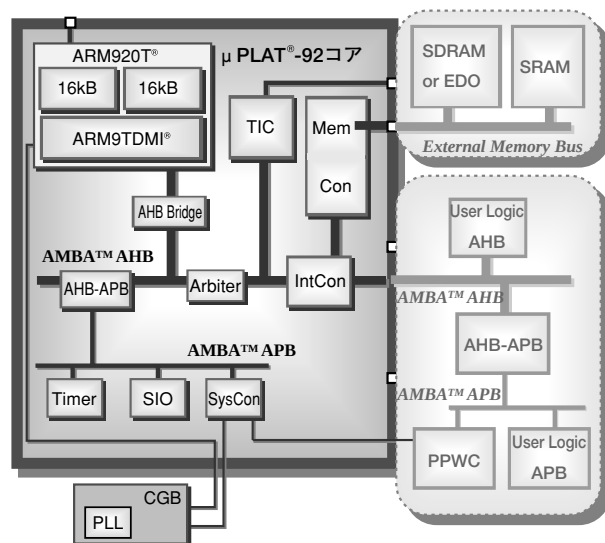


図1 μ PLAT[®]-92ハードウェア構成図

する。 μ PLAT[®]-92コアは、32ビットRISC プロセッサであるARM9TDMI[®]、16kBの命令キャッシュ、16kBのデータキャッシュを内蔵したARM920T[®]に、外部メモリコントローラ (MemCon)、割り込みコントローラ (IntCon)、OS用のシステムタイマ (Timer)、シリアルインタフェース (SIO)、パワーマネジメントを含むシステム制御部 (SysCon)、テストインタフェース (TIC) 等で構成する。オンチップバスにはARM社が提唱しているAMBA[™]*3) バスを採用した。AMBA[™]バスは、高速システムバスAHB (Advanced High-performance Bus) と、中/低速用システムバスAPB (Advanced Peripheral Bus) があり、 μ PLAT[®]-92コアと接続するシステムバスは、AHBである。

μ PLAT[®]-92コアは、0.16 μ m CMOSプロセスハードウェアIPとして提供する。 μ PLAT[®]-92コアの諸元を表1に、パワーマネジメント用IPの一覧を表2に示す。

(2) パワーマネジメント

パワーマネジメント機能は μ PLAT[®]-92コアと共に、パ

*1) μ PLATは沖電気工業(株)の登録商標。*2) ARM920T, ARM9TDMIはARM Ltd.の登録商標。*3) AMBAはARM Ltd.の商標。

表1 μ PLAT[®]-92コア諸元 (MVtトランジスタで構成)

項目	諸元
CPU	ARM920T [®] Processor ARM9TDMI [®] Cache 16kB 命令キャッシュ 16kB データキャッシュ
外部メモリコントローラ (MemCon)	SRAM, ROM, FlashROM, I/O, SDRAMもしくはEDO DRAM
割り込みコントローラ (IntCon)	IRQ 16 要因(128 要因まで拡張可能) FIQ 1 要因
タイマ (Timer)	1チャンネル
シリアルインタフェース (SIO)	非同期ポート 1 チャンネル
システム制御(SysCon)	パワーマネジメント等
ユーザインタフェース	AMBA AHB インタフェース
テストインタフェース	AMBA テストインタフェース(TIC)
デバッグインタフェース	JTAG インタフェース
最大動作周波数	CPU コア 133MHz AHB [™] バス 66.7MHz

表2 パワーマネジメント用IP一覧

IP名	機能概要
CGB (Clock Generator Block)	クロック生成・クロックギア制御 ・入力クロック 4入力切り替え ・出力クロック分周1/1~1/16 HVtトランジスタで構成
PPWC (μ Plat PoWer Control)	電源遮断制御 HVtトランジスタで構成
PDW (Power Down Wrapper)	電源遮断制御を行うブロックの 外部インタフェース (電源OFF信号による、入力端子 のフローティング防止)

ワーマネジメント用IP (CGB, PPWC, PDW) により実現している。表2 にパワーマネジメント用IP一覧を示す。

μ PLAT[®]-92では、動作クロック周波数をきめ細かく、動的に切り替えることができるクロックギア、ブロックごとのクロック停止、全体クロックの停止、および電源遮断によるパワーマネジメント機能を有している。

パワーマネジメントのソフト制御は、パワーマネジメント関数 (サンプル) が提供されており、複雑なパワーマネジメント制御のユーザ実装が容易にできる。

図2にパワーマネジメント構成図を示す。スレッショルド電圧が通常のトランジスタ (MVtトランジスタ) を使用し回路を構成すれば、高速クロック動作が可能となるが、クロック停止時の電流 (リーク電流) が高スレッショルド電圧のトランジスタ (HVt) に比べ大きくなる。携帯機器等のアプリケーションにおいては、待機時の

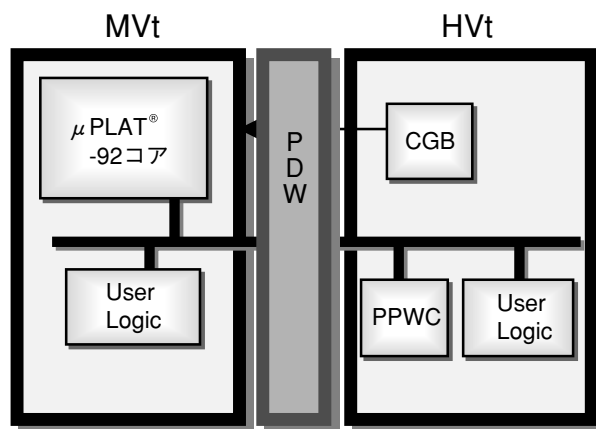


図2 パワーマネジメント構成図

消費電力が低く、なおかつ、ピーク時の高速動作も要求されるため、リーク電流削減が大きな課題となっていた。

μ PLAT[®]-92では、MVtトランジスタで構成されたブロックに対しては待機時に電源遮断を行うことにより、本課題を解決し、待機時 (リーク) 電流が非常に少なくなかつ、ピーク時のクロック動作速度が高いLSIを提供できるようになった。

μ PLAT[®]-92開発手法

μ PLAT[®]-92開発において、各設計工程で以下のEDAツールおよび設計手法を適用し、設計品質の向上と設計期間の短縮を図った。

設計品質を高めるために、フロントエンド工程では、RTL (Register Transfer Level) チェッカー、コードカバレッジツールを適用した。さらに、汎用的に用いられるため、あらゆるケースを想定しなければならぬランダム検証が可能なSpecman Elite^{™*4)} を適用した。また、設計期間の短縮のために、バックエンド工程にいく前に、レイアウト後のタイミング予測性に優れた合成ツールPhysical Compiler^{™*5)} を用いバックエンドからの戻りを少なくした。また、バックエンド工程では、フロントエンドからのタイミング制約を利用しレイアウト設計を行うSLC (System Level Constraint) フローを適用することにより、タイミング違反によるレイアウトからの戻りを少なくし、タイミングの早期収束を図った。

エミュレーションは、早期からOS上で各機能 (通常/パワーマネージメント) の動作確認、競合試験によるハードの妥当性を高めるために導入した。その構成は、図3に示す通りであり、エミュレータ装置としてAptix社製MP3Cを使用、WSからEthernetを経由してFPGA (Field Programmable Gate Array) 上にネットリスト

*4) Specman Eliteは Verisity Design, Inc. の商標。 *5) Physical CompilerはSynopsys, Inc. の商標。

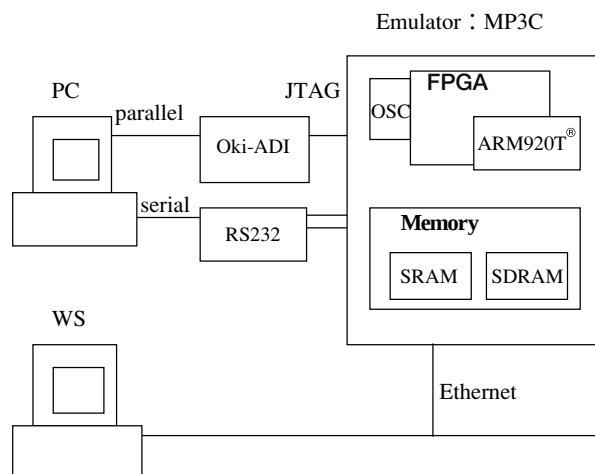


図3 エミュレーション構成図

をダウンロードし、PCからParallel-JTAG経由でTP（Test Pattern）をダウンロードして検証を行った。また、μPLAT[®]-92内蔵SIOテスト用としてSerial経由のSerialPortレシーバを設けた。ウェア製造前に実動作に近い検証ができ、μPLAT[®]-92コアの品質向上と開発期間短縮に貢献した。

ハードウェア開発環境

(1) μPLAT[®]-92プロトタイプングボード

図4にμPLAT[®]-92プロトタイプングボードの構成図を、表3に諸元を示す。

プロトタイプングボードは、μPLAT[®]-92コアおよびパワーマネジメント用IP、ETM9（Embedded Trace Macro）を実装した評価チップ、AMBA[™]AHBに接続されるAHB-APBブリッジ、GPIO、UART、DMAC等を実装したFPGA（標準）、ユーザ開放のFPGA（オプション）、ユーザ拡張用インタフェースであるAPB、AHB、EXMEMコネクタ等から構成される。

デバッグのために、JTAGインタフェースおよび、リアルタイムトレースポートを用意した。JTAGインタフェースにOki-ADI（ARM Debug Interface）ボード経由でPCを接続し、PC上でARM社のSDT（Software Development Toolkit）を動作させ、ハードウェア、ソフトウェアのデバッグを行うことができる。

このプロトタイプングボードを使うことで、システムLSIに集積するハードウェア回路を、FPGA（オプション）やAHB/APB/EXMEMの拡張ボードのFPGAに実装し、システムLSI化する前に機能や動作を検証することができる（写真1）。

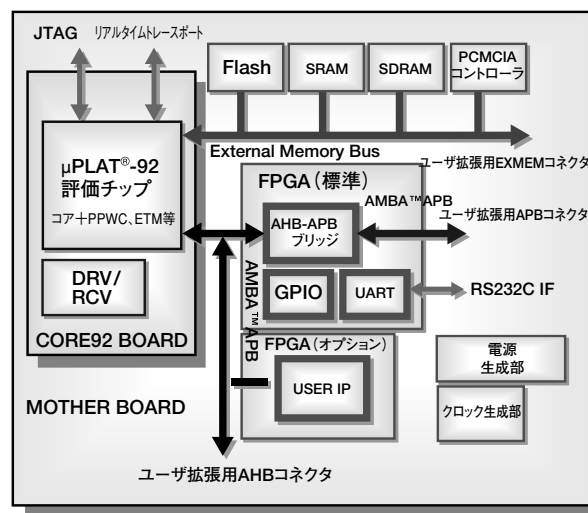


図4 μPLAT[®]-92プロトタイプングボード構成図

表3 μPLAT[®]-92プロトタイプングボード諸元

項目	諸元
CORE92 BOARD	μPLAT [®] -92コア評価チップ
FPGA(標準)	AHB-APB ブリッジ 拡張割り込みコントローラ UART GPIO DMAC
FPGA(オプション)	USER IP
AMBA 拡張	AHB 拡張インタフェースコネクタ APB 拡張インタフェースコネクタ×2
外部メモリ	FLASHS 8MB SRAM 2MB (外ROM用) SRAM 1MB SDRAM 16MB
外部メモリ拡張	EXMEM 拡張コネクタ
デバッグインタフェース	OKI ADIボードインタフェース (JTAG) リアルタイムトレースポート

(2) テストベンチ

システムLSIのシミュレーション環境として、μPLAT[®]-92コアモデルと周辺ロジックを組み込んだシステムLSIモデルに対するタイミングシミュレーションができるテストベンチ図5を開発した。

C言語やアセンブラ言語で作成したTPをARM SDTを用いてコンパイルしたファイル、クロック周波数の設定やメモリの属性を規定したCONFファイルを入力とし、μPLAT[®]-92コアで使用するクロック生成回路CGBと同じ回路をテストベンチで採用し、基準クロックとして動作する。これにより、μPLAT[®]-92コアモデルとユーザ

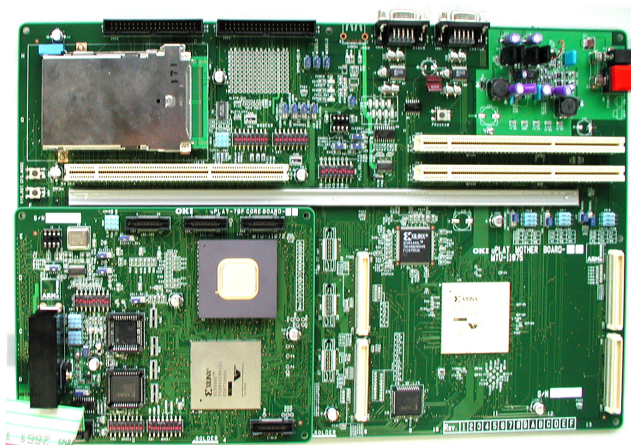


写真1 μPLAT®-92プロトタイプボード

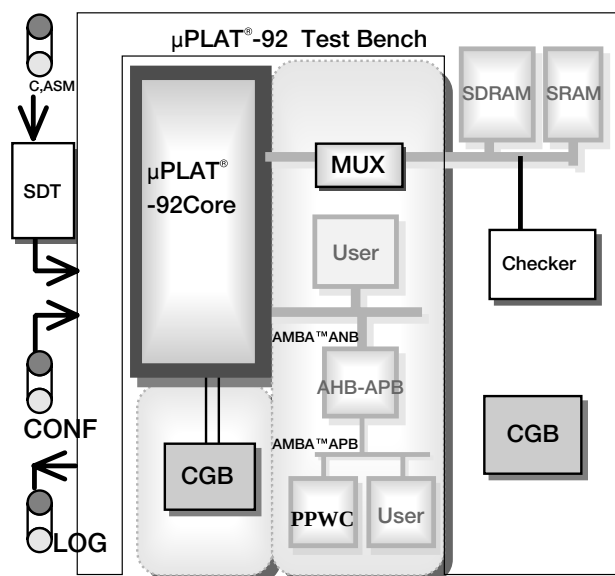


図5 μPLAT®-92テストベンチ

回路モデル並びにIPモデルとのタイミングシミュレーションを実現した。

あ と が き

本論文では、ARM920T®をCPUとしたμPLAT®-92コアとその開発環境を紹介した。今後はμPLAT®-92コアを用いたシステムLSIの製品展開を図るとともに、次期μPLATの開発と周辺IPの品揃え充実に注力していきたい。



参考文献

1) 来住, 高塚, 中澤: 沖電気研究開発 第184号, Vol.67 No.3, pp.45-48, 2000年

筆者紹介

花盛博幸: Hiroyuki Hanamori.シリコンソリューションカンパニー LSI事業部 プラットフォーム開発部 アドバンスプラットフォームチーム

稲葉総一郎: Soichiro Inaba.シリコンソリューションカンパニー LSI事業部 プラットフォーム開発部 SPAデザインサポートチーム

藤後清文: Kiyotake Togo.シリコンソリューションカンパニー LSI事業部 プラットフォーム開発部 アドバンスプラットフォームチーム