

携帯機器用低電力64Mb SDRAM

—SRAMに匹敵する待機時電流を実現したSDRAM—

黒木 浩二

モバイル機器を取り巻く環境は、無線通信技術の向上により手軽に動画や音楽を入手できるようになってきた。また、携帯電話に代表されるように低価格な携帯機器の登場で、モバイル機器の一般家庭への普及が急速に進んでいる。

そのような状況の中から携帯機器に使用されるランダム・アクセス・メモリ（以下、RAM）に求められるニーズは、①長時間動作を実現するために低消費電力であること、②一度に大量の情報を短時間で処理するために大容量かつ高速処理であること、③消費者に低価格で供給出来るように安価であることである。

これまで携帯機器に使用されていたスタティックRAM（以下、SRAM）は、低消費電力ではあるが、小容量・低速処理・高価といった問題がある。一方、シンクロナスDRAM（以下、SDRAM）は大容量・高速処理・安価ではあるが、SRAMと比較して待機時消費電力が数十倍大きいという問題があった。そこで、今回、パワーオフモードという新機能をSDRAMに搭載することで、SRAM並の待機時消費電流を実現した携帯機器用低電力64Mb SDRAM（製品名：MD86X62160E）を紹介する。

汎用SDRAMの待機時消費電流

図1に示すように汎用SDRAMの待機時消費電流の内訳は3つに大別される。

第1は内部電源で消費されるDC回路消費である。内部電源（Internal VCC）発生回路（以下、IVCC発生回路）、IVCC/2電位発生回路（以下、HVCC回路）等、外部電源が投入されるとDC的に動作する回路（以下、DC回路）での電流消費がある。その理由は、一般的にIVCC発生回路では、外部電源（以下、VCC）とGND間、HVCC回路では、IVCCとVSS間に定常電流を流すバイアス段が存在するために発生するものである。

第2は、メモリセル内での物理欠陥による電流消費である。待機時のワード線（以下、WL）電位レベルはGNDレベルであるのに対し、ビット線（以下、BL）電位レベル（以下、VBL）はIVCC/2にプルアップされている。WLとBLが物理的にショートが存在すると、VBLから

GNDへの電流パスが発生する。厳密に言えば、VBL電位を発生するHVCC回路-BL-GNDへの電流パスが発生し貫通電流が生じる。なお、通常動作（Write/Read）に関しては、DRAMは冗長置換という機能が搭載されているので、その範囲内であれば全く問題なく動作することを付け加えておく。

第3は、リーク電流である。図1からも分かるように、一般的にリーク電流は温度依存があり高温側で増加する傾向にある。リーク電流の内訳は、電位差の異なるソース・ドレイン間に発生する成分と拡散層の接合リーク成分がある。

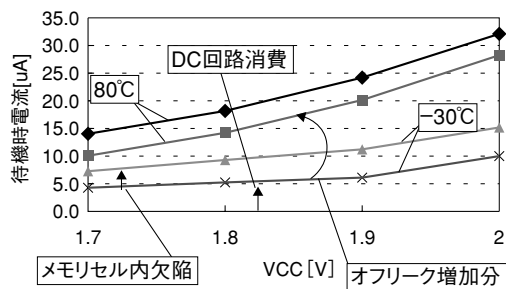


図1 待機時消費電流成分

SRAMレベルの待機時電流の実現に向けて

一般的なSRAMの待機時電流は1 μ A以下である。SDRAMでSRAMレベルの待機時電流を実現するには、先に述べた待機時消費電流をほとんど遮断する必要がある。今回、パワーオフモードという新機能を使うことでSRAMレベルの待機時電流の実現を図る。

パワーオフモードとは

外部電源が切れた状態では、当然ではあるがSDRAMでの電流消費はゼロとなる。つまり、外部電源が印加された状態で、SDRAM内の電源が切れている状態を作り出せば良いことになる。パワーオフモードとは、このモードに設定することで、SDRAM内部が限りなく電源が切れている状態を実現する機能である。

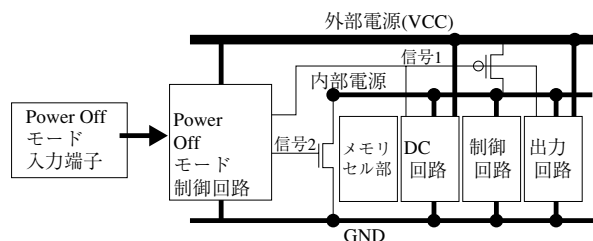


図2 パワーオフモード構成図

(1) 構成

図2にパワーオフモードの構成図を示す。基本的に、DC回路、メモリセル部、制御回路、出力回路などに使用する電源は、VCCからPチャネル型トランジスタ（以下、Pchトランジスタ）を介して接続された電源（以下、内部電源）を使用する。そのPchトランジスタのゲートには、パワーオフモード制御回路から生成された信号1を接続する。また、内部電源とGND間にはNチャネル型トランジスタ（以下、Nchトランジスタ）が挿入されており、そのNchトランジスタのゲートにはパワーオフモード制御回路から生成された信号2を接続する。

(2) 動作

パワーオフモード入力端子に印加される電圧がVCCレベルの場合は通常動作状態、パワーオフ入力端子に印加される電圧レベルがGNDレベルの場合はパワーオフモード状態と定義する。

通常動作状態では、信号1の電位レベルはPchトランジスタをオンする方向に制御される。つまり、内部電源は、Pchトランジスタを介して外部電源から供給される。信号2の電位レベルは、GNDレベルとなるように制御されており、信号2がゲートに接続されているNchトランジスタは、オフするように制御されている。

一方、パワーオフモード状態では、信号1の電位レベルがPchトランジスタをオフする方向に制御され、VCCと内部電源が電氣的に分離される。信号2の電位レベルは、VCCレベルとなり、Nchトランジスタがオンし、内部電源を速やかにGNDレベルにする。また、IVCC発生回路等のDC回路でのバイアス部は、定常電流が停止する方向に制御されている。ただし、パワーオフモード状態から通常動作状態への切り替え時には、内部電源がGNDレベルになるため、汎用SDRAMの電源投入動作と同様にイニシャルセットを必要とする。

(3) 効果

パワーオフモード状態へすることで、外部電源VCCに

電圧が印加された状態でも、内部電源系で駆動する回路には電源が供給されないことになる。したがって、DC回路での消費電流・メモリセル内の物理欠陥による消費電流を低減できる。また、ソース・ドレイン間に電圧差が生じるトランジスタ数も激減するのでリーク電流も大幅に低減する。ただし、SDRAMのメモリセル構造は1トランジスタ・1キャパシタンスの揮発性構造となっているため、本モード状態時のメモリセルに貯えられた情報は保証されない。

(4) 汎用SDRAMとの互換性と目標性能

汎用64Mb SDRAMのパッケージタイプは、54ピン プラスチックTSOP（Ⅱ）Kタイプである。パワーオフピンは、汎用SDRAMと互換性を持たせるために図3に示すように、汎用SDRAMでのピン番号40にあたるNCピン（未使用ピン）に設け、汎用SDRAMを使用していたユーザも小規模変更の対応で本機能を使用できる。

一方、目標性能は、携帯機器用に使用されるRAMに求められる要求を考慮し、表1のように設定した。

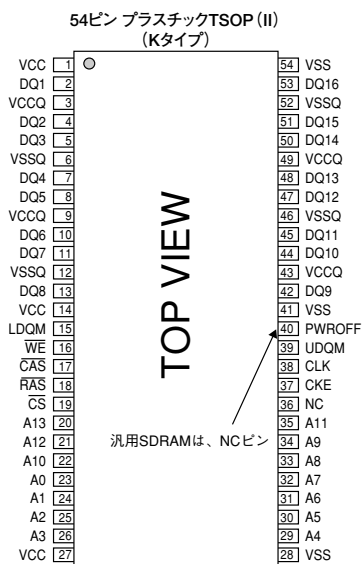


図3 パッケージ外形図

表1 目標性能

温度保証範囲	Ta=-30℃~85℃
外部電源電圧(VCC)	VCC=1.85V±0.1V
動作周波数	66MHz
CL(CAS Latency)	3
パワーオフモード時消費電流(ICC8)	ICC8≤1.0μA

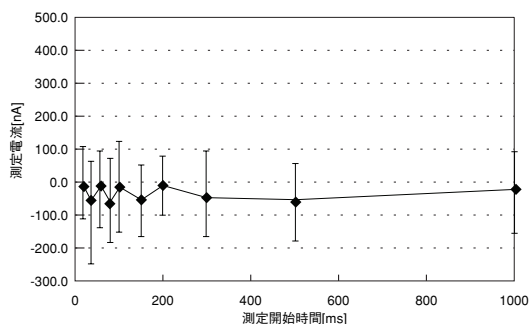
試作評価結果

0.18 μm CMOSの DRAMプロセスを使用し、パワーオフモード付き64Mb SDRAMを試作し評価を行った。評価装置は、(株)アドバンテスト社製メモリ・テスト・システムT5581を使用した。

(1) パワーオフモード時消費電流の測定

パワーオフモード時消費電流の目標仕様はSRAM並の1 μA 以下と小さいため、測定精度を向上させる必要がある。図4 (a) に従来の測定方法によりデバイスを載せない状態で測定時のバックグラウンドを評価した結果を示す。縦軸は測定電流を表し、横軸は、電源投入してから電流測定を開始する時間を表す。また、各測定ポイントでは50回測定を実施しており測定バラツキも分かるようにした。図のようにデバイスを載せない状態においても、測定値が最大約-250nA $\sim$ +120nAまで変動していることが分かる。この原因は、微小電流を測定するには測定レンジを小さく(テスト最小分レンジ=4 μA) する必要があるが、そのレンジの最大許容負荷0.01 μF に対し電源バイパスコンデンサの容量(0.1 μF +0.01 μF)が超えているためである。この問題は、ロー・パス・フィルタを使用しノイズを低減させることで回避できる。

(a) 従来の測定方法時の測定結果



(b) ロー・パス・フィルタ使用時の測定結果

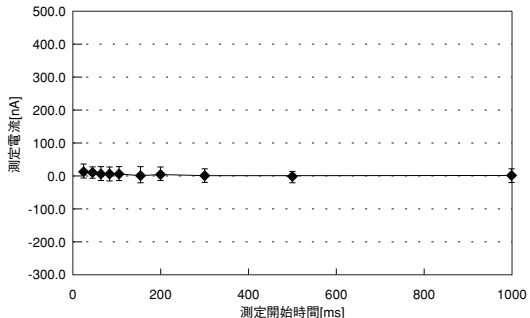


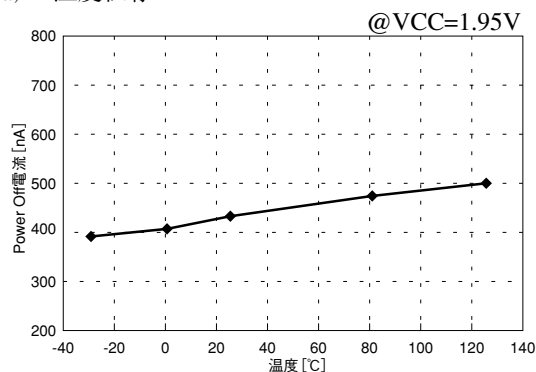
図4 微小電流測定

図4 (b) にロー・パス・フィルタを使用した場合の結果を示す。測定条件は図4 (a) 時の測定条件と同一である。図より測定バラツキが小さく測定開始時間が短くても安定して測定されていることが分かる。したがって、パワーオフモード時消費電流の測定はロー・パス・フィルタを使用した測定方法を用いることにする。

図5にパワーオフモード時消費電流の測定結果を示す。図5 (a) は温度依存特性で、縦軸はパワーオフモード時消費電流の測定値、横軸は測定時の温度である。目標仕様温度-30 $^{\circ}\text{C}$ ~85 $^{\circ}\text{C}$ の間で1 μA 以下を十分に満足している。ワースト条件は高温側(85 $^{\circ}\text{C}$)の時であるが、それでも482nAと良好な結果となっている。図5 (b) は85 $^{\circ}\text{C}$ 時のパワーオフモード時消費電流の分布を示したものである。測定個数は100個。平均電流は535nA, $3\sigma=164\text{nA}$ であり良好な結果となっている。

パワーオフモード状態においても、微小リーク電流が僅かに存在する。この微小リーク電流は、高温側で増加傾向を示していることからソース電圧がVCCとなるトランジスタの基板へ流れるリーク(拡散層の接合リーク電流)と同トランジスタのしきい値(V_t)が高温になることで

(a) 温度依存



(b) 電流分布(85 $^{\circ}\text{C}$)

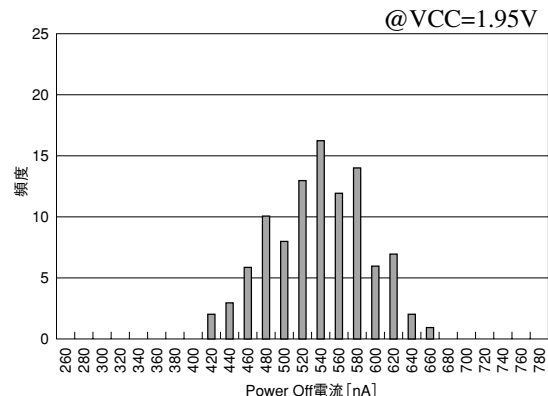


図5 パワーオフモード時消費電流測定結果

低下することでソース・ドレイン間に発生するリーク電流と推察される。

(2) パワーオフモード状態から通常動作状態への切り替え制御評価

パワーオフモード時消費電流の特性評価よりパワーオフモード状態は正常に制御されていることを確認したが、ここではパワーオフモード状態から通常動作状態への切り替え時の制御に不具合がないか評価を行った。

①異常電流の有無

パワーオフモード状態へ入る前の電流とパワーオフモードから通常動作状態へ切り替わり後の電流を測定し比較した。表2に5個のサンプルの測定結果を示す。電流値は、汎用SDRAMの待機時電流の値@Ta=85℃である。パワーオフモード状態の前後の測定値に差は見られない。つまり、パワーオフモード状態から通常動作状態への移行時に制御の不具合による異常電流は発生していない。

表2 パワーモード状態前後の待機時電流特性

	待機時電流[μA]	
	パワーオフモード前	パワーオフモード後
#1	27.0	26.6
#2	26.6	26.8
#3	28.2	28.0
#4	25.8	25.4
#5	27.2	27.6

@Ta=85℃

②パワーオフモード状態から通常動作状態への制御

表3に測定結果を示すが、5個のサンプルを測定し、何れの温度条件でも動作することを確認した。

以上より、パワーオフモード状態から通常動作状態への制御は、正常に制御されている。

表3 パワーオフモード状態から通常動作状態へ移行後の動作確認

	温度[℃]			
	-30	0	25	85
#1	○	○	○	○
#2	○	○	○	○
#3	○	○	○	○
#4	○	○	○	○
#5	○	○	○	○

@VCC=1.85V

○：正常動作 ×：誤動作

(3) その他の目標仕様に対する評価

パワーオフモード時消費電流の特性は、目標仕様を満足する結果が得られ、パワーオフモード状態と通常動作状態の切り替えの制御も問題がないことが確認された。こ

こでは、その他の目標仕様に対する評価結果を示す。

(a) 測定条件

温度Ta=-30℃/0℃/25℃/85℃

外部電源電圧

VCC=1.75V/1.80V/1.85V/1.90V/1.95V

動作周波数 66MHz, CL3

(b) 評価結果・考察

表4に評価結果を示す。5個のサンプルを測定し、目標仕様条件下で全てサンプルが正常動作することを確認した。ただし、ユーザーへの安定供給を考慮すると、プロセス変動に対する評価を追加で行う必要がある。

表4 動作評価結果

VCC[V]	動作周波数 66MHz/CL3 温度[℃]			
	-30	0	25	85
1.95	○	○	○	○
1.90	○	○	○	○
1.85	○	○	○	○
1.80	○	○	○	○
1.75	○	○	○	○

○：正常動作 ×：誤動作

あ と が き

パワーオフモードという新機能を搭載することで、SRAM並みの待機時電流1μA以下を64Mb SDRAM（製品名：MD86X62160E）で実現した。本製品は、温度保証-30℃～85℃、外部電源電圧 VCC=1.85V±0.1V、動作周波数66MHz、CL3動作も実現しており、携帯機器用のRAMのニーズ（低消費電力、大容量、高速処理、安価）に近い製品と言える。

今後は、更なる低電圧動作・高速化を図り、次世代のニーズにあった製品をタイムリーに提供していきたい。



●筆者紹介

黒木浩二：Koji Kuroki.シリコンソリューションカンパニー LSI事業部メモリ設計部 DRAM第3チーム