

# 0.16 $\mu\text{m}$ 低消費電力システムASIC

菊池 秀和 栗本 雅弘  
田代 雅久

近年の微細化技術の進展に伴い、ASIC製品の開発も大きく変化してきた。ASIC製品は高集積化を実現しミリオンゲート級のロジック搭載を容易に可能にしながらも、一方では、消費電力、配線遅延、信号ノイズの増大に苦しみ、解決法を模索してきた。微細化に伴い従来の手法が適用できなくなり、新たな手法が要求されている。

0.16 $\mu\text{m}$  ASIC製品では、ユニットセルの最適化やゲートドックロック手法、クロストーク対策などにより、一世代前の0.25 $\mu\text{m}$ に比べて、3.5倍の高集積化と85%減の低消費電力化を実現した。本稿では、その製品概要、特徴について述べる。

## ASICファミリの概要

表1に、本製品の諸元を示す。本製品は、メタル3層品、4層品、5層品で構成されMG73M/MG74M/MG75Mファミリと呼ばれる。本ゲートアレイは、4個のトランジスタからなるユニットセルを全面敷き詰めたSOG (Sea Of Gate) タイプで実現される。インバータ、NAND、NOR等の基本セルは全て、ユニットセルを下地として配線層で構成するため、ユニットセルの構造がロジック部、あるいはチップのサイズやスピードに直接影響する。

0.16 $\mu\text{m}$ プロセスを使用し、ユニットセルサイズをできるだけ小さくすることに重点を置いて設計を行った結果、一世代前のMG73P/MG74P/MG75Pファミリ(0.25 $\mu\text{m}$ プロセス)に比べて、約3.5倍の高集積化を実現した。使用可能ゲート数では、最大で約5百万ゲートまで対応可能である。

## 基本セル、I/Oセルの電気的特性

表2にDC特性を、表3にAC特性を示す。一世代前の0.25 $\mu\text{m}$ プロセスでは、内部電源電圧は2.5Vであったが、0.16 $\mu\text{m}$ プロセスでは同世代プロセスの業界標準である1.8Vを採用している。内部電源電圧の低下と微細化により、0.25 $\mu\text{m}$ と比較して約85%減という、大幅な低消費電力化を図っている。

表1 MG73M/MG74M/MG75Mファミリ諸元

MG7XM シリーズ名	ベースアレイ名	パッド数	使用可能ゲート数 [KG]		
			MG73M	MG74M	MG75M
B06	037X037	148	287	416	471
B08	047X047	188	445	594	676
B10	057X057	228	626	817	926
B12	067X067	268	843	1,044	1,196
B14	077X077	308	1,065	1,313	1,489
B16	087X087	348	1,297	1,549	1,775
B18	097X097	388	1,561	1,853	2,095
B20	107X107	428	1,784	2,165	2,461
B22	117X117	468	2,043	2,479	2,833
B24	127X127	508	2,361	2,859	3,277
B26	137X137	548	2,612	3,171	3,659
B28	147X147	588	2,840	3,472	4,035
B30	157X157	628	3,155	3,860	4,503
B32	167X167	668	3,471	4,252	4,981

表2 DC特性

項目	記号	条件	定格			単位
			最小	標準	最大	
Highレベル入力電圧	$V_{IH}$	TTLノーマル入力	2.0	-	$V_{DDIO} + 0.3$	V
Lowレベル入力電圧	$V_{IL}$	TTLノーマル入力	-0.3	-	0.8	
シュミットトリガ しきい値電圧 (ノーマルバッファ)	$V_{T+}$	TTLノーマル入力	-	1.5	2.1	
	$V_{T-}$		0.7	1.0	-	
	$\Delta V_t$	$V_{T+} - V_{T-}$	0.4	0.5	-	
Highレベル出力電圧 (ノーマルバッファ)	$V_{OH}$	$I_{OH} = 100\mu\text{A}$	$V_{DDIO} - 0.2$	-	-	V
		$I_{OH} = 1 \sim 24 \text{ mA}$	2.4	-	-	
Lowレベル出力電圧 (ノーマルバッファ)	$V_{OL}$	$I_{OA} = 100\mu\text{A}$	-	-	0.2	V
		$I_{OL} = 1 \sim 24 \text{ mA}$	-	-	0.4	
Highレベル入力電流 (ノーマルバッファ)	$I_{IH}$	$V_{IH} = V_{DDIO}$	-	-	10	$\mu\text{A}$
		$V_{IH} = V_{DDIO} (50k \text{ pd})$	10	66	200	
Lowレベル入力電流 (ノーマルバッファ)	$I_{IL}$	$V_{IL} = V_{SS}$	-10	-	-	mA
		$V_{IL} = V_{SS} (50k \text{ pu})$	-200	-66	-10	
		$V_{IL} = V_{SS} (3k \text{ pu})$	-3.3	-1.1	-0.3	
3-ステート 出力リク電流 (ノーマルバッファ)	$I_{OZH}$	$V_{OH} = V_{DDIO}$	-	-	10	$\mu\text{A}$
		$V_{OH} = V_{DDIO} (50k \text{ pd})$	10	66	200	
	$I_{OZL}$	$V_{OL} = V_{SS}$	-10	-	-	
		$V_{OL} = V_{SS} (50k \text{ pu})$	-200	-66	-10	
	$V_{OL} = V_{SS} (3k \text{ pu})$	-3.3	-1.1	-0.3	mA	

電源電圧、温度条件 :  $V_{DDCORE} = 1.65 \sim 1.95\text{V}$ ,  $V_{DDIO} = 3.0 \sim 3.6\text{V}$ ,  $V_{SS} = 0\text{V}$ ,  $T_j = -40 \sim +85^\circ\text{C}$

## マクロセルの取り揃え

表4にI/Oセルの取り揃えを示す。通常の3.3VタイプのI/Oに加え、5VトレラントI/Oを準備した。その他、PCIバッファ、USBバッファ、発振回路も準備しており、多

表3 AC特性

項目	ドライブタイプ	条件	標準値	単位	
内部ゲート 遅延時間	Inverter	1X	0.051	ns	
		2X	0.044		
		4X	0.037		
	2入力 NAND	1X	F/O=2, L=0mm		0.062
		2X			0.050
		4X			0.044
	2入力 NOR	1X			0.074
		2X			0.058
		4X			0.057
	Inverter	1X	F/O=0 標準配線長		0.261
		2X			0.188
		4X			0.111
	2入力 NAND	1X			0.314
		2X			0.177
		4X			0.108
	2入力 NOR	1X			0.417
		2X			0.269
		4X			0.201
トグル周波数		F/O=1,L=0mm	1980	MHz	
入力バッファ	TTLレベルノーマル入力バッファ	F/O=2	0.306	ns	
遅延時間	TTLレベル5Vトレラント入力バッファ	標準配線長	0.610		
出力バッファ	プッシュプル ノーマル	4mA	CL=20pF		2.153
		8mA	CL=50pF		2.077
遅延時間	出力バッファ	12mA	CL=100pF		2.679
		3 ステート	4mA		CL=20pF
出力バッファ	5Vトレラント出力バッファ				
	プッシュプル	12mA	CL=100pF		3.737 (r)
	ノーマル出力バッファ				3.665 (f)
遅延時間	3 ステート	4mA	CL=20pF		2.480 (r)
				2.398 (f)	

電源電圧、温度条件：V<sub>DDCORE</sub>=1.8V,V<sub>DDIO</sub>=3.3V,V<sub>SS</sub>=0V,T<sub>J</sub>=25°C

表4 I/Oセル取り揃え

マクロセルタイプ	3.3V I/O	5VトレラントI/O
Input Buffers	6	6
Input Buffers with Pull Up/Pull Down	14	14
Output Buffers	33	21
I/O Buffers	24	24
I/O Buffers with Pull Up	24	24
PCI Buffers	2	4
USB Buffer	1	-
Oscillators	3	-
Total	107	93

彩なインタフェースを実現可能としている。

表5に基本セルの取り揃えを示す。SOGタイプの基本セルとして、331種類のセルを準備した。また、CB (Cell Base) タイプの基本セルとして、203種類のセルを準備した。CBタイプのセルは、各セルの特性に合わせて最適化されたトランジスタで設計されているため、SOGセルに比べて高密度化できる利点がある。

本製品では、このCBセルを使用して設計されたブロックをエンベデッドマクロとして搭載することが可能であり、より柔軟性に富んだ設計環境を実現している。

これらの他、システムLSIを実現するための搭載マクロとして、PLL、メモリ、CPUマクロ等が準備されている。

表5 基本セル取り揃え

基本セルタイプ	SOGセル	CBセル
Inverters/Buffers/Drivers	13	16
3-State Internal Bus Drivers	2	8
Clock Tree Drivers	6	6
NAND Gates	21	9
NOR Gates	21	9
AND Gates	21	9
OR Gates	21	9
Exclusive Gates	12	6
AND-OR/NOR Gates	44	18
OR-AND/NAND Gates	38	18
Multiplexers	18	12
Decoders	5	-
Arithmetic Elements	7	4
Fixed Gates	3	3
Delay Gates	5	2
SR-Type Latches	2	4
D-Type Latches	21	16
D-Type Flip Flops	32	22
Scannable Flip Flops	14	24
JK-Type Flip Flops	8	8
Toggle Flip Flops	4	-
Counters	2	-
Internal Pulse Generator	4	-
Boundary Scan cells	7	-
Total	331	203

## RAMマクロ

0.16 μm 級のシステムLSIには、少ない場合でも数個、多い場合には数十個以上のSRAM (スタティックRAM) が搭載されるのが一般的であり、LSIチップ上の半分以上の面積を占有することも珍しいことではない。したがって、搭載されるSRAMのサイズ、パワー、スピードといった性能そのものが、システムLSIの性能を左右する重要なキーファクターとなる。今回0.16 μmASIC用SRAMとしては、クロック同期式のシングルポートSRAMおよびデュアルポートSRAMを、多種多様な規模 (ビット数) の要求に応えられるように、ジェネレータタイプとして開発した。表6に本SRAMジェネレータで生成できるビット、ワード仕様を示す。トータルビット数として32ビットから512Kビットという広範囲な規模のSRAMを生成することが可能である。

今回0.16 μmASICでは沖のローパワー戦略に沿って、小面積と低消費電力に重点を置いた設計を行った。

小面積SRAMを実現するためには、メモリセルそのもののサイズを極力小さくすることが必要である。そのた

表6 ジェネレータで生成可能なSRAM仕様

	最小	最大
アドレス入力本数	4	14
ワード数	16	16K
ビット幅	2	128
トータルビット数	32	512K

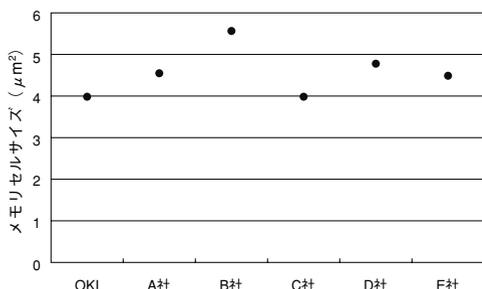


図1 SRAMメモリセルサイズ他社比

めメモリセル部分には、通常の設計基準よりも縮小した特殊設計基準を多数適用した専用設計を施し、シングルポートSRAMで4 μm<sup>2</sup>以下のセルサイズを実現した。図1に、SRAMメモリセルサイズの他社比を示す。本SRAMのメモリセルサイズは、このクラスのプロセス技術を用いたSRAMセルサイズとして世界最小レベルである。

また、SRAMの動作が終了した時点で速やかにパワーダウンモードに入れるように、ダミーワード、ダミービットを使用したセルフタイミング回路を搭載し、低消費電力化を実現した。この回路により、本SRAMはクロックに同期して動作を開始し、完了後は自動的にパワーダウンモードに戻る。このパワーダウンモードはDC電流がゼロであり、電流消費をごくわずかなリーク分に抑えることが可能である。

これら小面積、低消費電力設計を行った結果、一世代前の0.25 μmASIC搭載用のSRAMに比較して、面積で1/3以下の小サイズを、消費電力で1/10以下のローパワーを実現できた。

### レイアウトシステム

図2にレイアウトシステム概要を示す。レイアウトシステムは、短TATでタイミング収束の問題を解決するために、ネットリストとともに設計制約を顧客から受け取り、自動配置配線ツールでタイミング調整を行う方法でシステムを構築した。

タイミング収束を実現するための機能としては、セル性能のアップダウンとバッファ挿入/削除に加えて、レイアウト段階での再合成機能を新たに追加した。本システムは、タイミングドリブン配置配線およびクロック生

成を行った後に、顧客に最終ネットリストと遅延情報を戻す仕組みとなる。

次に、微細化に伴い新たにタイミング問題を引き起こすクロストーク問題に対しては、並行配線に対する長さの制限と配線経路へのリピータの挿入および配線間隔の拡大などの手段を講じた。

増大する一方である回路規模に対する方策としては、従来から採用しているフラットレイアウト手法、ボトムアップレイアウト手法と、近年注目されているトップダウンレイアウト手法があるが、顧客への設計制約を極力なくし、かつ、チップサイズ増大のインパクトを押しやるため、最大サイズでもフラットレイアウト手法を選択できるように構築した。また、設計TATが最優先となる場合には、階層設計手法も実現できるようにシステムを構築した。

さらに、高集積化に伴いクロック系も複雑化し、複数のクロックが使用されて来ている。複数クロックのスキュー調整を実現するために、遅延調整セルを用いた手法を提供する。

最後に、ロジック回路規模の増大に対して顕著に効果が期待できる低消費電力化の方策として、ゲーテッドクロック手法をシステム全体で扱えるようにした。これは、ゲーテッドクロックセルを論理合成ツールで自動挿入し、クロック終点を自動認識することで、レイアウト設計への負荷が極力発生しない特徴を持つ。図3にクロック終点の認識例を示す。本手法では、顧客は従来通りRTL（機能記述）で論理設計が可能であり、テストビリティに影響を及ぼすこともない。テストデータを用いた評価では、最大50%の消費電力を削減できた。

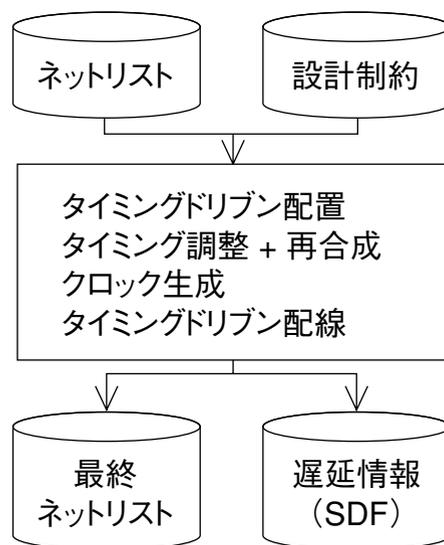


図2 レイアウトシステム概要

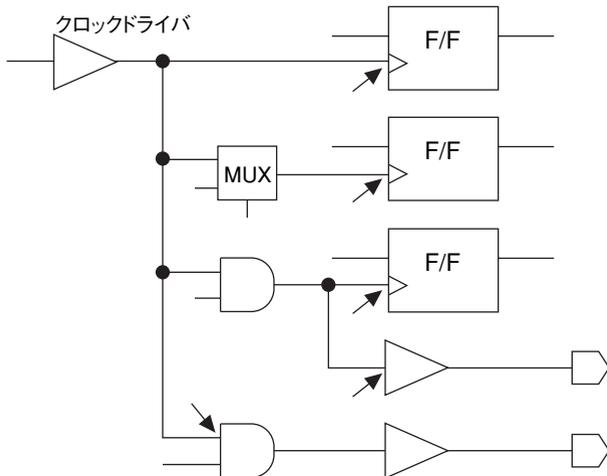


図3 クロック終点の認識例

## あ と が き

沖電気の最先端である0.16  $\mu\text{m}$ プロセスを用いたASIC製品MG73M/MG74M/MG75Mファミリを開発した。

ロジックゲート部では、前世代の0.25  $\mu\text{m}$ 比で3.5倍の高集積化と85%減の低消費電力化を実現できた。

専用SRAMは、0.25  $\mu\text{m}$ 比で1/3以下のサイズと1/10以下のローパワーを実現しており、システムLSI向けの大規模メモリ搭載に十分対応できる。レイアウトシステムは、設計TATとタイミング調整に主眼を置きながら、ローパワー化とクロストーク対策に対応したシステム開発を行った。

最大使用可能ゲート数は、約5百万ゲートまで対応しており、SRAMや、メガセル等を搭載することで高性能なシステムLSIを1チップで実現することが可能である。



## ● 筆者紹介

菊池秀和：Hidekazu Kikuchi.シリコンソリューションカンパニー LSI事業部 設計システム部

栗本雅弘：Masahiro Kurimoto.シリコンソリューションカンパニー LSI事業部 設計システム部

田代雅久：Masahisa Tashiro.シリコンソリューションカンパニー LSI事業部 設計システム部