

# LSIの低消費電力設計

栗田 敏明

竹本 光雄

沖電気ネットワークシステム部門（以下NW部門）では環境保全へのアプローチとして、通信装置の低消費電力化に取り組んでいる。本稿では、特に装置の消費電力の中でも大きな割合を占める、LSIの低消費電力化の取り組みについて説明する。

従来、CMOS LSIは低消費電力デバイスの代表格という存在であった。しかし、CMOS LSIを搭載する装置からの高速化、高集積化の要求は、CMOS LSIの消費電力を3年で4倍という割合で増加させる結果となった<sup>1)</sup>。

このような背景からNW部門では、1998年度よりLSI開発時に低消費電力化のマネージメントを実施している。具体的には、LSI設計者に対し、低消費電力設計手法を展開するとともに、LSIの各設計工程において、それらの設計手法の適用を推進した。その結果、ロジック1キロゲート当りの消費電力を年間20~30%以上削減することに成功した（図1）。

本稿では、それら低消費電力設計手法の概要と、今後の取り組みについて説明する。

## CMOS LSIの消費電力について

CMOS LSIの消費電力の計算式を式1に示す。

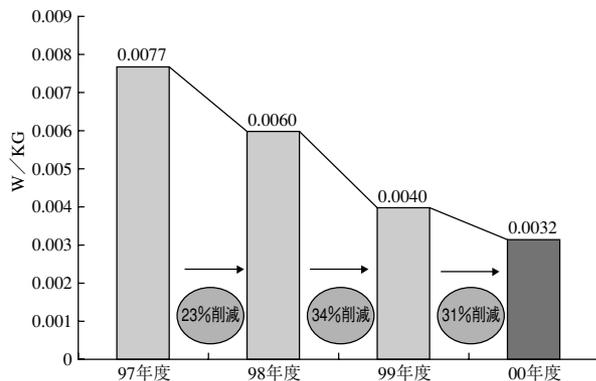


図1 1KG当りの消費電力推移

$$P=1/2 \cdot CV^2fN+QVfN+I_lV \quad (\text{式1})$$

ここで、Pは消費電力、Cは負荷容量、fは周波数、Vは電源電圧、Nは信号のスイッチング係数、Qは貫通電流による電荷、 $I_l$ はリーク電流である。

図2にCMOSの基本回路（セル）と式1各項で示される消費電力の概念を示す。

式1の各項について説明する。

①は式1右辺の第1項で表される、信号線のスイッチングによって発生する消費電力である。LSI全体の消費電力の70%以上を占める要素である。

②は式1右辺の第2項で表される、セル内の貫通電流による消費電力である。LSI全体の消費電力の10~30%を占める。

③は式1右辺の第3項で表される、リーク電流による消費電力である。LSI全体の消費電力の1%程度である。

CMOSの消費電力削減のためには、比率の大きい①および②の削減が必要であり、以下の対策が有効である。

- (1) 電源電圧（または信号の振幅）Vを下げる。（低電圧化）
- (2) 回路の負荷容量Cを下げる。（低容量化）
- (3) 周波数f（または回路のスイッチング係数N）を下げ

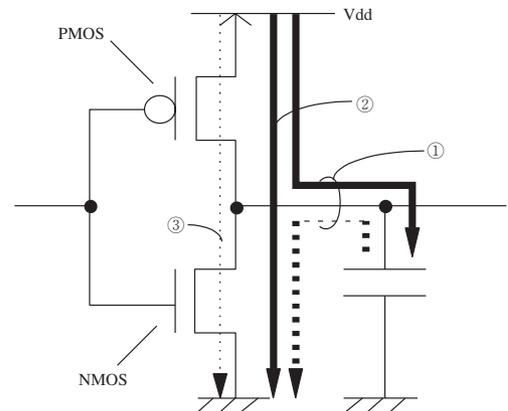


図2 CMOS基本回路の消費電力の概念

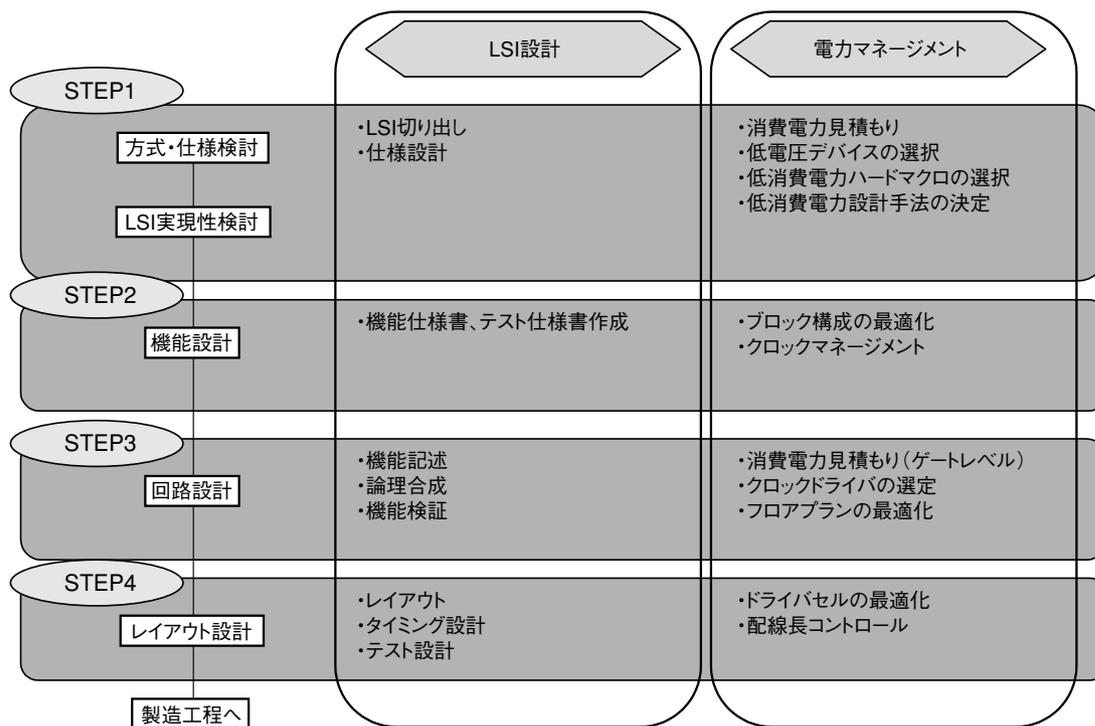


図3 CMOS LSIの低消費電力化へのアプローチ

る。(低トグル化)

### 低消費電力化の具体的方法

以下、NW部門におけるCMOS LSIの低消費電力化への具体的な取り組みを説明する。

図3にLSIの設計フローを示す。ここでは、設計ステップを以下の4ステップに分割している。

STEP1：LSIへの要求仕様から、デザインルールや製造方式を決定するLSIの実現性検討段階。

STEP2：LSIの機能、構成を確定する機能設計段階。

STEP3：回路データを作成する回路設計段階。

STEP4：回路データをチップ上に展開するレイアウト設計段階。

STEP1のステージにて実現可能な消費電力削減の対策のうち最も有効な対策は、前項にて説明した(1)の低電圧化の対策である。

式1に示されるように、電圧Vは図2の①，②，③に全てに関わるパラメータであり、低電圧化は最も効果の高い低消費電力対策となる。

図4はNW部門にて開発したCMOS LSIの電源電圧比率の年次推移である。低電圧LSIの割合の増加を示している。

STEP2では、前項で説明した対策のうち(3)の低トグル化を実現する回路構成の設計が主な対策となる。

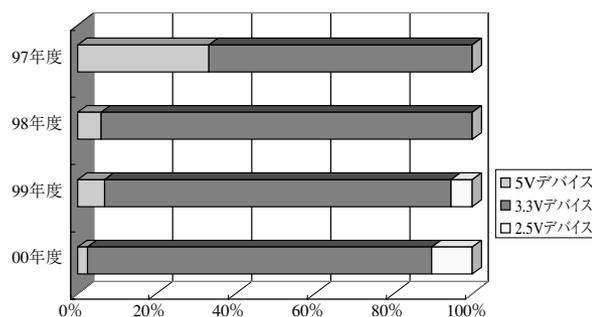


図4 LSIの電源電圧の比率

以下に低トグル化手法の一例を挙げる。

- ①クロックの分周による内部動作の低速度化。
- ②動作モードによるクロック停止機能の付与。
- ③非選択機能ブロックの動作停止機能の付与。
- ①はクロック電力の低減に最も有効な手法である。

クロックは回路中で最もスイッチング率の高い信号であり、デザインによっては回路全体の消費電力の約60%以上をも占める場合がある。ただし、内部動作速度を下げると、単位時間当たりに転送可能なデータ数が減少するため、データの平行処理が必要となり、高速動作時と比べ回路の規模が増大する。したがって、本手法を適用する場合は、増加分の回路の消費電力を計算し、効

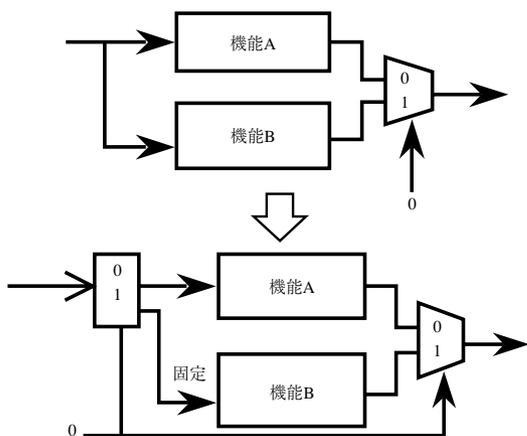


図5 未使用ブロックの動作停止

果を確認する。

②は動作していない回路ブロックへのクロック供給を停止させ、無駄な電力消費の発生を抑える手法であり、多機能のLSIを複数装置で共用させる場合などに効果がある。欠点は、クロックに組み合わせ回路が挿入され、分離したクロック間に遅延時間の差（クロックスキュー）が生じる点である。この対策として後工程であるレイアウト設計を先行して実施し、タイミングの収束性を容易化している。

③は②と類似した方法であるが、停止させる回路のゲート規模が小さい場合に有効な手段である。（図5）

具体的には、後段のセレクタにて選択されていない機能ブロックの動作を、ブロックの前段に付与された制御回路によって停止させる（入力データの固定、またはフリップフロップへの強制リセット等）。

次にSTEP3のステージにおける低消費電力化対策を説明する。

本ステージの主な対策は、前項で説明した対策のうち(2)の低容量化と(3)の低トグル化がターゲットとなる。

以下に、その一例を示す。

- ④ロジックセルの微小な遅延差によって発生するパルス雑音（ハザード）が伝搬しやすい大容量ネットへのフリップフロップ挿入。
- ⑤論理合成による論理段数の浅い回路の生成。
- ⑥ドライバセルの最適化。
- ④は低トグル化への対策であり、分岐先が多い組み合わせ回路の出力がその主な対象となる。ハザードによる消費電力は、回路全体の15%~20%にも達すると言われており、本対策による効果は大きい。
- ⑤も④と同様にハザードの発生を防止する手法である。

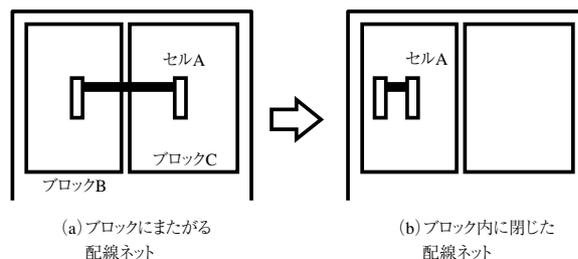


図6 ブロック間配線の削減

一般にハザードは論理段数の深い回路に発生しやすい。したがって、論理合成時に回路を平坦化させ、論理段数の浅い回路を生成することによって、ハザードを抑制する。

⑥はセル内貫通電流削減への対策である。CMOS回路のセル内貫通電流は信号遷移時に発生する。したがって、入力信号の立ち上がり時間（ $t_{in}$ ）、立ち下がり時間（ $t_{ni}$ ）が大きくなると、貫通電流量が多くなる。ドライバセルは回路内信号の波形整形を目的に使用されるものであり、上記のような $t_{in}$ 、 $t_{ni}$ が大きい信号ネットに挿入することにより、 $t_{in}$ 、 $t_{ni}$ が改善されるため、貫通電流を削減することが可能である。この作業は、設計者の手作業では不可能なため、市販のPower合成ツール、またはレイアウトツールにて行っている。

最後にレイアウト設計段階における低消費電力化対策を説明する。以下にその一例を示す。

- ⑦信号遷移率の高い機能ブロックを高密度化してチップ上に配置。
  - ⑧配置領域を指定した複数機能ブロック間の配線ネット数削減。（図6）
  - ⑨クロック配線領域を最小とするフロアプラン。
- レイアウト設計ではセル間配線長の短縮による負荷容量の削減が低消費電力化への対策となる。
- ⑦は、セルをLSIチップ上へ高密度で配置することにより、セル間の距離を短縮し、長配線の発生を防止する対策である。
- ⑧も⑦と同様に配線長短縮の対策である。一般に配置領域を指定したブロック間にまたがるブロック間配線は配線長が長くなる傾向がある。図6の(a)はセルAをブロックC中に配置したことでブロックBとブロックC間にブロック間配線が発生している。それに対し(b)ではセルAをブロックB内に配置させたことで、ブロック間配線が消滅している。沖電気ではフロアプランツール、および社内で開発したLDC（Layout Difficulty Checker）に

よりフロアプランを最適化し、設計のTAT (Turn Around Time) 短縮を図るとともに、配線長の短縮による低消費電力化への対策を行っている。

⑨は、クロックネット用ドライバセルの最適化による、クロック消費電力の削減が効果として挙げられる。図7はLSIチップ内の領域D、およびEに同一系統のクロックが配線される例である。このうち (a) は、D、Eの配置関係がL字型となっている。このような配置は、D、E内素子間の距離が長くなるため、D、E間のクロック遅延差が大きくなりやすい。そのためレイアウトツールにてクロック配線内に適当な数量の遅延調整用のドライバセルを挿入し、D、E間のクロック遅延差を最小化する。それに対し (b) はD、Eの配置領域の形状が矩形となっている。このような配置では、D、E内素子間の距離は短くなり、(a) ほどのD、E間のクロック遅延差は発生しない。そのため、クロック配線内の遅延調整用ドライバセルの必要数は (a) よりも少量となり、セル数分の消費電力を削減できる。

このように、クロック配線領域を考慮したフロアプランにより、クロックの低消費電力化が可能である。沖電気ではフロアプラン時にクロックの消費電力の見積もりを行い、ブロック配置の最適化を行っている。

### 今後の低消費電力化の方向性について

今後導入を予定しているCMOS LSIの低消費電力化の手法として、以下の2点が挙げられる。

- ・SOI (Silicon On Insulator) の採用。
- ・ゲーテッド・クロックの自動化。

SOIとは既に文献等で発表されている様に、CMOS表面にSiO<sub>2</sub>などの絶縁層と薄膜シリコンを形成した特殊なシリコン・ウェハを使用したCMOSデバイスである<sup>2)</sup>。SOIは、高速動作を維持したまま電源電圧を降下することが可能である。本デバイスの採用は今後さらに高速化、高集積化が進むCMOS LSIの低消費電力化には非常に有効な手段であると考えられる。

沖電気ではSOI技術を取り入れたIP (Intellectual

Property) マクロを開発しており、今後設計するデザインへの使用を予定している。

ゲーテッド・クロックの自動化は、市販のPower合成ツールを使用する。クロックに専用の制御セルを挿入し、データがスイッチしない場合のクロック動作を停止させ、クロック消費電力を削減する。

考え方は前項の②と同様であるが、クロック制御セルの挿入を自動化すること、および制御に専用セルを用い、レイアウトツールとのリンクをとることでタイミング問題の発生を防止できることが特徴である。

以上、沖電気NW部門におけるLSIの低消費電力化の取り組み、および今後の展開について説明した。

携帯機器の普及、環境保全の要求等から通信機器全体に低消費電力化の要求が日々大きくなっている。

沖電気では、今後もLSIの低消費電力化の活動を継続し、上記要求への対応を行っていく方針である。 ◆◆

### 参考文献

- 1) 黒田忠広：低消費電力設計，電子情報通信学会誌，Vol.81 No.11，p.1144，1998年11月
- 2) 福田，他：SOI-CMOSデバイス技術，沖テクニカルレビュー 第185号，Vol.68 No.1，p.100，2001年1月

### 筆者紹介

栗田敏明：Toshiaki Kurita.ネットワークシステムカンパニー NETコンバージェンス本部 ネットワークLSI事業推進ユニット  
竹本光雄：Mitsuo Takemoto.ネットワークシステムカンパニー NETコンバージェンス本部 ネットワークLSI事業推進ユニット

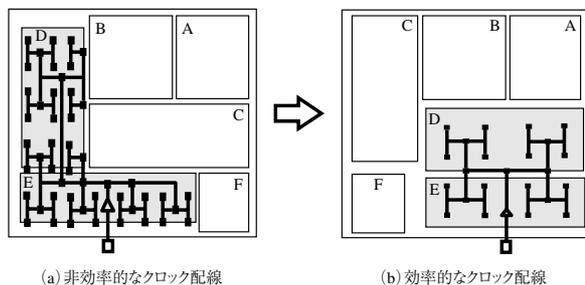


図7 クロック配線の最適化