

SPA特集

# SOI低電圧アナログ回路技術

## SOI Low Voltage Analog Circuit Technology

田 辺 晋 司  
Shinji Tanabe

近 藤 守  
Mamoru Kondo

### 要 旨

従来、アナログ回路の低電圧化はデジタル回路に対して遅れをとってきたが、市場環境の変化により同時開発が求められている。今回、SOIプロセスを用いたアナログ要素回路を設計しBulk (従来型CMOS) プロセスを用いた同じ回路との間で、特性の比較評価を行った。その結果、完全空乏型SOIデバイスの良好なサブスレッショルド特性等により、低電圧化実現の見通しが得られた。

### 1. ま え が き

LSIのプロセス技術はバイポーラからNMOS, CMOSへと変遷して来たが、最優先に考慮されるアイテムは常に消費電力であった<sup>1)</sup>。低電力化へ最も効果的なアプローチは動作電圧の低減であり、プロセス技術の微細化に則した形でロジック回路においては低電圧化が推し進められている。

しかし、アナログ回路の低電圧化はS/Nやダイナミックレンジといった信号品質に対し不利に働くため、実現に関しては常にロジック回路に遅れを取ってきた。たとえば、電源電圧が下がれば信号振幅も同時に下げねばならず、性能を保ったままこれを実現するのは設計者にとって大きな負担となる。

こうした中、低電圧化に最も直結する技術として、良好なサブスレッショルド特性を持ち、しきい値(以下Vth)を下げてオフリークが抑えられるSOI (Silicon-on-Insulator) プロセスを検討した。

この技術により、デジタル回路のみならずアナログ回路においても低電圧を実現することができ、両者の

混載回路への適用も、増加するものと期待される。

このことを検証するため今回、低電圧用にアナログ要素回路を搭載したTEG (Test Element Group) を設計、評価した。設計ルールは0.2umである。評価については同じ回路を0.35um Bulkプロセスの結果と比較した。

本稿ではこのアナログ要素回路についてBulkと同等以上である事を示す。特に、温度特性や交流特性においては優位な結果が得られたことを示す。

### 2. 評価TEG概要

#### 2.1 搭載回路

##### (1) 定電圧源回路

Vthを基準とする一般的な自己バイアス部と出力部を持った回路である。主な用途はオペアンプやVCOなどにバイアス電位を与えるための電圧源でバンドギャップ回路ほどの対温度安定性は必要ないが、使用電源電圧近辺での出力安定性を内部ノードも含め確認する必要がある。

##### (2) オペアンプ

アナログ回路の基本要素となるものでゲイン、帯域、ダイナミックレンジ等は重要なファクタになる。パッシブ素子の付加により、反転増幅器やフィルタなどを構成し、LSI内部回路に使われる。

##### (3) フィルタ

オペアンプを用いて構成したローパスフィルタであ



田辺晋司

シリコンソリューションカンパニー  
LSI事業部 先端商品開発第一部



近藤 守

シリコンソリューションカンパニー  
LSI事業部 LSI設計部

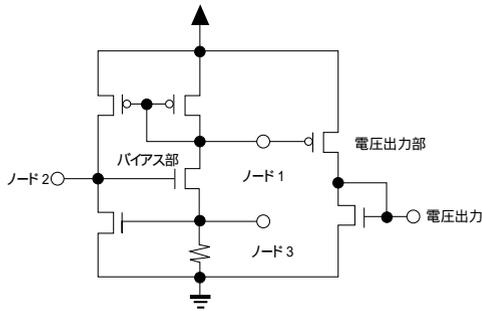


図1 定電圧源回路  
Fig. 1 Power supply circuit

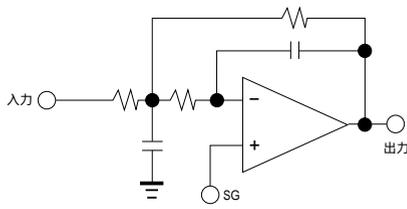


図2 ローパスフィルタ回路  
Fig. 2 Lowpass filter circuit

り、図2に回路図を示す。2次のバターワース特性を持たせ、カットオフ周波数は160KHzである。

## 2.2 SOIプロセスとアナログ回路

SOIプロセスの特徴は基本特性として、以下の2点が挙げられる。

- 急峻なサブスレッショルド特性
- Bulkに比べ平坦な $V_{th}$ の温度特性

次に、こうした特徴の実際のアナログ回路に及ぼす効用を述べる。

第1のサブスレッショルド特性が急峻であるという特徴はオフリーク特性の向上を意味し、待機時の消費電力を小さくできる。オフリーク電流をBulkと同じにすれば $V_{th}$ を低く設定できるので、信号範囲を大きく取れる。したがって、ダイナミック特性を向上できる。

たとえば、図3に示すようなオペアンプを使ったボルテージフォロアでは、 $V_{th}$ によって入出力範囲が制限される。 $V_{th}$ が高い時は入力に対する追従性が悪くなっており、シミュレーションによるこの波形を図4に示す。

オペアンプには様々な回路形式があるが、 $V_{th}$ が高い時は入力の差動用トランジスタの振幅余裕が減少し飽和動作から抜けてしまい、出力トランジスタがスイッチ動作になり入力に追従しなくなる。この回路の場合、電源側出力が定電流型であるため、接地側出力のみが特に影響を受けている。

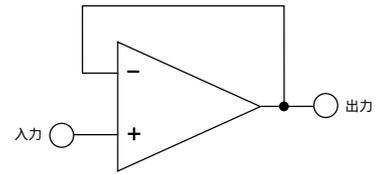


図3 ボルテージフォロア回路  
Fig. 3 Voltage follower circuit

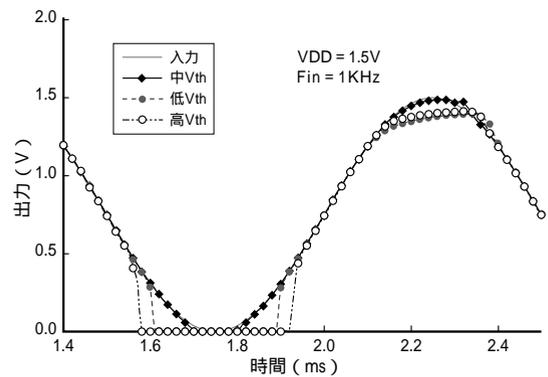


図4 ボルテージフォロア入出力特性  
Fig. 4 Voltage follower characteristic

デジタル回路では、 $V_{th}$ の低減は動作速度の向上に寄与するが<sup>2)</sup>、アナログ回路の場合、この例に示すように動作信号範囲の向上という形で現れる。

第2の特徴である $V_{th}$ の温度特性の良さは、今回搭載し評価した $V_{th}$ でレベルの決まるバイアス回路やアナログスイッチの通過レンジといった電圧特性、あるいはトランジスタのゲート電圧( $V_{gs}$ )と $V_{th}$ の差分で決まる電流特性の安定化にも寄与する。

一方、懸念材料としては高電圧時のドレイン電流増加による回路への影響が挙げられる。バイアス回路などでは、中間ノードのレベル変動が起こり得るため、定電圧源回路の特性で検証する。

## 3. 評価結果

試作したTEGのトランジスタ特性を表1に示す。本プロセスはアナログ回路用であるため通常のロジック用プロセスに抵抗、およびポリシリコンを用いたキャパシタの工程が盛込まれている。

一般にアナログ回路では $V_{th}$ のL依存性が小さい領域を用いる。これによりサブスレッショルド係数やオフリーク電流特性は向上する。

各要素回路の評価結果を順に紹介する。

表 1 SOIプロセス試作結果  
Table 1 SOI process characteristics

項目	Nch	Pch
基板	SIMOX	
ゲート酸化膜厚 ( )	45	
ゲート長 (um)	0.20	
Vth (V)	0.19	0.32
飽和電流@1V (uA/um)	149	-57
サブスレッシュホルド特性 (mV/dec)	73	78
ポリシリコン抵抗 ( / )	210/400	

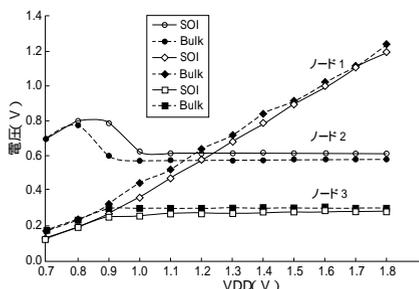


図 5 定電圧源回路の内部電位  
Fig. 5 Power supply circuit internal level

(1) 定電圧源回路

図 5 にバイアス部の各ノードの実測値を示してある。アナログ回路の場合、この回路のようにトランジスタが縦積みになり各々が、飽和領域で動作するため電位関係が変動しやすい。しかし、各ポイントの波形はSOI, Bulk共Vthによる差はあるものの、同様の形を示している。特に重要なノードは1であり、電源電圧に追従し差分の0.6Vがほぼ保たれている。この電位が出力段のPチャネルトランジスタのゲート電圧(Vgs)になる。一方、ノード2, 3は一定であり、電源電圧1.8Vまでは、動作は安定しているといえる。

出力電圧については、図 6 に電源依存特性を示す。SOIでの回路は通常のチャンネル部がいずれにも接続されていないフローティングボディの水準と、ボディタイ(チャンネル部とソースの接続)の水準がある。

各水準とも、電源仕様範囲 (1.5V ± 0.15V) における出力値は0.43 - 0.46Vの値であり、それぞれ変動率はゼロである。

仕様範囲外である高電圧側を見るとSOIのフローティングボディの水準では出力が上がり気味になっている。これは寄生バイポーラ効果によるものと考えられる<sup>3)</sup>。

図 7 にこの現象のメカニズムを示した。これはドレイン近傍に発生したホットキャリアがソースへ流れ込

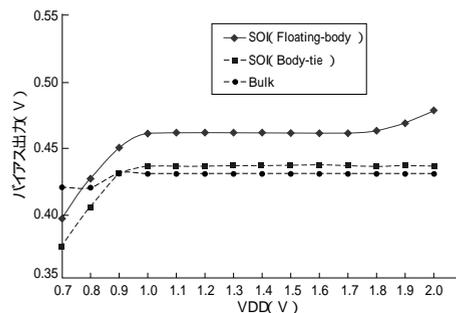


図 6 定電圧源回路の出力特性  
Fig. 6 Power supply circuit output characteristics

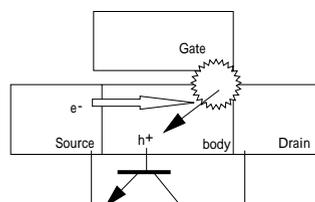


図 7 寄生バイポーラ効果  
Fig. 7 Parasitic bipolar effect

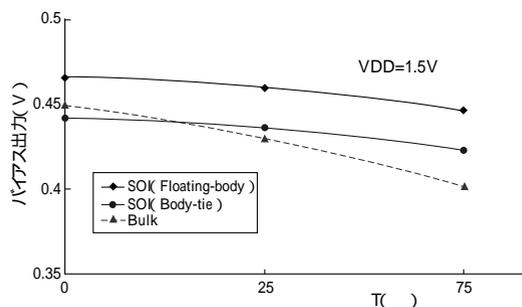


図 8 定電圧源回路の温度特性  
Fig. 8 Power supply circuit thermal characteristics

みバイポーラトランジスタとして動作することである。ボディタイを取った回路では、これが吸い出され電源電圧2.0Vまで安定した出力を保っている。

使用する電源電圧範囲によっては、このようにボディタイを取る事が必要である。

温度特性については図 8 に示した。ここでは 0 から 75 の範囲でSOIの回路が20mVの変動に対しBulkの回路では50mVとSOIプロセスの優位性を示している。これは、Bulkに対するSOIの特徴であるVthの温度係数が小さいことに起因している。

(2) オペアンプ

反転増幅器の入出力特性を測定した。抵抗値はドライブ能力である10K にしてある。測定結果を図 9 に

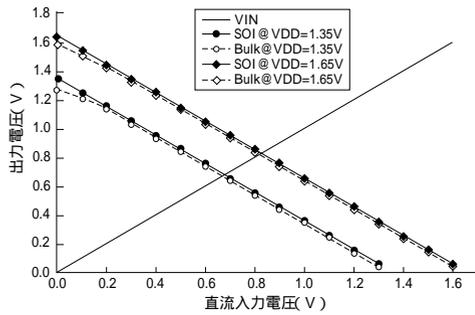


図9 反転増幅器の特性  
Fig. 9 Inverted amplifier characteristics

表2 オペアンプの特性比較  
Table 2 Comparison of operational-AMP

項目	SOIアンプ(VDD=1.5V)	Bulkアンプ(VDD=1.5V)	Bulkアンプ(VDD=3V)
入力範囲(V)	0.1-VDD	0.2-VDD	0.2-VDD
直流ゲイン (dB)	75	80	83
消費電流 (uA)	98	143	220
オープンループ帯域 (MHz@0dB)	7.5	4.5	6.8
差動増幅器帯域 (MHz@-3dB)	6.0	3.5	4.0

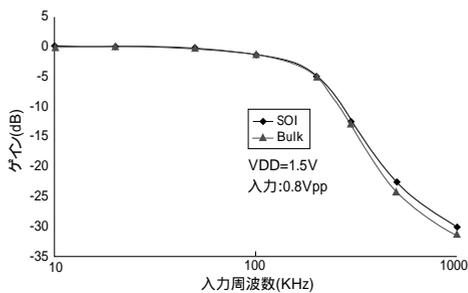


図10 ローパスフィルタの周波数特性  
Fig. 10 Lowpass filter frequency characteristics

示す。アナロググランド ( $V_{sg}$ ) である  $VDD/2$  に対して対称性のよい特性になっている。

オペアンプの諸特性についてSOIとBulkの比較を表2に示す。直流ゲインは実測で75dBあり、ほとんどの用途で使用できるレベルである。差動増幅器の利得は -3dBで規定してあるが、これもSOIが上回っている。また、表には掲げてないが差動入力段のオフセットは4mVで収まっており、MOSプロセスである事を考慮すると十分な値である。

全体的に見て、Bulkプロセスを用いた電源3Vのオペアンプと比べても、帯域、消費電流などでSOIプロセ

スを用いたオペアンプの方が特性が優れているといえる。

### (3) フィルタ

オペアンプを使った応用回路としてローパスフィルタを評価した周波数特性を図10に示す。通過帯域でのゲイン変動は見られず、-3dB減衰を示すカットオフ周波数は約160KHzになっており計算通りの特性になっている。

## 4. あとがき

SOIプロセスを用いたアナログ回路の低電圧化について評価を行い、以下の結果を得た。

各要素回路は、電源電圧を3Vから1.5Vに下げてもBulkと比して良好な直流特性を示した。

帯域やダイナミックレンジなどの交流特性は、オペアンプ、アクティブフィルタにおいて、Bulkの3Vと同等以上の特性である事が確認された。

寄生バイポーラ効果はボディタイにより完全に押さえることができ、必要に応じて使い分けできる事が確認された。

このように、アナログ回路の低電圧化について、技術的な見通しが得られた。今後、商品化に向けて

PLL (Phase Lock Loop), SCF (Switched Capacitor Filter) といった、より規模の大きい要素回路の低電圧動作の検証

具体機能を持つ低電圧アナログLSIとして電源電圧1V級の高速サンプリング型AD/DA変換回路の開発

高周波アナログの領域でSOIプロセスが有利とされる素子間遮蔽効果の解析を行う。

## 5. 参考文献

- 1) 桜井, 他 : 低消費電力, 高速LSI技術, リアライズ社, 1998
- 2) 横溝, 他 : SOIデバイス技術, 沖電気研究開発第180号, VOL 66, No.1, pp.69 ~ 72, 1999
- 3) 豊田, 他 : SIMOX LSI技術 最新レポート, (株)ハイテクノロジー推進研究所, 1998