

SPA特集

エレベータドソース・ドレインを用いた 0.15 μm ゲート長SOI CMOSトランジスタの開発

0.15 μm Gate Length Fully Depleted SOI-CMOS with Elevated Source/Drain

松橋 秀明
Hideaki Matsuhashi

中村 稔之
Toshiyuki Nakamura

片倉 義明
Yoshiaki Katakura

金森 順
Jun Kanamori

要 旨

高速・低消費電力のLSI実現のために、低電圧で高速動作可能なSOI (Silicon on Insulator) CMOSトランジスタが注目されている。今回、ゲート長0.15 μm の次世代SOI CMOSトランジスタの開発を行った。SOIを薄膜化することで短チャネル効果を抑制し、エレベータドソース・ドレイン形成技術を開発することでソース・ドレインの低抵抗化を行なった。膜厚25nmのSOI上に0.15 μm ゲート長CMOSトランジスタを試作し、良好なトランジスタ特性が得られることを確認した。

1. ま え が き

マルチメディア時代を迎え、情報端末装置等にさらなる小型化、高性能化が要求されている。SOI (Silicon on Insulator) ウエハ上に形成したLSIは、バルクウエハ上に形成されたLSIと比較して、高速化・低消費電力化が実現可能なため、次世代のLSIとして注目されている。現在、当社では設計ルール0.35 μm (ゲート長0.35 μm) のSOI-CMOS技術で作製されたLSIが商品化されているが、さらなる高速化・低消費電力化・高密度化を目指して、ゲート長0.15 μm のSOI-CMOSトランジスタの開発を行った。

本稿では、0.15 μm SOI-CMOSトランジスタ実現の為の課題、それを改善するために開発したエレベータドソース・ドレイン形成技術、さらに0.15 μm SOI-CMOSトランジスタ特性について述べる。

2. 0.15 μm SOI-CMOS実現の為の課題

SOI-CMOSトランジスタには、完全空乏 (Fully-Depleted, FD) 型、部分空乏 (Partially-Depleted, PD) 型の2つの動作モードがある。FD型とPD型の構造的な大きな違いは、埋め込み酸化膜 (Buried Oxide, BOX) 上にある表面Si層 (SOI層) の厚さが、FD型ではPD型よりも薄いことが挙げられる。FD型では、動作時にゲート電極下のSOI層が完全に空乏化することにより、PD型よりも小さいサブスレッショルド係数が得られ、また、基板浮遊効果が発生しにくくなるという特長がある。前者により、同一のオフ電流を想定した場合、FD型ではPD型やバルクに比べ、しきい値電圧を0.1V程度小さくすることが可能であり、低電圧で動作させるLSIでは、この差が速度性能の向上に有効に働く。また、後者により、SOIデバイスに特有の問題がなくなるた



松橋秀明
シリコンソリューションカンパニー
超LSI研究センター
デバイス研究第2部 SOIデバイス
研究チーム



中村稔之
シリコンソリューションカンパニー
超LSI研究センター
デバイス研究第2部 SOIデバイス
研究チーム



片倉義明
シリコンソリューションカンパニー
超LSI研究センター
デバイス研究第1部



金森 順
シリコンソリューションカンパニー
超LSI研究センター
デバイス研究第2部

め、従来の回路・レイアウト設計資産を継承できる。当社では、上記のようなメリットを持つFD型を採用している。

スケーリングによるMOSトランジスタの性能向上の為には、ゲート長の微細化により生じる短チャネル効果の抑制が必須である。FD型SOI MOSトランジスタにおける短チャネル効果抑制には、SOI膜の薄膜化が有効であることが知られている。ゲート長0.25-0.35 μm のSOI-CMOSトランジスタでは、SOI膜は50nm程度であるが、0.1 μm SOI-CMOSトランジスタでは35nm以下が必要になることが報告されている。¹⁾この薄膜化によって、ソース・ドレイン (S/D) 抵抗の増大、SOI層中の不純物濃度増加による相互コンダクタンス (gm) の劣化、といった課題が発生することが懸念される。また、ゲート長を0.15 μm 程度まで微細化した場合に、FD型SOI-CMOSトランジスタが正常動作するか、FD型のメリット (低サブスレショルド係数、低基板浮遊効果) が得られるのか等の基本的な点についても明らかになっていない。

3. ソース・ドレイン低抵抗化

3.1 エレベータッドソース・ドレインの必要性

通常、微細MOSトランジスタでは、低抵抗化の為にS/Dあるいはゲート表面にのみ選択的に金属膜を形成するサリサイド技術を採用している。コバルト (Co) サリサイド技術では、S/D部のSiが露出している状態で、Coを全面に形成し、その後熱処理を行うことで、SiとCoが接している部分のみが選択的に反応して低抵抗のCoシリサイドになる。薄膜SOIのS/D上では、Si量が少ないことにより、このCoシリサイドの膜厚が薄くなり、低抵抗化が難しくなる²⁾。このため、SOIトランジスタのS/D部となるSOI膜上にのみ、数十nmのSiを選択エピ成長 (Selective Epitaxial Growth, SEG) させるエレベータッドソース・ドレイン形成技術が注目されている³⁾。

3.2 SOIトランジスタ作製方法

図1にエレベータッドソース・ドレインを用いたSOIトランジスタ作製の主要プロセスにおける断面図を示す。初期SOI膜厚100nm、BOX膜厚100nmのSOIウエハを使用した。(a)トランジスタのゲート下のSOI膜厚が20nmから40nmになるように、酸化により薄膜化した後、通常のLOCOS (LOCAl Oxidation of Silicon) 法を用

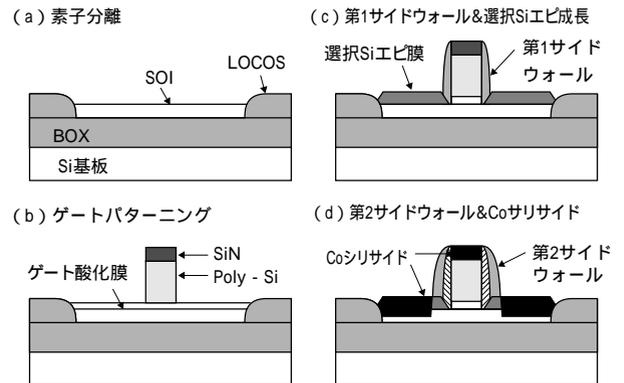


図1 SOIトランジスタ作製の主要プロセスにおける断面図
Fig. 1 Schematic cross section of typical process steps for fabrication of SOI transistor

い素子分離を行った。(b)3.5nmのゲート酸化膜、ポリシリコン (Poly-Si) 膜、窒化シリコン (SiN) 膜を形成した後、ホトリソ、エッチングを行い、ゲート長0.15 μm のゲート電極を形成した。(c) 選択エピ成長時にゲートとS/Dが接続されないようにするため、薄い酸化シリコン (SiO₂) 膜の第1サイドウォールを形成した後、エレベータッドS/D形成の為にSiの選択エピ成長を行った。(d) LDDインプラを行った後、厚いSiO₂膜の第2サイドウォールを形成した。ゲート上のSiN膜除去後、S/Dインプラ、RTAによる1000 $^{\circ}\text{C}$ の活性化アニール、Coサリサイドプロセスを経てトランジスタを作製した。

Siの選択エピ成長は、LP-CVD (Low Pressure Chemical Vapor Deposition) 装置を用い、ジクロールシランと塩化水素ガス中で行った。エピ成長時の基板加熱はヒータにより行い、基板温度は680 から800 $^{\circ}\text{C}$ で変化させた。また、エピ成長の前処理として、Si表面の自然酸化膜除去の為に水素ガス中において、680 から930 $^{\circ}\text{C}$ で5分間の熱処理を行った。今回の実験でのエピ成長膜厚はすべて40nmとした。

3.3 選択エピ成長プロセスの最適化

図2に、30nmのSOI膜上にSiを選択エピ成長した後の1 μm アクティブパターンのSEM写真を示す。水素中での前処理温度がそれぞれ930, 880, 830 $^{\circ}\text{C}$ である。930 $^{\circ}\text{C}$ の高温では、Siの凝集が起きることが見い出された。880 $^{\circ}\text{C}$ では、改善されているが部分的に凝集が見られ、830 $^{\circ}\text{C}$ では、凝集は起きないが膜表面が荒れてしまう。さらに、800 $^{\circ}\text{C}$ まで低温化した場合、Siが成長しなくなった。

前処理の低温化によりSi成長が阻害される原因を調べるため、図2 (b)の試料のSIMS (Secondary Ion Mass

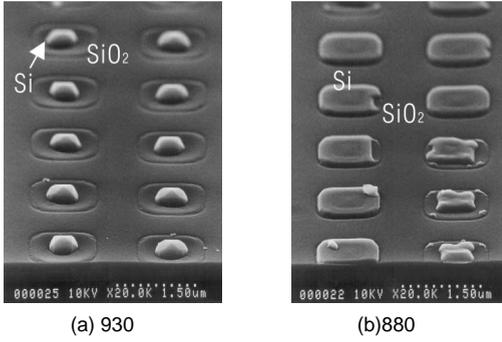


図2 選択エピ成長後の1μmアクティブパターンのSEM写真 - 前処理温度依存性 -
 Fig. 2 SEM photograph of active pattern after SEG at 800 with H₂ baking at (a) 930, (b) 880 and (c) 830. SOI film thickness is 30nm

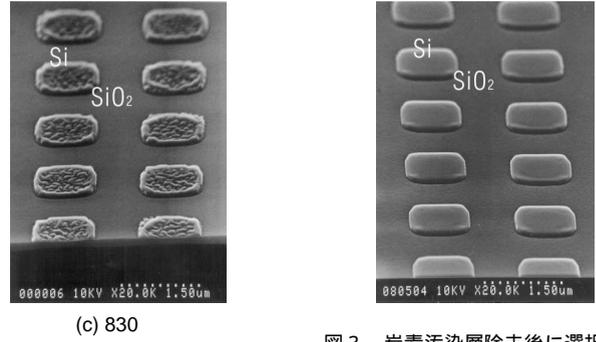


図3 炭素汚染層除去後に選択エピ成長した試料のSEM写真
 Fig. 3 SEM photograph of active pattern after SEG at 800 with removing C contamination

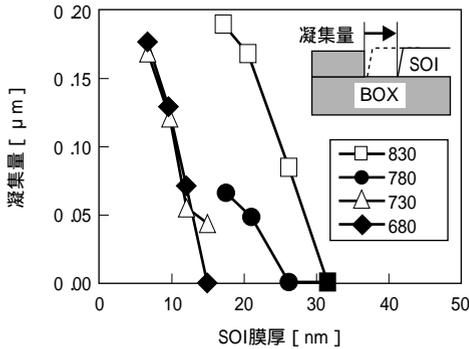


図4 凝集量とSOI膜厚の関係
 Fig. 4 Dependence of agglomeration length on SOI film thickness

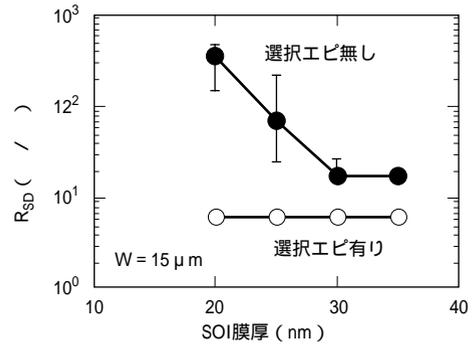


図5 Coサリサイド後のS/D抵抗 (R_{SD}) のSOI膜厚依存性
 Fig. 5 Dependence of S/D resistance on SOI film thickness after Co salicidation

Spectroscopy) およびTEM (Transmission Electron Microscopy) 分析を行った。その結果、Siエピ膜とSOI膜の界面に 10^{21} atoms/cm³と高濃度の炭素を含有したアモルファス層 (3nm程度) が存在することがわかった。この炭素は、第1サイドウォールエッチング時に導入され、Siのエピ成長を阻害していると考えられる。この炭素汚染層を除去するため、ダウンフロー型アッシャを用い、CF₄とO₂ガス中でSiのライトエッチングを行った。エッチング量は、4nm程度とした。ライトエッチング後、前処理・エピ成長とも800で行った試料のSEM写真を図3に示した。SOI層の初期膜厚が30nmでは、炭素汚染層の除去により800において良好なエピ成長が可能となった。

しかし、800の前処理においても、SOI膜をさらに薄膜化した場合、SOI端がわずかに移動するような凝集が発生した。図4に、凝集量とSOI膜厚の関係を示す。前処理温度は680から830で変化させ、エピ成長は前処理と同一温度とした。SOI膜厚が薄くなるほ

ど凝集量が大きくなること、温度が低くなるほど凝集の開始するSOI膜厚が薄くなるのがわかる。680まで低温化することにより、SOI膜厚が15nmでも凝集を起こさないエピ成長が可能となった。

3.4 Coサリサイドによる低抵抗化

図5に、Coサリサイド後のS/D抵抗 (R_{SD}) のSOI膜厚依存性を示す。選択エピ有りではS/D上に40nmのSiが形成されている。選択エピ成長を行わない場合、30nm以上のSOI膜厚では $18 /$ となるが、25nm以下では高抵抗となってしまふ。一方、選択エピ成長を導入することにより、SOI膜厚20nmまで $6 /$ 以下と十分にS/D低抵抗化が可能であることがわかった。

4. 0.15μmゲート長SOI-CMOSトランジスタ特性

図6に、試作した0.15μmゲート長SOI NMOSトランジスタのゲート近傍の断面TEM写真を示す。チャネル部 (ゲート下) のSOI膜厚は25nm、S/D上にエピ成長

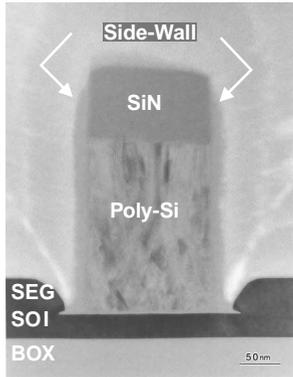


図6 0.15 μm ゲート長SOI NMOSトランジスタのゲート近傍の断面TEM写真
Fig. 6 Cross sectional TEM photograph of 0.15 μm SOI-MOSFET after SEG

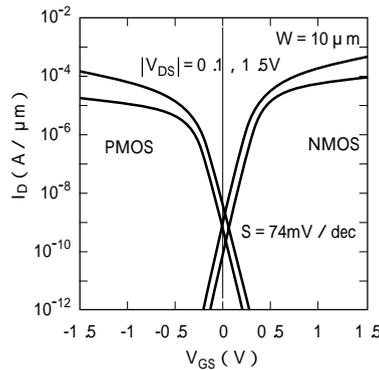


図7 0.15 μm ゲート長SOI MOSトランジスタのサブスレショルド特性
Fig. 7 Subthreshold characteristics of 0.15 μm SOI MOSFET on 25nm SOI

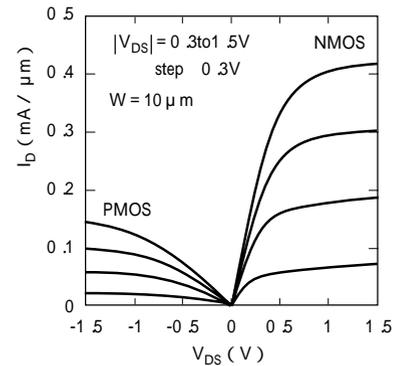


図8 0.15 μm ゲート長SOI MOSトランジスタの I_D - V_{DS} 特性
Fig. 8 I_D - V_{DS} characteristics of 0.15 μm SOI MOSFET on 25nm SOI

したSi膜厚は40nmである。

0.15 μm ゲート長SOI NMOSとPMOSトランジスタのI-V特性として、図7にサブスレショルド特性、図8にドレイン電流 (I_D) のドレイン電圧 (V_{DS}) 依存性を示す。25nmと非常に薄いSOI層上に形成した0.15 μm と微細なゲート長のSOI MOSトランジスタが正常動作していることがわかる。良好なサブスレショルド特性(S値74mV/dec.)を示し、十分なドレイン電流が得られる事を確認した。

エピ成長の有無によるトランジスタ特性の違いを説明する。図9に、0.15 μm ゲート長SOI NMOSでの相互コンダクタンス (g_m) のSOI膜厚依存性を示す。エピ成長無しでは、25nm以下で g_m が大きく低下している。これは、図5に示したS/D抵抗の増大による影響と考えることができる。一方、エピ成長を行うことにより、20nmまでSOI層を薄膜化しても g_m の特性劣化が起きないことを確認した。

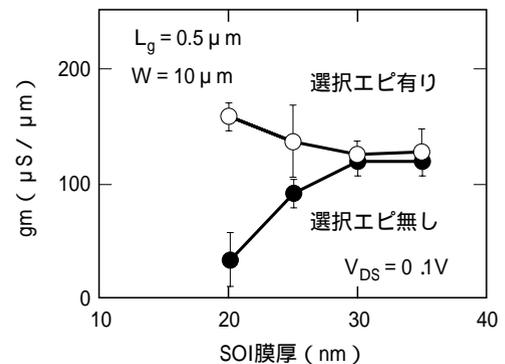


図9 0.15 μm ゲート長SOI NMOSトランジスタにおける相互コンダクタンス (g_m) のSOI膜厚依存性
Fig. 9 Dependence of g_m on SOI film thickness for 0.15 μm SOI MOSFET

した。

今後、本トランジスタを高速・低消費電力・高密度のLSIに適用していく予定である。

5. あ と が き

0.15 μm ゲート長SOI-CMOSトランジスタを開発した。

ソース・ドレイン抵抗低減のために、非常に薄いSOI膜上にSiを選択エピ成長するエレベータッドソース・ドレイン形成技術を開発した。さらに、本技術を用い、膜厚25nmのSOI上に0.15 μm ゲート長SOI-CMOSトランジスタを試作し、良好なトランジスタ特性が得られることを確認した。また、当初懸念していたSOI膜薄膜化による g_m 劣化といった問題も生じないことを確認

6. 参 考 文 献

- 1) L.T.Su *et al.* : Deep-Submicrometer Channel Design in Silicon-on-Insulator (SOI) MOSFET's, IEEE EDL, p.366, 1994
- 2) K. Imai *et al.* : A 0.18 μm Fully Depleted CMOS on 30 nm thick SOI for sub-1.0V Operation, Symp. VLSI Tech., p.33, 1997
- 3) M. Cao *et al.* : 0.18 μm Fully Depleted Silicon -on-Insulator MOSFET's, IEEE EDL, p.251, 1997